



Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTSCHRIFT A5

⑳ Gesuchsnummer: 3944/82

㉒ Anmeldungsdatum: 28.06.1982

㉔ Patent erteilt: 15.09.1986

④⑤ Patentschrift veröffentlicht: 15.09.1986

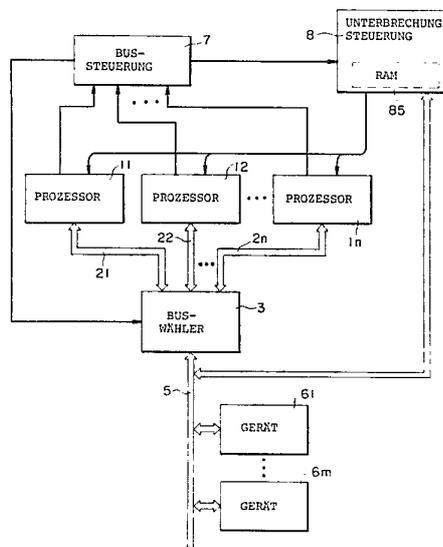
⑦③ Inhaber:
Mitsubishi Denki Kabushiki Kaisha,
Chiyoda-ku/Tokyo (JP)

⑦② Erfinder:
Kagawa, Eiichi, Kobe-shi/Hyogo-ken (JP)

⑦④ Vertreter:
Hepatex-Ryffel AG, Zürich

⑤④ Mehrprozessorenanlage.

⑤⑦ Die Mehrprozessorenanlage weist einen Speicher (85) mit Direktzugriff auf, zum Speichern eines Prozessornummernwerts, der anzeigt, dass eine Unterbrechung zwischen einem beliebigen Gerät (61 - 6m) mit einem der Prozessoren (11 - 1n) zugelassen ist. Wenn ein Unterbrechungsanforderungssignal von einem Gerät (61) an ein Unterbrechungssteuergerät (8) angelegt ist, wird von dem Speicher (85) mit direktem Zugriff ein Prozessornummernwert ausgegeben, der einen Prozessor angibt, der von einem Gerät (61) unterbrochen werden kann. Das Unterbrechungssteuergerät (8) legt ein Unterbrechungssignal an einen Prozessor (11), entsprechend dem jeweiligen Prozessornummernwert. Daraufhin legt der Prozessor (11) ein Busanforderungssignal an ein Bussteuergerät (7). Entsprechend einem Busanforderungssignal, steuert das Bussteuergerät (7) eine Busauswahlschaltung (3), um eine Ortsbusleitung (21) des Prozessors (11) mit einem Zentralbus (5) zu einem Gerät (61 - 6m) zu verbinden.



PATENTANSPRÜCHE

1. Mehrprozessorenanlage, mit

- einer Mehrzahl von Prozessoren (11-1n),
- einer Mehrzahl von Geräten (61-6m), von denen jedes von jedem der Prozessoren steuerbar ist,
- einer Zentralbusleitung (5), an die jedes der Geräte angeschlossen ist,
- und einer an die Zentralbusleitung (5) angeschlossenen Busauswahlschaltung (3, 7), die mit jedem der Prozessoren (11-1n) über je eine Ortsbusleitung (21-2n) verbunden ist.

dadurch gekennzeichnet, dass

- die Prozessoren (11-1n) Busanforderungssignale abgeben,
- die Geräte (61-6m) Unterbrechungsanforderungssignale abgeben,
- ein Datenspeicher (85) vorhanden ist zum Speichern von Bestimmungswerten zum Festlegen von wenigstens einem der Prozessoren, der gemäss der Anforderung von einem der Geräte unterbrochen werden soll,
- ein Unterbrechungssteuergerät (8) vorliegt, das auf die Unterbrechungsanforderungssignale der Geräte anspricht, zum Auslesen von Bestimmungswerten aus dem Datenspeicher (85) zum Erkennen eines jeweiligen Prozessors, der einem Bestimmungswert entspricht, zum Liefern eines Unterbrechungssignals für den jeweiligen Prozessor, und
- die Busauswahlschaltung (3, 7) eine der Ortsbusleitungen (21-2n) mit der Zentralbusleitung (5) entsprechend dem Busanforderungssignal eines jeweiligen Prozessors, dem ein Unterbrechungssignal zugeführt ist, verbindet.

2. Mehrprozessorenanlage gemäss Anspruch 1, dadurch gekennzeichnet, dass jedem Gerät (61-6m) eine individuelle Bestimmungsnummer zugeordnet ist, dass jedes Gerät zum Ausgeben des Unterbrechungsanforderungssignals eine Schaltung aufweist, die dieses Signal auf Grundlage der Bestimmungsnummer ausgibt, dass der Datenspeicher (85) Speicherbereiche aufweist, die den jeweiligen Bestimmungsnummern der Geräte entsprechen, und dass eine Schaltung vorhanden ist zum Eingeben der Bestimmungsnummern der Geräte in die jeweiligen Speicherbereiche.

3. Mehrprozessorenanlage gemäss Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Unterbrechungssteuergerät (8) eine Schaltung zum Erzeugen von Unterbrechungserlaubnisignalen aufweist, zum Anlegen dieser Signale an die Geräte, und dass die Geräte (61-6m) jeweils eine Schaltung zum Erzeugen von Unterbrechungsanforderungssignalen aufweisen, die auf die Unterbrechungserlaubnisignale hin abgegeben werden.

4. Mehrprozessorenanlage gemäss Anspruch 3, dadurch gekennzeichnet, dass das Unterbrechungssteuergerät (8) eine Schaltung zum Erzeugen von Unterbrechungsbefehlssignalen zum Anlegen eines Unterbrechungssignals an einen Prozessor (11-1n) aufweist, entsprechend dem aus dem Datenspeicher (85) ausgelesenen Bestimmungswert und entsprechend dem Unterbrechungsbefehlssignal.

5. Mehrprozessorenanlage gemäss Anspruch 4, dadurch gekennzeichnet, dass sie eine Schaltung zum Freigeben eines Unterbrechungsbefehlssignals aufweist, das von der zugehörigen Erzeugerschaltung erzeugt wird, wenn vom Datenspeicher (85) das Vorhandensein oder das Nichtvorhandensein eines Bestimmungswerts angezeigt wird.

6. Mehrprozessorenanlage gemäss einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Busauswahlschaltung (3, 7) eine Schaltung (7) zum Erzeugen von Busauswahlsignalen auf Grundlage der Busanforderungssignale von den Prozessoren (11-1n) und eine weitere Schaltung

(3) aufweist, die auf die Busauswahlsignale anspricht, um die Ortsbusleitung (21-2n) eines jeweiligen Prozessors (11-1n) mit der Zentralbusleitung (5) zu verbinden.

Die Erfindung betrifft eine Mehrprozessorenanlage gemäss dem Oberbegriff des Patentanspruchs 1.

Als Geräte, die von jedem von mehreren Prozessoren gesteuert werden können, kommen Peripheriegeräte für einen Rechner, wie z.B. Speicher, Ein/Ausgabegeräte, Schreibgeräte, Disketten und Kathodenstrahlröhren, in Betracht. Um solche Geräte billig und schnell bedienen zu können, wird eine Mehrprozessorenanlage mit einer Busstruktur mit einer gemeinsamen Zentralbusleitung für die Geräte benutzt.

In Fig. 1 ist in einem schematischen Blockdiagramm eine Mehrprozessorenanlage gemäss dem Stand der Technik dargestellt. Mehrere Prozessoren 11 bis 1n steuern zwei Geräte 61 und 62. Dazu verbinden Ortsbusleitungen 21 bis 2n die jeweiligen Prozessoren 11 bis 1n mit einer Busauswahlschaltung 3. Die Busauswahlschaltung 3 wählt eine der Ortsbusleitungen 21 bis 2n aus und verbindet diese mit einem Zentralbus 5. Die Geräte 61 und 62 sind je an den gemeinsamen Zentralbus 5 angeschlossen. Die Busauswahlschaltung wird von einem Steuersignal von einer Bussteuereinheit 4 gesteuert. Wenn die Bussteuereinheit 4 eines von Busanforderungssignalen REQ1 bis REQn von den jeweiligen Prozessoren 11 bis 1n erhält, identifiziert die Bussteuereinheit 4 das Busanforderungssignal und erkennt, welche der Ortsbusleitungen 21 bis 2n mit der Zentralbusleitung 5 verbunden werden soll, wozu ein Steuersignal an die Busauswahlschaltung 3 abgegeben wird.

Wenn daher der Prozessor 11 z.B. ein Busanforderungssignal REQ1 abgibt, steuert die Bussteuereinheit 4 die Busauswahlschaltung 3 an, so dass die Ortsbusleitung 21 mit der Zentralbusleitung 5 verbunden wird. Infolgedessen kann dann der Prozessor 11 mit den Geräten 61 und 62 Werte austauschen.

Aus dem Stand der Technik sind auch Einzelsysteme bekannt, die generell einen einzelnen Prozessor aufweisen. Von Geräteseite wird dort manchmal ein Notsignal an den Prozessor zur Steuerungsanforderung abgegeben. Ein solches Aufforderungssignal umfasst die Bildung eines externen Zeitgabesignals für einen Prozesseingang und die Bildung eines Statuswechselsignals für ein Gerät. Solche Statuswechsel können der Abschluss einer Aufgabe, abgeschlossene Datenaufnahme oder Ende der zur Verfügung stehenden Daten sein. Das Einzelsystem ist so ausgeführt, dass eine Unterbrechungsnummer für jede Art von Anforderung vom Gerät geliefert wird, und eine entsprechende Unterbrechungsnummer wird erkannt, wenn ein Unterbrechungssignal an den Prozessor gelegt wird und die entsprechende Unterbrechungssteuerung durchgeführt wird. Da eine solche Unterbrechung für jedes Gerät durchgeführt wird, entspricht die Zahl der erforderlichen Unterbrechungsnummern der Zahl von Geräten, die eine Unterbrechung anfordern.

Auch in einem Mehrprozessorensystem wie dem in Fig. 1 wird eine Unterbrechungsanforderung von Geräteseite her an den Prozessor in derselben Art und Weise wie im Einzelsystem erzeugt, weswegen eine Unterbrechungssteuerung erforderlich ist. Da jedoch ein Mehrprozessorensystem eine Mehrzahl von Prozessoren und eine Mehrzahl von Geräten aufweist, gibt es viele Kombinationen hierfür. Daher ist eine Unterbrechungssteuerung in einem Mehrprozessorensystem erheblich komplizierter im Vergleich mit dem oben beschrie-

benen Einzelsystem und daher kann eine Unterbrechung vom Gerät zu einem zugehörigen Prozessor nicht durchgeführt werden, wenn nicht ein komplizierter Prozess zur Verfügung gestellt wird. Genauer gesagt ist es erforderlich, wenn die Zahl der Geräte, die eine Unterbrechung anfordern, m ist, zu entscheiden, an welchen von n Prozessoren die m Unterbrechungsanforderungen gerichtet sind.

Für den vorstehend beschriebenen Zweck verwendete ein Mehrprozessoren-System gemäss dem Stand der Technik folgende Näherungslösung. Um eine Unterbrechungsanforderung vom Gerät durchzuführen, wird ein Unterbrechungsstatussignal an den Zentralbus 5 abgegeben, und alle Prozessoren 11 bis 1n fragen die Unterbrechungsstatussignale zyklisch durch ein Programm ab, so dass die Bildung einer Unterbrechungsanforderung erkannt wird. Eine andere Näherungslösung besteht darin, dass ein Gerät oder Geräte, die Unterbrechungen anfordern, nicht als Geräte ausgeführt sind, die von jedem der Prozessoren 11 bis 1n gesteuert werden können, sondern die Geräte sind mit der Ortsbusleitung eines Prozessors verbunden, der unterbrochen werden soll, und sie sind daher als Geräte mit Standverbindung zum Prozessor ausgeführt, so dass dieselbe Unterbrechungskontrolle wie im Einzelsystem durchgeführt wird.

Wie im Vorstehenden beschrieben, wird bei einem Mehrprozessoren-System gemäss dem Stand der Technik, für den Fall, dass eine Unterbrechungsanforderung von einem Gerät zu einem der Prozessoren durchgeführt wird, eine Unterbrechungsantwort abgenommen, da eine Abfrage übereinstimmend mit jedem Programm jedes Prozessors gemacht wird, um eine Unterbrechungsanforderung zu erkennen. Wenn ein Gerät durch einen speziellen Prozessor belegt ist, können aber alle anderen Prozessoren das Gerät nicht steuern. Wenn darüber hinaus das Gerät durch einen der Prozessoren belegt ist, sollte die Zahl der Geräte, die von den Prozessoren belegt werden können, der Zahl der Prozessoren entsprechen, die das Gerät benötigen, wodurch das System äusserst teuer wird, was ein erheblicher Nachteil ist.

Die Aufgabe der Erfindung besteht darin, die geschilderten Nachteile zu vermeiden und eine kostengünstige und wirkungsvolle Mehrprozessorenanlage anzugeben, in der es möglich ist, eine Unterbrechungssteuerung von jedem von einer Mehrzahl von Geräten zu jedem von einer Mehrzahl von Prozessoren durchzuführen.

Die erfindungsgemässe Mehrprozessorenanlage, mit der die Aufgabe gelöst wird, ist im Patentanspruch 1 definiert.

In einer solchen Mehrprozessorenanlage werden Bestimmungswerte, die jeweils einen der Prozessoren festlegen, welcher von einem der Geräte unterbrochen werden soll, in dem Datenspeicher gespeichert. Eine Unterbrechungssteuerung zu einem jeweiligen Prozessor wird auf der Basis der gespeicherten Werte vorgenommen, wenn eine Unterbrechungsanforderung von irgendeinem der Geräte abgegeben wird. Genauer gesagt speichert der Datenspeicher einen Bestimmungswert zur Festlegung eines Prozessors, der von den Geräten unterbrochen werden soll. In Antwort auf eine Unterbrechungsanforderung von irgendeinem der Geräte wird ein Bestimmungswert vom Datenspeicher abgegeben, um den Prozessor zu erkennen, der dem Bestimmungswert zugehört, so dass eine Unterbrechungssteuerung zum zugehörigen Prozessor auf Basis des Ergebnisses der Erkennung abgegeben wird. Auf der Grundlage eines Busanforderungssignals von dem Prozessor, der ein Unterbrechungssteuerungssignal erhielt, verbindet die Busauswahlschaltung die Ortsbusleitung des Prozessors mit der Zentralbusleitung, an welche die Geräte angeschlossen sind, so dass eine Busleitung 65 zwischen dem Prozessor und dem Gerät hergestellt ist.

Es kann also ein zu unterbrechender Prozessor auf einfache Art und Weise durch den im Datenspeicher gespei-

cherten Bestimmungswert identifiziert werden. Daher kann eine Unterbrechungssteuerung von jedem einer Mehrzahl von Geräten an einen beliebigen Prozessor abgegeben werden, und eine Verbindung zwischen einem Gerät und einem Prozessor kann mit einer verhältnismässig einfachen Struktur hergestellt werden. Insbesondere wird der komplizierte Prozess gemäss dem Stand der Technik nicht mehr benötigt, bei dem jeder Prozessor dauernd ein Unterbrechungsstatussignal abfragt, das von einem Gerät oder von Geräten über eine Zentralbusleitung abgegeben ist, um die Erzeugung eines Unterbrechungssignals zu erkennen und daraus jedem Prozessor zu ermöglichen, festzustellen, ob ein an ihn gerichtetes Unterbrechungssignal vorliegt. Darüber hinaus kann durch einen Wechsel der Bestimmungswerte leicht der Prozessor gewechselt werden, der dem Bestimmungswert entspricht, den das Gerät unterbrechen will. Darüber hinaus ist es auf äusserst einfache Art und Weise ermöglicht, eine Unterbrechungssteuerung von einem Gerät zu z.B. zwei Prozessoren aufgrund der Bestimmungswerte durchzuführen.

In einer bevorzugten Ausführungsform der Erfindung kann in einem ersten Schritt jedes der Geräte eine dem Gerät zugeordnete Bestimmungsnummer als Adresssignal an den Datenspeicher abgeben, wenn an die Geräte ein Unterbrechungserlaubnisignal angelegt ist, das anzeigt, dass es jedem Gerät erlaubt ist, jeden Prozessor zu unterbrechen. Entsprechend wird dann aus dem Datenspeicher der Bestimmungswert des Prozessors ausgelesen, den das Gerät unterbrechen will. In einem zweiten Schritt kann ein Unterbrechungsbefehlsignal auf Grundlage des Bestimmungswertes erzeugt werden und ein Unterbrechungssignal an den entsprechenden Prozessor auf Grundlage des Unterbrechungsbefehlsignals und des Bestimmungswerts abgegeben werden. Der Prozessor, an den ein Unterbrechungssignal gelegt ist, kann dann ein Busanforderungssignal erzeugen, gemäss dem die Busauswahlschaltung ein Busauswahlsignal erzeugen kann. Die Ortsbusleitung des entsprechenden Prozessors wird dann an die Zentralbusleitung gemäss dem Busauswahlsignal angeschlossen.

Wenn daher die Operationen des zweiten Schritts gemäss der Anzahl der Zahl von Prozessoren wiederholt werden, kann eine Unterbrechungssteuerung zu den jeweiligen Prozessoren auf Grundlage der Unterbrechungsanforderungen von allen Geräten durchgeführt werden.

Ein Ausführungsbeispiel der erfindungsgemässen Mehrprozessorenanlage wird nachstehend anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein schematisches Blockdiagramm einer Mehrprozessorenanlage gemäss dem Stand der Technik;

Fig. 2 ein schematisches Blockdiagramm einer erfindungsgemässen Ausführungsform;

Fig. 3 ein genaueres Blockdiagramm einer Bussteuerschaltung gemäss Fig. 2;

Fig. 4 ein genaueres Blockdiagramm einer Unterbrechungssteuerung gemäss Fig. 2;

Fig. 5 ein Diagramm von in einem Lesespeicher gemäss Fig. 4 gespeicherten Werten;

Fig. 6 ein Diagramm von in einem Speicher mit direktem Zugriff gemäss Fig. 4 gespeicherten Werten;

Fig. 7 ein genaueres Blockdiagramm einer Busauswahlschaltung gemäss Fig. 2; und

Fig. 8 ein Flussdiagramm zur Erläuterung der Funktion einer erfindungsgemässen Ausführungsform.

Anhand der Fig. 2 wird nun eine Ausführungsform der vorliegenden Erfindung anhand einer schematischen Struktur näher erläutert. Eine Mehrzahl von Prozessoren 11

bis 1n und eine Busauswahlschaltung 3 entsprechen denen von Fig. 1. Eine Mehrzahl von Geräten 61 bis 6m ist mit einer Zentralbusleitung 5 verbunden. Darüber hinaus ist ein Unterbrechungssteuergerät 8 vorhanden, um ein Unterbrechungssignal an jeden der Prozessoren 11 bis 1n entsprechend der Anforderung von einem der Geräte 61 bis 6m anzulegen. Das Unterbrechungssteuergerät 8 beinhaltet einen Speicher 85 mit Direktzugriff, um Werte zu speichern, die angeben, an welchen Prozessor ein Unterbrechungssignal angelegt werden soll, wenn eine Unterbrechungsaufforderung von einem beliebigen der Geräte 61 bis 6m erhalten wird. Die Zentralbusleitung 5 ist mit dem Unterbrechungssteuergerät 8 verbunden. Das Unterbrechungssteuergerät 8 legt ein Unterbrechungserlaubnisignal an jedes der Geräte 61 bis 6m durch die Zentralbusleitung 5. Wenn eines der Geräte 61 bis 6m einen beliebigen der Prozessoren unterbricht, wird ein Gerätnummernwert, der das unterbrechende Gerät anzeigt, als Unterbrechungssignal an das Unterbrechungssteuergerät 8 durch die Zentralbusleitung 5 gelegt. Das Unterbrechungssteuergerät 8 erkennt den zu unterbrechenden Prozessor aufgrund der in dem Speicher 85 gespeicherten Werte und gibt ein Unterbrechungssignal ITR an den Prozessor ab. Wenn ein Anforderungssignal von z.B. niederem Pegel an ein Bussteuergerät 7 von einem beliebigen der Prozessoren 11 bis 1n angelegt wird, legt das Bussteuergerät 7 ein Busbesetztsignal an das Unterbrechungssteuergerät 8 an, so dass eine Unterbrechung durch die Geräte 61 bis 6m verhindert ist. In Fig. 3 ist das Bussteuergerät 7 gemäss Fig. 2 in einem genaueren Blockdiagramm dargestellt. Die Busanforderungssignale REQ1 bis REQn von niederem Pegel, die von den Prozessoren 11 bis 1n ausgegeben sind, werden an eine NICHT-Schaltung 71 angelegt. Die NICHT-Schaltung 71 ist so ausgeführt, dass ein Busbesetztsignal von niederem Pegel ausgegeben wird, wenn ein beliebiges der Busanforderungssignale eingegeben wird. Die Schaltung ist z.B. mit einer Kombination von Torschaltungen strukturiert. Darüber hinaus werden die Busanforderungssignale REQ1 bis REQn auch an einen Codierer 73 durch Torschaltungen 721 bis 72n gelegt. Der Codierer 73 beinhaltet einen Prioritätscodierer, der die Prozessoren mit höchster Priorität codiert und der die entsprechend codierten Werte an seinen Ausgängen abgibt, entsprechend den Busanforderungssignalen REQ1 bis REQn.

Es sei z.B. angenommen, dass vier Prozessoren vorhanden sind und deren Priorität so festgelegt ist, dass der Prozessor 11 die höchste, der Prozessor 12 die zweithöchste, der Prozessor 13 die dritthöchste und der Prozessor 14 die niedrigste Priorität hat. Wenn dann die drei Prozessoren 11 bis 13 mit höherer Priorität gemeinsam Busanforderungssignale REQ1 bis REQ3 ausgeben, wird ein Code, wie z.B. «1» in Form einer reinen Binärzahl vom Codierer 73 ausgegeben, und an einen Decodierer 74 gelegt. Der Decodierer 74 gibt dann ein Codesignal wie z.B. «0001» an seinen Ausgängen aus. Diese entsprechenden Ausgangssignale vom Decoder 74 werden den Eingängen von Flip-Flops 761 bis 76n zugeführt, die jeweiligen Prozessoren 11 bis 1n entsprechen, und setzen diese Flip-Flops. Um die Flip-Flops 761 bis 76n rückzusetzen, werden Rücksetzeingängen der Flip-Flops Signale von Invertiern 751 bis 75n, die die Busanforderungssignale REQ1 bis REQn invertieren, zugeführt. Dadurch werden die jeweiligen Flip-Flops 761 bis 76n durch die Ausgangssignale vom Decoder 74 gesetzt und werden rückgesetzt, wenn die Busanforderungssignale REQ1 bis REQn nicht mehr vorliegen oder wenn die Busanforderungssignale hohen Pegel einnehmen. Die entsprechenden Ausgangssignale der Flip-Flops 761 bis 76n werden der Busauswahlschaltung 3 als Auswahlssignal zum Auswählen von Ortsbusleitungen 21 bis 2n zugeführt.

Eine Nullermittlungsschaltung 77 ermittelt, ob der Inhalt aller Ausgänge vom Codierer 73 «0» ist, mit anderen Worten, die Schaltung 77 ermittelt, dass Busanforderungssignale von allen Prozessoren 11 bis 1n nicht am Bussteuergerät 7 vorliegen. Ein Nullermittlungssignal, das von der Nullermittlungsschaltung 77 abgegeben wird, ist an Setzeingänge der Flip-Flops 781 bis 78n angelegt. Das Ausgangssignal vom Decoder 74 ist an Rücksetzeingänge der Flip-Flops 781 bis 78n angelegt. Die Ausgangssignale der Flip-Flops 781 bis 78n sind an die oben beschriebenen Torschaltungen 721 bis 72n angelegt. Der Grund, weswegen die Nullermittlungsschaltung 77 und die Flip-Flops 781 bis 78n vorhanden sind, besteht darin, dass eine Situation, in der eine Busanforderung von einem Prozessor mit niedriger Priorität nicht berücksichtigt wird, ausgeschlossen wird, da ja die Priorität der Prozessoren 11 bis 1n vorbestimmt ist. Es sei z.B. angenommen, dass die Prozessoren 11, 12 und 13 gleichzeitig Busanforderungssignale abgeben und danach der Prozessor 14 ein Busanforderungssignal abgibt, und dann auch der Prozessor 11 wieder ein Busanforderungssignal nach Beendigung der Besetzung der Zentralbusleitung 5 abgibt. In diesem Fall geben die Prozessoren 11 bis 14 zuerst Busanforderungssignale ab, nachdem die Prozessoren 12 und 13 die Besetzung der Zentralbusleitung 5 abgeschlossen haben und dadurch besetzt der Prozessor 11 wegen seiner höheren Priorität zunächst die Zentralbusleitung 5, obwohl der Prozessor 14 zuerst ein Busanforderungssignal abgegeben hat. Wenn kein Anforderungssignal ausgegeben wird, stellt die Nullermittlungsschaltung 77 keine Signale fest, die die Flip-Flops 781 bis 78n setzen. Wenn die Flip-Flops 781 bis 78n gesetzt sind, werden die zugehörigen Torschaltungen 721 bis 72n geöffnet, so dass Busanforderungssignale REQ1 bis REQn am Codierer 73 anliegen. Wenn ein Busanforderungssignal von z.B. dem Prozessor 11 angelegt wird, dann wird das Flip-Flop 781 durch den Ausgang vom Decoder 74 rückgesetzt und die entsprechende Torschaltung 721 ist geschlossen. Daher werden dann Busanforderungssignale REQ1 vom Prozessor 1 mit der höchsten Priorität nur dann angenommen, wenn andere Busanforderungssignale REQ2 bis REQn ausgegeben werden.

In Fig. 4 ist das Unterbrechungssteuergerät gemäss Fig. 2 in einem genaueren Blockdiagramm dargestellt. Das Diagramm von Fig. 5 stellt die Daten dar, die in dem Lesespeicher 83 gemäss Fig. 4 gespeichert sind, und Fig. 6 stellt ein Diagramm dar, das die Daten zeigt, die in dem Speicher 85 mit Direktzugriff gemäss Fig. 4 gespeichert sind. Das Unterbrechungssteuergerät 8 führt eine Unterbrechungssteuerung aufgrund eines Mikroprogramms durch, das einen Schritt 1 und n-mal einen Schritt 2 umfasst. Im Schritt 1 wird ein Unterbrechungserlaubnisignal ACK an die Geräte 61 bis 6m durch die Zentralbusleitung 5 abgegeben und es wird abgetastet, ob ein Gerätnummernwert als Unterbrechungsanforderung von einem der Geräte 61 bis 6m zurückgegeben wird. Im Schritt 2 werden die in dem Speicher 85 mit Direktzugriff gespeicherten Werte aufgrund der Gerätnummernwerte von jedem der Geräte 61 bis 6m ausgegeben, so dass der zu unterbrechende Prozessor festgelegt ist und dieser eine Unterbrechungssteuerung erfährt. Die Befehlsfolge im Schritt 2 wird für jeden Prozessor wiederholt. Ein solches Mikroprogramm ist im Lesespeicher 83 gespeichert.

Der Lesespeicher 83 weist Speicherbereiche 830 bis 83n auf, wie dies in Fig. 5 dargestellt ist. Das Programm von Schritt 1 ist im Speicherbereich 830 und das Programm von Schritt 2 ist in den Speicherbereichen 831 bis 83n gespeichert. Das Programm des Schritts 1 beinhaltet einen Adressenwert «0» und ein Auswahlssignal. Das Programm zu Schritt 2 beinhaltet Adresswerte 1 bis n, ein Auswahlssignal und ein Unterbrechungsbefehlssignal. Das Programm im Lesespeicher 83

zu jedem Schritt wird sequentiell ausgelesen und im Register 84 gespeichert. Das Unterbrechungserlaubnisignal des Programms, das im Register 84 gespeichert ist, wird gemeinsam an die jeweiligen Geräte 61 bis 6m durch die Zentralbusleitung 5 angelegt. Der Adresswert wird an eine Addierschaltung 82 angelegt und das Auswahlsignal wird an einen Multiplexer 81 angelegt und das Unterbrechungsbefehlssignal wird an einen Eingang von UND-Gliedern 881 bis 88n angelegt. Wenn ein Unterbrechungserlaubnisignal vom Register 84 an die jeweiligen Geräte 61 bis 6m gelegt wird, wird ein Gerätenummernwert als ein Unterbrechungsanforderungssignal an den Speicher 85 mit Direktzugriff und an die Register 86 von jedem der Geräte durch die Zentralbusleitung 5 angelegt. Wie in Fig. 6 dargestellt, weist der Speicher 85 mit Direktzugriff Speicherbereiche für Adressen A bis A+ (m-1) auf. Diese Adressen A bis A+ (m-1) werden entsprechend den Geräten 61 bis 6m geliefert, d.h. Gerätenummern IT0 bis IT(m-1) für jede Adresse. Ein Bitspeicherbereich steht für jeden der Prozessoren 11 bis 1n zur Verfügung und der Wert, der angibt, ob eine Unterbrechung angefordert ist oder nicht, ist darin gespeichert. Wenn eine Unterbrechung angefordert ist, ist der logische Wert «1» und wenn keine Unterbrechung angefordert ist, ist der logische Wert «0» gespeichert.

Wenn daher ein Gerätenummernwert als Adresssignal in den Speicher 85 mit Direktzugriff von irgendeinem der Geräte eingegeben wird, wird ein entsprechender Prozessornummernwert von dem Speicherbereich im Speicher 85 mit Direktzugriff ausgegeben, der dem Adresssignal entspricht und dieser Wert wird im Register 87 gespeichert. Das Register 87 gibt einen Bestimmungswert aus, der jedem Prozessor jeweils entspricht. Dieser Wert wird an die jeweiligen Eingänge der UND-Gatter 881 bis 88n und an den Multiplexer 81 gelegt. An den Multiplexer 81 wird auch das Busbesetztsignal von dem Bussteuergerät 87 gemäss Fig. 3 gelegt. Das Busbesetztsignal sperrt den Multiplexer 81, so dass dieser Prozessornummernwerte nicht auswählen kann, wenn die Prozessoren 11 bis 1n Busanforderungssignale an das Bussteuergerät 7 abgeben. Der Multiplexer 81 entnimmt Schritt für Schritt einen Prozessnummernwert auf Grundlage eines Auswahlsignals nach dem anderen und legt ein +1-Signal an eine Addierschaltung 82, wenn der logische Wert «1» in jedem Prozessnummernwert vorliegt. Die Addierschaltung 82 addiert +1 zu dem Adresswert vom Register 84 und gibt das Addierergebnis als Adresssignal an den Lesespeicher 83.

Die UND-Glieder 881 bis 88n legen Unterbrechungssignale ITR1 bis ITRn an die entsprechenden Prozessoren an, wenn die UND-Glieder 881 bis 88n jeweils einen Prozessornummernwert vom Register 87 und einen Unterbrechungsbefehl vom Register 84 erhalten. Die Register 86 speichern die Gerätenummernwerte und geben diese an die Zentralbusleitung 5 ab. Die Busauswahlschaltung 3 gemäss Fig. 7 weist Auswahleinheiten 31 bis 3n auf, die jeweils einem Prozessor 11 bis 1n entsprechen. Die Ortsbusleitungen 21 bis 2n sind mit den jeweiligen Auswahleinheiten 31 bis 3n verbunden und Auswahlssignale 1 bis n von dem Bussteuergerät 7 werden an die Auswahleinheiten 31 bis 3n jeweils angelegt. Die Ausgänge der Auswahleinheiten 31 bis 3n sind gemeinsam mit der Zentralbusleitung 5 verbunden.

Es wird nun anhand der Fig. 8 die Funktion einer erfindungsgemässen Ausführungsform erläutert. In einem Ausgangszustand wird das Programm vom Schritt 1 aus dem Lesespeicher 83 ausgelesen und im Register 84 gespeichert. Ein Unterbrechungserlaubnisignal wird an jedes der Geräte 61 bis 6m vom Register 84 durch die Zentralbusleitung 5

angelegt. Entsprechend den jeweiligen Unterbrechungssignalen erkennen die jeweiligen Geräte 61 bis 6m, dass eine Unterbrechung durchgeführt werden sollte. Dann gibt ein Gerät, z.B. das Gerät 61, einen Gerätenummernwert IT0 als Unterbrechungsanforderungssignal an die Zentralbusleitung 5 ab. Der Gerätenummernwert IT0 wird im Register 86 gespeichert und wird auch als Adresssignal an den Speicher 85 mit direktem Zugriff gelegt. Daraufhin gibt der Speicher 85 mit direktem Zugriff einen Wert von der Adresse A an das Register 87, das den Wert speichert, ab, der den Prozessor 11 angibt, der durch das Gerät 61 unterbrochen werden kann. Dadurch wird nur das erste Bit im Register 87 zu logisch «1». Dieses Signal wird an einen Eingang des UND-Glieds 881 und an den Multiplexer 81 gelegt.

Zu diesem Zeitpunkt hat das Busbesetztsignal hohen Pegel, da der Prozessor 11 kein Busanforderungssignal REQ1 abgibt. Aus diesem Grund entnimmt der Multiplexer 81 ein +1-Signal aus dem Register 87 in Übereinstimmung mit dem Wert, der anzeigt, dass zumindest ein Prozessor vorliegt, der unterbrochen werden soll und er gibt das Signal +1 an die Addierschaltung 82 ab. Die Addierschaltung 82 addiert +1 zum Adresswert vom Register 84 und gibt das Addierergebnis in den Lesespeicher 83. Daher wird das Programm zu Schritt 2, das in der nächsten Adresse gespeichert ist, vom Lesespeicher 83 ausgegeben und im Register 84 gespeichert. Ein Unterbrechungsbefehlssignal vom Register 84 wird an die UND-Glieder 881 bis 88n gelegt. Dabei wird das UND-Glied 881 geöffnet, so dass ein Unterbrechungssignal ITR1 an den Prozessor 11 gelegt wird, da ein Unterbrechungsbefehlswert nur am UND-Glied 881 anliegt. Der Prozessor 11 erhält das Unterbrechungssignal ITR1 und gibt ein Unterbrechungsanforderungssignal REQ1 an das Bussteuergerät 7 ab.

Wie in Fig. 3 dargestellt, legt das Bussteuergerät 7 ein Auswahlssignal 1 an die Busauswahlschaltung 3 entsprechend dem Unterbrechungsanforderungssignal REQ1 an. Die Busauswahlschaltung 3 gibt gemäss Fig. 5 auf das Auswahlssignal 1 hin nur die Auswahleinheit 31 frei. Infolgedessen wird die Ortsbusleitung 21 des Prozessors 11 mit der Zentralbusleitung 5 verbunden. Wenn die Ortsbusleitung 21 mit der Zentralbusleitung 5 verbunden ist, liest der Prozessor 11 den Gerätenummernwert IT0, der im Register 86 gespeichert ist. Dementsprechend stellt der Prozessor 11 sofort fest, dass eine Unterbrechungsanforderung vom Gerät 61 vorliegt. Daher tauscht der Prozessor 11 mit dem Gerät 61 über die Ortsbusleitung 21 und die Zentralbusleitung 5 Werte aus.

Wenn dann in einem nächsten Schritt ein Unterbrechungsanforderungssignal vom Gerät 62 eingegeben wird, läuft die oben beschriebene Befehlsfolge erneut ab. Wenn die Befehlsfolge von allen Prozessoren durchgeführt ist, wird die Folge auf den Schritt 1 zurückgesetzt. Wie im Vorstehenden beschrieben, wird gemäss einer Ausführungsform der Erfindung der Wert, der einen Prozessor angibt, der entsprechend jedem Gerät unterbrochen werden soll, im Speicher 85 mit Direktzugriff gespeichert und ein entsprechender Wert wird vom Speicher 85 auf eine Unterbrechungsanforderung von einem Gerät aus ausgegeben, so dass eine Unterbrechungssteuerung des zugehörigen Prozessors durchgeführt wird. Dementsprechend ist es ermöglicht, eine Unterbrechungssteuerung mit einer beliebigen Kombination einer Anzahl von Prozessoren mit einer beliebigen Anzahl von Geräten durchzuführen. Wenn die Zahl der zu unterbrechenden Prozessoren geändert werden soll, ist es lediglich erforderlich, den Inhalt des Speichers 85 mit Direktzugriff zu ändern.

FIG. 1

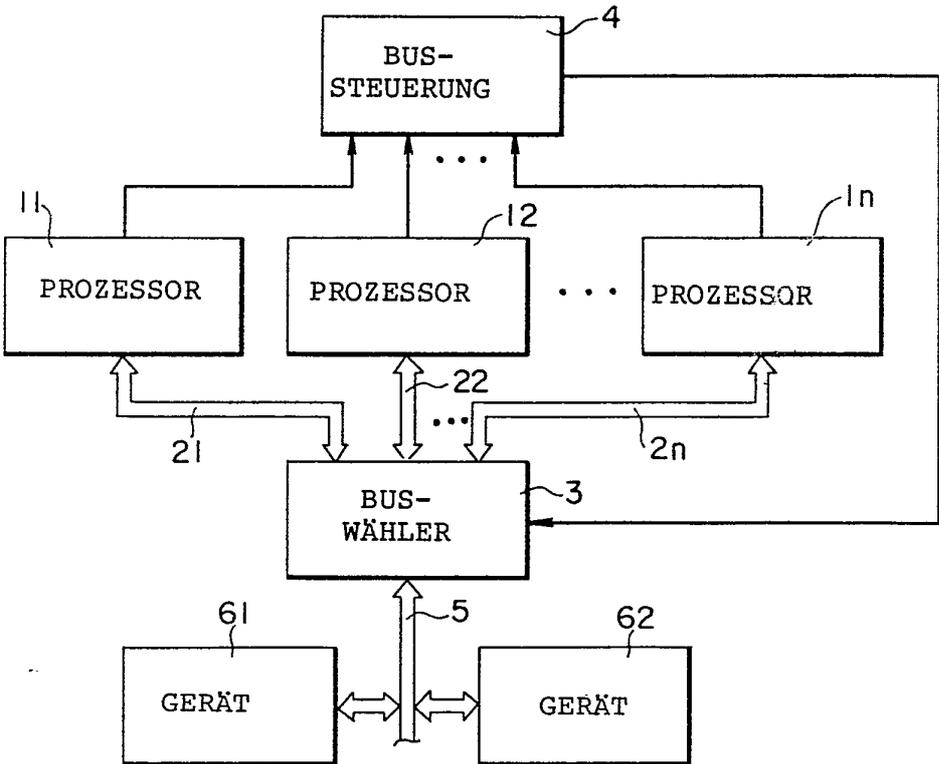


FIG. 2

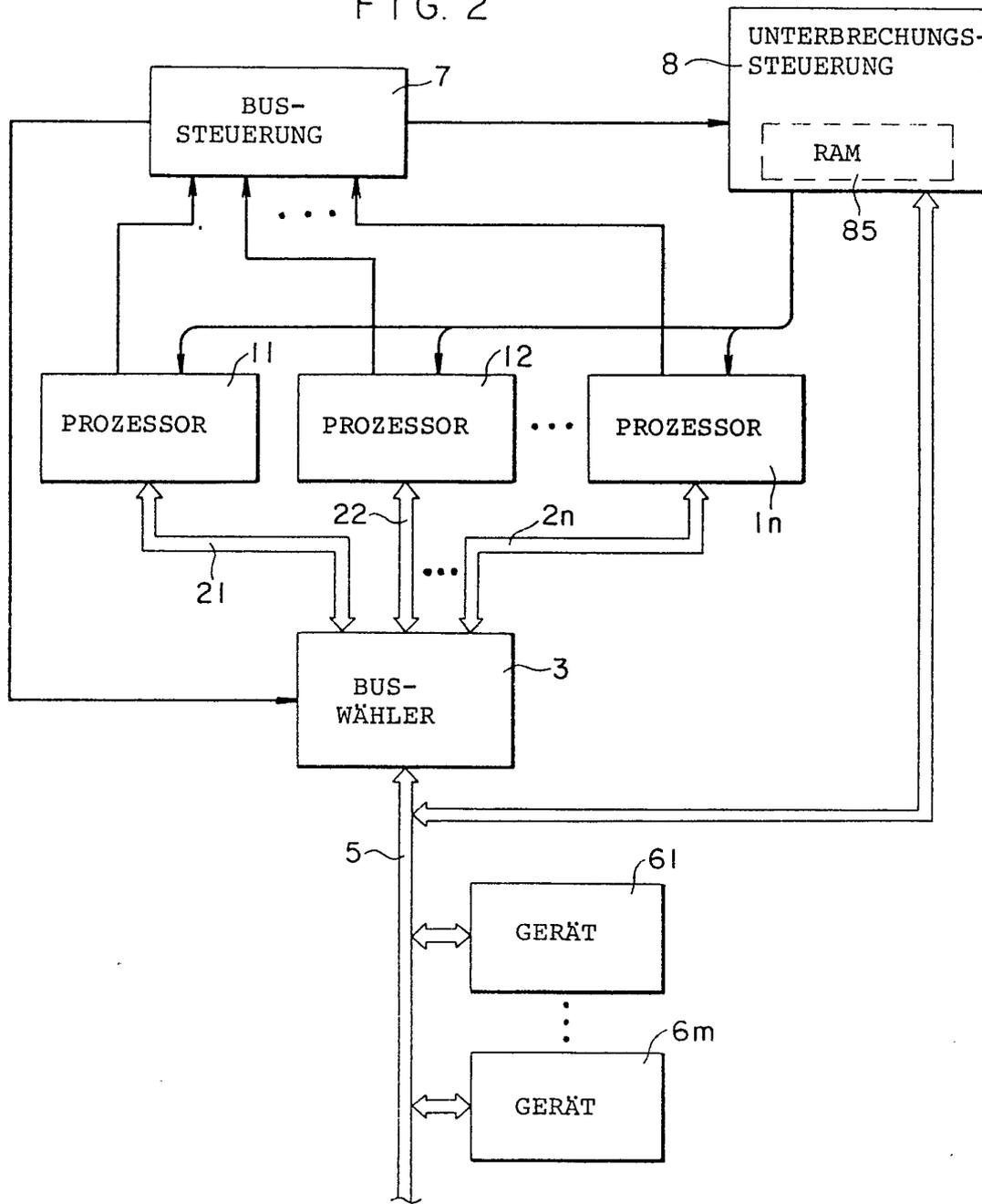


FIG. 3

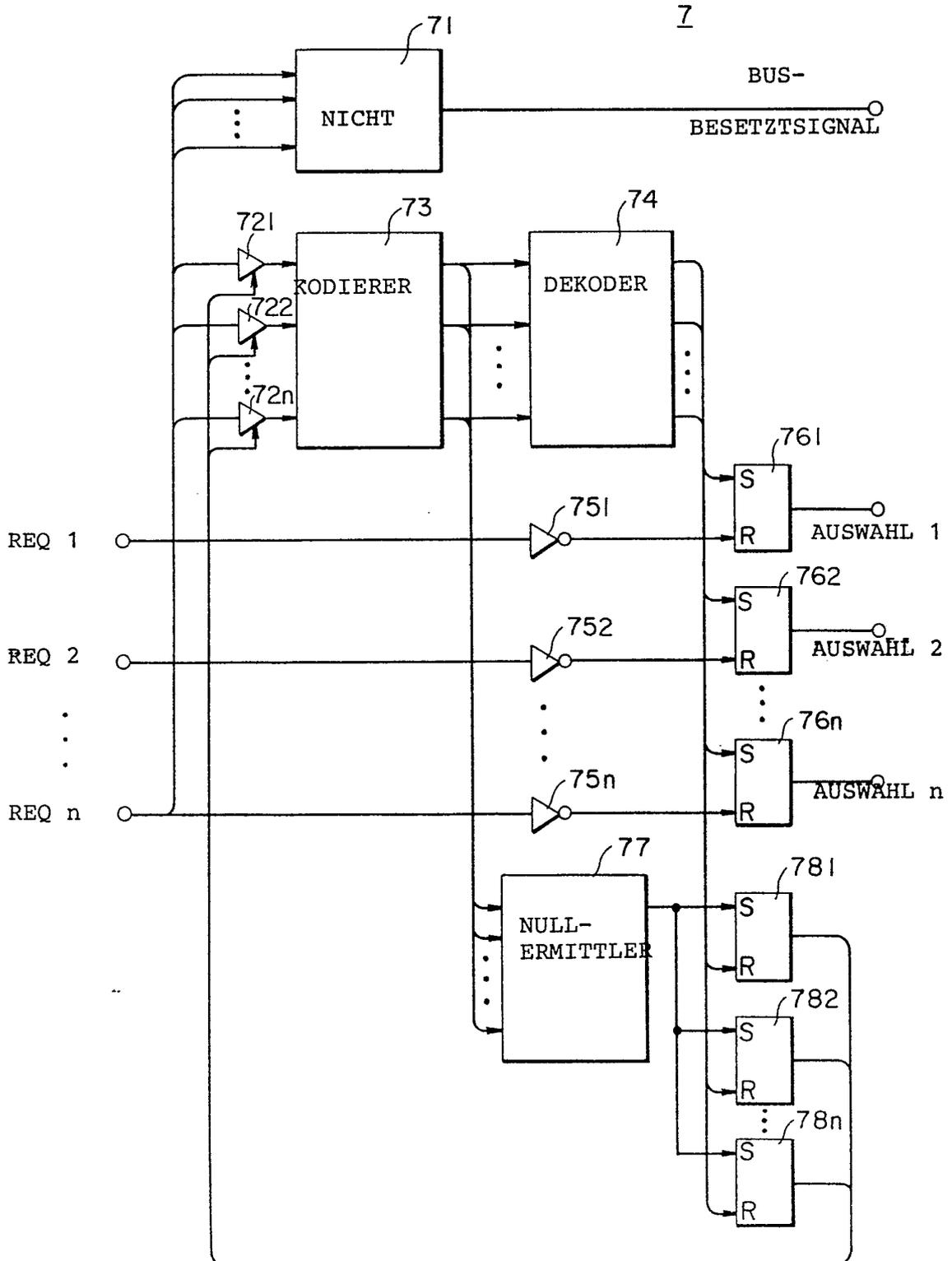


FIG. 4

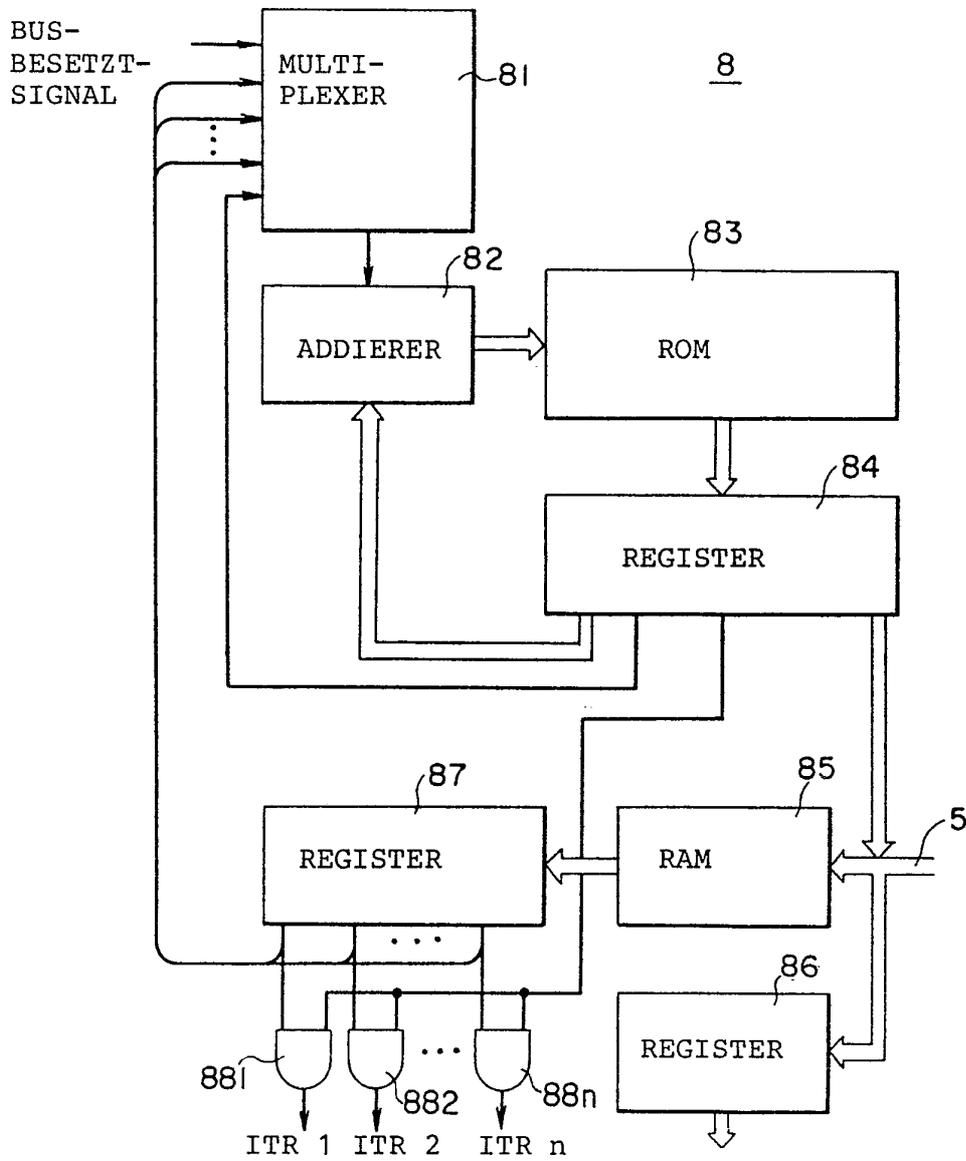


FIG. 7

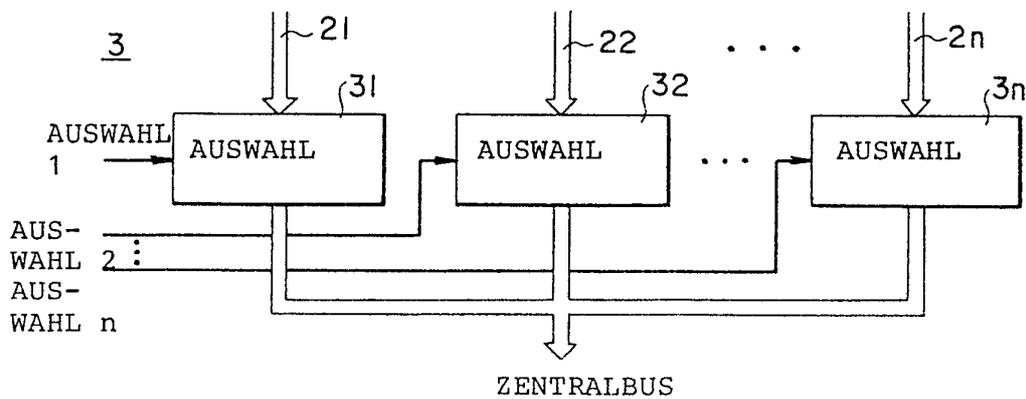


FIG. 5

83

	ADRESSE	ADRESS- WERT	ACK	AUSWAHL- SIGNAL	UNTERBRECHUNGS- ANWEISUNG
830	0	0			
831	1	1			
832	2	2			
	⋮	⋮			
83n	n	n			

FIG. 6

85

GERÄTE- NUMMER	ADRESSE	PROZESSORNUMMER				
		0	1	2	⋯	n
IT 0	A	1	0	0		0
IT 1	A + 1	0	1	0		0
IT 2	A + 2	0	1	0		1
⋮	⋮	⋮	⋮	⋮		⋮
⋮	⋮	⋮	⋮	⋮		⋮
⋮	⋮	⋮	⋮	⋮		⋮
IT (m - 1)	A + (m - 1)	1	0	1	⋯	0

FIG. 8

