(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3764176号
(P3764176)
(45)発行日　平成18年4月5日(2006.4.5)　(24)登録日　平成18年1月27日(2006.1.27)

(51)Int.Cl.		F I		
H02M 3/07	(2006.01)	H02M	3/07	
H03K 19/00	(2006.01)	H03K	19/00	A
G11C 11/413	(2006.01)	G11C	11/34	335A
G11C 11/407	(2006.01)	G11C	11/34	354F

請求項の数 3　(全 8 頁)

(21)出願番号　特願平6-49276
(22)出願日　平成6年3月18日(1994.3.18)
(65)公開番号　特開平7-262775
(43)公開日　平成7年10月13日(1995.10.13)
審査請求日　平成12年5月29日(2000.5.29)
審判番号　不服2002-18196(P2002-18196/J1)
審判請求日　平成14年9月19日(2002.9.19)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100108187
弁理士　横山　淳一
(72)発明者　佐藤　一
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ヴィエルエスアイ株式会社内
(72)発明者　中西　知子
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ヴィエルエスアイ株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
電源電圧の電源線と昇圧ノードの間に設けられたデプリーション型ＭＯＳトランジスタと、
前記昇圧ノードの電位を前記電源電圧より高い電位に昇圧する内部電位生成回路とを備え、電源投入時、前記デプリーション型ＭＯＳトランジスタのゲートに前記電源電圧と等しい電圧を印加することを特徴とする半導体装置。
【請求項２】
請求項１に記載の半導体装置において、
前記デプリーション型ＭＯＳトランジスタのゲートにはパワーオンリセット信号が与えられることを特徴とする半導体装置。
【請求項３】
電源電圧の電源線と昇圧ノードの間に設けられ、ゲートが接地電位に接続されたデプリーション型ＭＯＳトランジスタと、
前記昇圧ノードの電位を前記電源電圧より高い電位に昇圧する内部電位生成回路とを備えたことを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は内部電位発生回路を備えた半導体装置に関するものである。

近年、半導体集積回路装置においては、高速化が進められている。又、低消費電力化が進められ、低電源電圧による駆動が押し進められている。そのため、半導体集積回路装置内部において、その駆動に必要となる高電圧を生成するための内部電位発生回路が内蔵されたものがある。ところで、高電圧の生成が電源電圧の上昇に対して遅れると、遅れる間はその半導体集積回路装置が誤動作を起こしたりする問題がある。そのため、その内部電位発生回路において、その高電圧の上昇を速くする必要がある。

【０００２】

【従来の技術】

従来、半導体集積回路装置において、その動作のために供給される電源電圧よりも高電位又は低電位となる内部電位を必要とするものがある。例えば、ＤＲＡＭ（Dynamic RAM ）やＳＲＡＭ（Static RAM）では、その動作速度の低下を防ぐためにワード線を電源電圧より高電位にしている。また、ＥＰＲＯＭ（Erasable Programmable ROM ）やＥＥＰＲＯＭ（Electrically Erasable Programmable ROM）ではプログラム動作時に電源電圧より高電位を必要している。そのため、電源電圧からその高電位又は低電位を発生させる内部電位発生回路を備えたものがある。

【０００３】

図４は、内部電位発生回路のブロック回路図である。内部電位発生回路は昇圧回路であって、発振回路１１とポンピング回路１２及びエンハンスメント型ＮチャネルＭＯＳトランジスタ（以下、ＮＭＯＳトランジスタという）１３とを備えている。発振回路１１は奇数個（図４において３個）のインバータ回路１４～１６を直列接続するとともにインバータ回路１６の出力端子とインバータ回路１４の入力端子とを互いに接続したリングオシレータ回路であって、電源電圧Ｖccが供給されると、その電源電圧Ｖccに基づいて発振動作し所定の周期となる矩形波パルスを出力する。

【０００４】

ポンピング回路１２は２個のエンハンスメント（Enhancement ）型ＮチャネルＭＯＳトランジスタ（以下、ＮＭＯＳトランジスタという）１７，１８とコンデンサ１９とから構成されている。ＮＭＯＳトランジスタ１７のゲートとドレインは互いに接続されるとともに高電位側電源Ｖccに接続されている。ＮＭＯＳトランジスタ１７のソースにはそのゲートとドレインを互いに接続したＮＭＯＳトランジスタ１８が接続されている。ＮＭＯＳトランジスタ１７，１８間にはコンデンサ１９の一端が接続され、コンデンサ１９の他端は前記発振回路１１に接続されている。そして、ＮＭＯＳトランジスタ１８のソースは図示しない内部回路に接続されている。そして、発振回路１１とポンピング回路１２とにより内部電位生成回路部を構成している。

【０００５】

ＮＭＯＳトランジスタ１７に高電位側電源Ｖccが入力されると、ＮＭＯＳトランジスタ１７，１８間のノードＮ1 の電位は高電位側電源ＶccからＮＭＯＳトランジスタ１７のしきい値電圧だけ下がった電位となる。そして、発振回路１１からの矩形波パルスを入力すると、その矩形波パルスに基づいてコンデンサ１９に電荷が蓄積され、ノードＮ1 の電位を上昇させる。即ち、矩形波パルスがＬレベルからＨレベルに立ち上がると、ノードＮ1 の電位から矩形波パルスのＨレベルの電位を加算した電位に向かって上昇する。ノードＮ1 の電位は高電位側電源ＶccからＮＭＯＳトランジスタ１７のしきい値電圧だけ下がった電位なので、昇圧された電位は高電位側電源Ｖccより高い電位となる。続いて、矩形波パルスがＨレベルからＬレベルに立ち下がると、ノードＮ1 の電位は高電位側電源Ｖccより高い電位から下降する。従って、矩形波パルスを所定の周期で制御することで、ノードＮ1 の電位を高電位側電源Ｖccより高い電位に昇圧している。そして、この昇圧した電位がＮＭＯＳトランジスタ１８のしきい値電圧を越えるとＮＭＯＳトランジスタ１８がオンとなり、そのＮＭＯＳトランジスタ１８を介して内部電源電圧ＳＶccとして内部回路へ出力されるようになっている。従って、内部電源電圧ＳＶccはノードＮ1 の電位からＮＭＯＳトランジスタ１８のしきい値電圧だけ下がった電位となり、ＮＭＯＳトランジスタ１８がオンする分遅れて内部回路に出力されることになる。

【０００６】
一方、ＮＭＯＳトランジスタ１３のゲートとドレインは互いに接続されるとともに高電位側電源Ｖccに接続され、ソースはＮＭＯＳトランジスタ１８のソースに接続されている。ＮＭＯＳトランジスタ１３は電源投入時に高電位側電源Ｖccに基づいて上昇する内部電源電圧ＳＶccを内部回路に出力し、内部回路の動作準備をさせるものである。
【０００７】
即ち、ＮＭＯＳトランジスタ１３はポンピング回路１２により昇圧される内部電源電圧ＳＶccの電位をポンピング回路１２の昇圧開始時に予め０ボルトより高くしている。ポンピング回路１２はその内部電源電圧ＳＶccを０ボルトから昇圧しようとすると、予め定めた電位に到達するまでに時間がかかり、内部電源電圧ＳＶccが０ボルトより高い電位にあるとその分昇圧する時間が短縮される。その動作を図５に従って説明する。
【０００８】
半導体集積回路装置の起動時において、内部電源電圧ＳＶccは電源電圧Ｖccの上昇に基づいて上昇する。即ち、半導体集積回路装置が起動され、電源電圧ＶccがＮＭＯＳトランジスタ１３のしきい値電圧Ｖthを越えるまでは０ボルトのままである。そして、電源電圧ＶccがＮＭＯＳトランジスタ１３のしきい値電圧Ｖthを越えると、ＮＭＯＳトランジスタ１３はオンとなり内部電源電圧ＳＶccは電源電圧ＶccからＮＭＯＳトランジスタ１３のしきい値電圧Ｖth下がった電位（＝Ｖcc－Ｖth）で上昇する。
【０００９】
このとき、発振回路１１はまだ動作しないので、矩形波パルスは出力されない。従って、内部電源電圧ＳＶccはＶcc－Ｖthの電位で上昇する。また、一般的にＮＭＯＳトランジスタのドレインに流れる電流はそのしきい値電圧Ｖthから高くなるほど大きな電流が流れる。従って、ＮＭＯＳトランジスタ１３は高電位側電源Ｖccがそのしきい値電圧Ｖthを越えたばかりなので、ドレインには少しの電流しか流れない。従って、内部電源電圧ＳＶccの電流は少ない。
【００１０】
更に、電源電圧Ｖccが上昇すると、図５の点Ａにおいて発振回路１１は動作を開始して矩形波パルスを出力する。ポンピング回路１２はその矩形波パルスに基づいて昇圧を開始し、内部電源電圧ＳＶccが予め定めた電位まで上昇することになる。そして、この上昇した内部電源電圧ＳＶccに基づいて内部回路が動作する。
【００１１】
【発明が解決しようとする課題】
しかしながら、製造プロセスのばらつきによりＮＭＯＳトランジスタ１３のしきい値電圧Ｖthが高くなる場合がある。ＮＭＯＳトランジスタ１３は電源電圧Ｖccがその高くなったしきい値電圧Ｖthを越えないとオンとならない。すると、点Ａにおける内部電源電圧ＳＶccの電位は低くなり、ポンピング回路１２はその低い電位から昇圧することになる。その結果、内部電源電圧ＳＶccが予め定めた電位に達するまでの時間が長くなり、内部回路はその分動作できないという問題があった。
【００１２】
本発明は上記問題点を解決するためになされたものであって、その目的は、内部電源電圧を安定した電位まで速く昇圧することのできる内部電位発生回路を備えた半導体装置を提供することにある。
【００１３】
【課題を解決するための手段】
図１は本発明の原理説明図である。半導体装置はデプリーション型ＭＯＳトランジスタ１と内部電位生成回路２とを備えている。デプリーション型ＭＯＳトランジスタ１は、電源電圧Ｖccの電源線と昇圧ノードとの間に設けられている。また、内部電位生成回路２は、昇圧ノードの電位を電源電圧Ｖccより高い昇圧電圧にする。そして、電源投入時、デプリーション型ＭＯＳトランジスタ１のゲートに電源電圧Ｖccと等しい電圧を印加する。
【００１４】

【作用】
従って、本発明によれば、内部電位生成回路２により昇圧ノードが電源電圧Ｖccより高い昇圧電圧に到達するまでの時間は短くなる。
【００１５】
【実施例】
以下、本発明を具体化した一実施例を図２及び図３に従って説明する。
尚、説明の便宜上、図４と同様の構成については同一の符号を付してその説明を一部省略する。
【００１６】
図２に示すように、ポンピング回路１２にはデプリーション（Depletion ）型Ｎチャネル
ＭＯＳトランジスタ（以下、ＤｐＮＭＯＳトランジスタという）２１が接続されている。
ＤｐＮＭＯＳトランジスタ２１はそのソースがポンピング回路１２ＮＯＮＭＯＳトランジスタ１８のソースに接続され、ドレインは高電位側電源Ｖccに接続されている。そして、ＤｐＮＭＯＳトランジスタ２１のゲートにはパワーオンリセット信号φが入力されている。パワーオンリセット信号φは、電源投入時に内部回路のフリップフロップ回路、ラッチ回路等を初期セットさせて半導体集積回路装置の誤動作を防止するものであって、図示しないパワーオンリセット回路により生成されるようになっている。
【００１７】
ＤｐＮＭＯＳトランジスタ２１はそのしきい値電圧V_{TN}が負の値であって、ゲート・ソース間電圧V_{GS}が０ボルトの時にオン状態となる。従って、電源投入時においてＤｐＮＭＯＳトランジスタ２１はオン状態である。その結果、ＤｐＮＭＯＳトランジスタ２１のソースとポンピング回路１２との間、即ちＮＭＯＳトランジスタ１８のソースとの間のノードＮの電位は高電位側電源Ｖccと同電位となり、高電位側電源Ｖccの上昇とともにノードＮの電位も上昇する。
【００１８】
ポンピング回路１２はノードＮの電位、即ち高電位側電源Ｖccを入力する。そして、発振回路１１が発振動作をしていないとき、ポンピング回路１２はこのノードＮの電位を内部電源電圧ＳＶccとして出力する。一方、発振回路１１が発振動作し矩形波パルスを出力しているとき、ポンピング回路１２は矩形波パルスを入力し、その矩形波パルスに基づいてノードＮの電位から昇圧し、その昇圧した電位を内部電源電圧ＳＶccとして内部回路に出力するようになっている。
【００１９】
このとき、ＤｐＮＭＯＳトランジスタ２１のゲート・ソース間電圧V_{GS}はゲートに入力されるパワーオンリセット信号φの電位Ｖφに対する内部電源電圧ＳＶccの差の電位Ｖ１（＝Ｖφ－ＳＶcc）となる。この差の電位Ｖ1がしきい値電圧V_{TN}より小さくなると、ＤｐＮＭＯＳトランジスタ２１はオフとなる。そして、発振回路１１が発振動作を開始するときの高電位側電源Ｖccの電位はパワーオンリセット信号φが立ち下がるときの高電位側電源Ｖccの電位と等しくなるように設定されている。従って、パワーオンリセット信号φが立ち下がる時、発振回路１１は発振動作を開始するようになっている。また、ＤｐＮＭＯＳトランジスタ２１のしきい値電圧V_{GS}は発振回路１１が発振動作を開始したときの高電位側電源Ｖccの電位と等しく設定されている。
【００２０】
即ち、電源が投入され、高電位側電源Ｖccが上昇するとき、パワーオンリセット信号φは高電位側電源Ｖccと同様に上昇するので、ＤｐＮＭＯＳトランジスタ２１のパワーオンリセット信号φの電位Ｖφに対する内部電源電圧ＳＶccの差の電位Ｖ１（＝Ｖφ－ＳＶcc）、即ちゲート・ソース間電圧V_{GS}は０ボルトである。従って、ＤｐＮＭＯＳトランジスタ２１はオン状態となる。そして、パワーオンリセット信号φが立ち下がり、発振回路１１が発振動作を開始すると、ＤｐＮＭＯＳトランジスタ２１のゲート・ソース間電圧V_{GS}がしきい値V_{TN}より低くなり、ＤｐＮＭＯＳトランジスタ２１はオフとなる。
【００２１】

次に、上記のように構成された内部電位発生回路の作用を図３に従って説明する。
今、内部電位発生回路を備えた半導体集積回路装置に外部電源が供給されると、その外部電源に基づいて高電位側電源Ｖccが上昇する。また、パワーオンリセット信号φの電位Ｖφも高電位側電源Ｖccと同様に上昇する。このとき、ＤｐＮＭＯＳトランジスタ２１はオン状態であるので、ノードＮの電位は高電位側電源Ｖccの電位と同様に上昇する。一方、発振回路１１はその動作に必要とする電位まで高電位側電源Ｖccが上昇していないので、発振動作せず矩形波パルスは出力されない。従って、ポンピング回路１２は入力したノードＮの電位を内部電源電圧ＳＶccとして出力する。そして、ＤｐＮＭＯＳトランジスタ２１がオンであるので、内部電源電圧ＳＶccは高電位側電源Ｖccの上昇と同様に上昇する。

【００２２】

更に高電位側電源Ｖccが上昇してパワーオンリセット信号φが立ち下がる電位となると、発振回路１１は発振動作を開始し、矩形波パルスを出力する。ポンピング回路１２はその矩形波パルスを入力し、昇圧動作を開始する。このとき、内部電源電圧ＳＶccは高電位側電源Ｖccとともに上昇している。その結果、内部電源電圧ＳＶccが予め定めた電位に到達するまでの時間は短くなる。

【００２３】

このとき、ＤｐＮＭＯＳトランジスタ２１のゲートに入力しているパワーオンリセット信号φは高電位側電源Ｖccと同様に上昇している。また、ＤｐＮＭＯＳトランジスタ２１のソースの電位はＤｐＮＭＯＳトランジスタ２１がオン状態なので高電位側電源Ｖccと同様に上昇している。その結果、ＤｐＮＭＯＳトランジスタ２１のゲート・ソース間電圧V_{GS}は０ボルトとなる。ＤｐＮＭＯＳトランジスタ２１のドレイン電流はそのゲート・ソース間電圧V_{GS}が高いと多く流れ、しきい値電圧V_{TN}に近づくほど少なくなる。そして、ＤｐＮＭＯＳトランジスタ２１はそのゲート・ソース間電圧V_{GS}が０ボルトであるので、そのドレインには電流が多く流れ、ポンピング回路１２に供給される。この電流はポンピング回路１２から内部回路へと供給されるので、内部電源電圧ＳＶccの電流は多く流れることになる。

【００２４】

一方、ＤｐＮＭＯＳトランジスタ２１のゲートに入力しているパワーオンリセット信号φは立ち下がり、その電位Ｖφは０ボルトとなる。また、ＤｐＮＭＯＳトランジスタ２１のソースの電位である内部電源電圧ＳＶccは、発振回路１１が発振動作を開始するので、発振回路１１から出力される矩形波パルスに基づいて上昇する。その結果、ＤｐＮＭＯＳトランジスタ２１のゲート・ソース間電圧V_{GS}はそのしきい値電圧V_{TN}より小さくなる。従って、ＤｐＮＭＯＳトランジスタ２１はオフ状態となる。すると、ＤｐＮＭＯＳトランジスタ２１には電流が流れなくなるので、ＤｐＮＭＯＳトランジスタ２１は内部電源電圧ＳＶccに対して負荷となることはない。

【００２５】

このように、本実施例では、内部電位発生回路のポンピング回路１２に高電位側電源Ｖccが上昇するときにオンとなるＤｐＮＭＯＳトランジスタ２１を接続し、そのＤｐＮＭＯＳトランジスタ２１を介して上昇する高電位側電源Ｖccを入力するようにした。そして、更に高電位側電源Ｖccが上昇して発振回路１１が発振動作を開始して矩形波パルスを出力すると、ポンピング回路１２はその矩形波パルスに基づいて高電位側電源Ｖccより高い電位を生成し、その高い電位を内部電源電圧ＳＶccとして内部回路へ出力するようにした。

【００２６】

その結果、内部電源電圧ＳＶccを安定した電位まで速く昇圧することができる。
尚、本発明は前記実施例の他、以下の態様で実施するようにしてもよい。

【００２７】

（１）上記実施例では、ＤｐＮＭＯＳトランジスタ２１のゲートに入力するパワーオンリセット信号φに代えて、ゲートを低電位側電源Ｖssに接続して実施してもよい。このとき、ＤｐＮＭＯＳトランジスタ２１は低電位側電源Ｖssとソースの内部電源電圧ＳＶccとの差の電圧Ｖ２（＝Ｖss－ＳＶcc）がＤｐＮＭＯＳトランジスタ２１のしきい値電圧V_{TN}よ

り低い電位になった時にオフ状態となる。即ち、高電位側電源Ｖccは０ボルトであるので、内部電源電圧ＳＶccがしきい値電圧の絶対値｜V_{TN}｜より大きくなったときにＤｐＮＭＯＳトランジスタ２１はオフ状態となる。

【００２８】

（２）上記実施例では、電源電圧Ｖccを昇圧した内部電源電圧ＳＶccを生成する内部電位発生回路に応用したが、０ボルトより低い電源電圧V_{EE}から降圧した内部降圧電位V_{BB}を生成する内部電位発生回路に応用してもよい。このとき、ＤｐＮＭＯＳトランジスタ１３をデプリーション型ＰチャネルＭＯＳトランジスタに代えて実施する。この内部電位発生回路により生成された内部降圧電位V_{BB}は半導体集積回路装置のバックゲート電圧を確保するために半導体基板のウェルに印加するウェルバイアス電圧に使用する。この構成により、ウェルバイアス電圧の印加を速くすることができる。

【００２９】

【発明の効果】

以上詳述したように、本発明によれば、内部電源電圧を安定した電位まで速く昇圧することができる優れた効果がある。

【図面の簡単な説明】

【図１】本発明の原理説明図である。

【図２】一実施例の内部電位発生回路を説明するブロック回路図である。

【図３】一実施例の内部電位発生回路の動作を説明する波形図である。

【図４】従来の内部電位発生回路を説明するブロック回路図である。

【図５】従来の内部電位発生回路の動作を説明する波形図である。

【符号の説明】

１　デプリーション型ＭＯＳトランジスタ

２　内部電位生成回路部

１１　発振回路

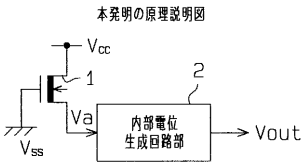
１２　ポンピング回路

Ｖcc　電源電圧（高電位側電源）

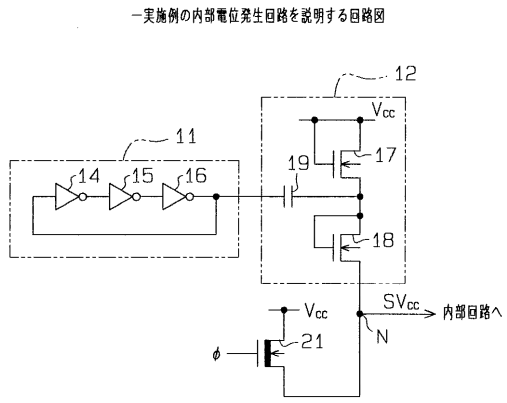
Ｖout　内部電位

Ｖａ　電圧

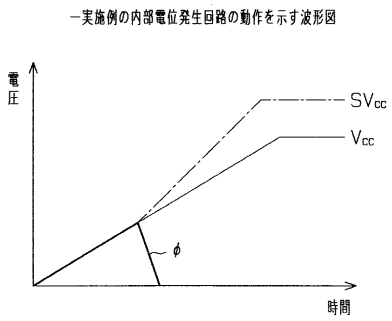
【図１】


本発明の原理説明図
Vcc
1
2
Va
内部電位
生成回路部
Vout
Vss

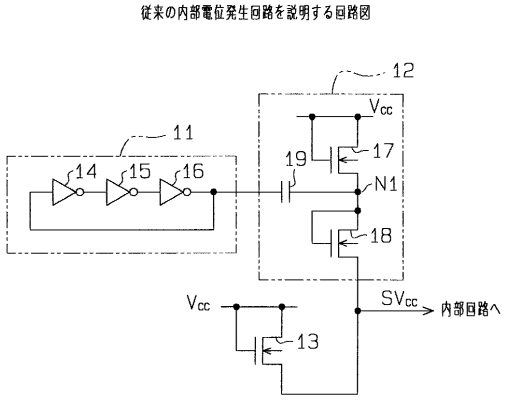
【図２】


一実施例の内部電位発生回路を説明する回路図
12
11
14
15
16
19
17
18
Vcc
SVcc
内部回路へ
N
21
φ

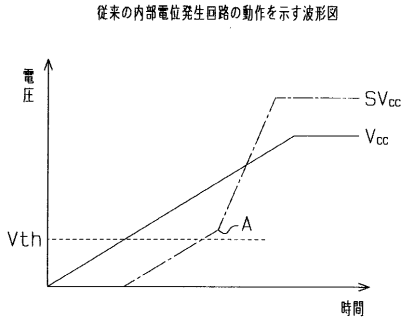
【図３】


一実施例の内部電位発生回路の動作を示す波形図
電圧
SVcc
Vcc
φ
時間

【図４】


従来の内部電位発生回路を説明する回路図
12
11
14
15
16
19
17
18
N1
Vcc
SVcc
内部回路へ
13

【図５】


従来の内部電位発生回路の動作を示す波形図
電圧
SVcc
Vcc
Vth
A
時間

フロントページの続き

合議体
審判長　藤内　光武
審判官　和田　志郎
審判官　工藤　一光

(56)参考文献　特開平５－３３６７３６（ＪＰ，Ａ）
特開平５－２３４３９０（ＪＰ，Ａ）
特開平２－７１４９８（ＪＰ，Ａ）
特開平４－３５６７９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C11/407
G11C16/06