

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月16日(16.11.2017)



(10) 国際公開番号

WO 2017/195639 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) H01G 4/33 (2006.01)
H01G 4/12 (2006.01)

(21) 国際出願番号: PCT/JP2017/016814

(22) 国際出願日: 2017年4月27日(27.04.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-097246 2016年5月13日(13.05.2016) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).

(72) 発明者: 舟木 達弥 (FUNAKI, Tatsuya);
〒6178555 京都府長岡京市東神足 1 丁目 1
0 番 1 号 株式会社村田製作所内 Kyoto (JP).
井上 徳之 (INOUE, Noriyuki); 〒6178555 京都
府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP).

(74) 代理人: 鮫島 睦, 外 (SAMEJIMA, Mutsumi et
al.); 〒5300017 大阪府大阪市北区角田町
8 番 1 号 梅田阪急ビルオフィスタワー
青山特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

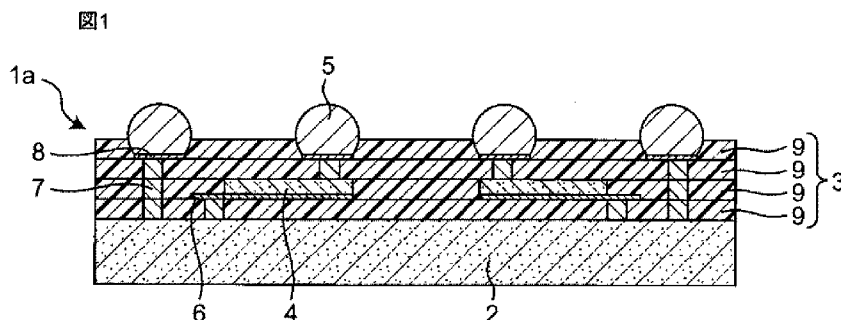
(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(54) Title: WAFER LEVEL PACKAGE AND CAPACITOR

(54) 発明の名称: ウエハレベルパッケージおよびキャパシタ



(57) Abstract: The present invention provides a wafer level package formed by an IC chip, a rewiring layer provided on the IC chip, and a capacitor built into the rewiring layer.

(57) 要約: 本発明は、ICチップと、ICチップ上に設けられた再配線層と、再配線層に内蔵されたキャパシタとを有して成るウエハレベルパッケージを提供する。



WO 2017/195639 A1

明 細 書

発明の名称： ウエハレベルパッケージおよびキャパシタ

技術分野

[0001] 本発明は、ウエハレベルパッケージ、詳細には再配線層にキャパシタが内蔵されたウエハレベルパッケージに関する。

背景技術

[0002] 近年、電子機器の高密度実装化に伴って、電子部品の小型化および複合化が求められている。しかしながら、電子部品の回路基板への実装は、個々に回路基板上に表面実装することにより行われることが一般的である。このような実装方法では、回路基板上の面積は限られていることから、高密度実装に限界がある。

[0003] 上記のような問題に対して、電子部品、特にＩＣチップをパッケージングし、パッケージとして基板に実装する方法が知られている。このようなパッケージの１つとして、ウエハレベルパッケージ（以下、「ＷＬＰ」とも称する）が知られている（特許文献１）。代表的なＷＬＰ１０１は、図９に示すように、半導体基板（ＩＣチップ）１０２と、ＩＣチップ１０２を覆うように設けられた樹脂層１０３と、ＩＣチップ１０２および樹脂層１０３の内部に再配線用の配線１０４およびビア１０５を有する再配線層１０６と、再配線層１０６から露出する接続パッド１０７と、接続パッド１０７上に設けられたはんだボール１０８を有して成る。

先行技術文献

特許文献

[0004] 特許文献１：特開２００４－９５８３６号公報

発明の概要

発明が解決しようとする課題

[0005] 上記のようなＷＬＰ１０１は、図１０に示すように回路基板１１１に実装される。しかしながら、本発明者らは、従来のＷＬＰを用いた場合、回路基

板 1 1 1 上に、他の部品、例えばキャパシタチップ 1 1 2 が存在する場合、キャパシタチップと I C チップとを、回路基板 1 1 1 上で配線 1 1 3 により接続する必要があり、キャパシタチップと、I C チップの間の配線が長くなり、この配線による寄生インダクタンスが比較的大きくなって、電気特性が低下する、例えば高速動作する I C チップに対する電源電圧変動を抑制する機能、高周波リップルを吸収する機能等が低下するという問題があることに気付いた。また、キャパシタチップは、回路基板の一定領域を占有することから、小型化に不利であるという問題もある。

[0006] 従って、本発明は、I C チップとキャパシタを有する回路において、I C チップとキャパシタ間の配線長を可能な限り短くすることができ、さらに小型化に有利な素子を提供することを目的とする。

課題を解決するための手段

[0007] 本発明者らは、上記問題を解消すべく鋭意検討した結果、キャパシタを回路基板上に実装するのではなく、ウエハレベルパッケージ中に内蔵することにより、I C チップとキャパシタ間の配線長を短くでき、さらに、回路基板の小型化に有利なウエハレベルパッケージを得ることができることを見出した。

[0008] 本発明の第 1 の要旨によれば、I C チップと、
I C チップ上に設けられた再配線層と、
再配線層に内蔵されたキャパシタと、
を有して成るウエハレベルパッケージが提供される。

[0009] 本発明の第 2 の要旨によれば、上記のウエハレベルパッケージが実装された回路基板を含んで成る電子機器が提供される。

[0010] 本発明の第 3 の要旨によれば、導電性多孔基材と、導電性多孔基材上に位置する誘電体層と、誘電体層上に位置する上部電極とを有して成るキャパシタであって、キャパシタの少なくとも一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であることを特徴とするキャパシタが提供される。

発明の効果

[0011] 本発明によれば、キャパシタをウエハレベルパッケージに内蔵することにより、電気特性を向上させ、さらに小型化が容易になる。

図面の簡単な説明

[0012] [図1]図1は、本発明の一の実施形態におけるウエハレベルパッケージ1 aの概略断面図である。

[図2]図2は、本発明のウエハレベルパッケージにおいて用いられるキャパシタ2 1の概略断面図である。

[図3]図3は、図2のキャパシタ2 1の多孔部の断面を模式的に示す。

[図4]図4は、本発明のウエハレベルパッケージにおいて用いられるキャパシタ3 1の概略断面図である。

[図5]図5は、図4のキャパシタ3 1の多孔部の断面を模式的に示す。

[図6-1]図6-1は、図1に示すウエハレベルパッケージ1 aの製造方法を説明するための図である。

[図6-2]図6-2は、図1に示すウエハレベルパッケージ1 aの製造方法を説明するための図である。

[図7]図7は、本発明の別の実施形態におけるウエハレベルパッケージ1 bの概略断面図である。

[図8-1]図8-1は、図7に示すウエハレベルパッケージ1 bの製造方法を説明するための図である。

[図8-2]図8-2は、図7に示すウエハレベルパッケージ1 bの製造方法を説明するための図である。

[図8-3]図8-3は、図7に示すウエハレベルパッケージ1 bの製造方法を説明するための図である。

[図9]図9は、従来のウエハレベルパッケージ1 0 1の概略断面図である。

[図10]図10は、従来のウエハレベルパッケージ1 0 1が実装された回路基板1 1 1の概略断面図である。

発明を実施するための形態

[0013] 以下、本発明のウエハレベルパッケージについて、図面を参照しながら詳細に説明する。但し、本実施形態のウエハレベルパッケージの各構成要素の形状および配置等は、図示する例に限定されない。

[0014] (実施態様 1)

本発明の一の実施形態のウエハレベルパッケージ 1 a の概略断面図を図 1 に示す。図 1 に示されるように、本実施形態のウエハレベルパッケージ 1 a は、概略的には、ICチップ 2 と、ICチップ 2 上に設けられた再配線層 3 と、再配線層 3 に内蔵されたキャパシタ 4 と、再配線層 3 上に設けられたはんだボール 5 とを有して成る。再配線層 3 は、配線 6、ビア 7 および接続パッド 8 を有している。ICチップ 2 の電極は、再配線層 3 に設けられた配線 6、ビア 7、および接続パッド 8 を介して（一部は、さらにキャパシタ 4 を介して）、はんだボール 5 に電氣的に接続されている。

[0015] IC（集積回路）チップは、Si 基板、GaAs 基板の片側表面に、トランジスタ等を含む回路が形成された半導体基板それ自体であっても、上記半導体基板を含む素子であってもよい。好ましくは、ICチップは、片側表面に回路が形成された半導体基板それ自体である。本実施形態において、ICチップは、2つの主面を有しており、本明細書において、集積回路の電極（即ち、回路）が存在する主面を「上主面」（図 1 において上方の主面）、他方の主面を「下主面」（図 1 において下方の主面）という。

[0016] 尚、ICチップは、図示したウエハレベルパッケージ中 1 個だけ存在するが、これに限定されず 2 個以上、例えば 2 個、3 個、4 個または 5 個存在してもよい。また、ICチップが複数存在する場合、それらは同じ ICチップであっても、異なる ICチップであってもよい。

[0017] 本実施形態において、再配線層 3 は、ICチップ 2 の上部領域内に設けられている。即ち、本実施形態のウエハレベルパッケージは、所謂 Fan-In 型である。ICチップの上部領域とは、ICチップの電極が存在する上主面の上方の空間であって、ICチップの上主面側から見た平面図において、上主面が存在する領域内に収まる空間領域を意味する。

- [0018] 再配線層 3 は、複数の絶縁層 9 と、配線 6 と、ビア 7 と、接続パッド 8 とを有して成る。絶縁層 9 は、絶縁層を貫通するビア 7 および／または絶縁層上に形成された配線 6 を有し、これらが電氣的に接続されるように積層される。また、接続パッド 8 は、再配線層 3 の上部から露出するように設けられる。好ましくは、最外層（最上層）には、はんだボール 5 を設ける箇所に貫通口を有する絶縁層が設置される。再配線層 3 は、配線 6 およびビア 7 により、I C チップにおける電極ピッチを、回路基板等のウエハレベルパッケージを実装する他の電気要素に接続するのに適したピッチに変換する機能を有する。
- [0019] 絶縁層 9 を構成する材料は、絶縁性材料であれば特に限定されず、樹脂またはセラミックが用いられるが、好ましくは樹脂であり、より好ましくは耐熱性樹脂であり、具体的には、ポリイミド、ポリベンゾオキサゾール、ポリエチレンテレフタレート、ベンゾシクロブテン樹脂、エポキシ樹脂等が挙げられる。また、線膨張係数を調整するためのフィラー、例えば S i フィラー等を含んでいてもよい。
- [0020] 絶縁層 9 の厚みは、特に限定されないが、例えば、 $1\ \mu\text{m}$ 以上 1.0mm 以下であり、好ましくは $10\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下、例えば $20\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であり得る。
- [0021] 絶縁層 9 の数は、特に限定されず、例えば 2 層以上 10 層以下、好ましくは 3 層以上 6 層以下であり得る。
- [0022] 配線 6 を構成する材料としては、導電性であれば特に限定されず、例えば、A u、P b、P d、A g、S n、N i、C u 等、またはこれらを含む合金が挙げられる。配線 6 を構成する材料は、好ましくは、C u である。
- [0023] ビア 7 を構成する材料としては、導電性であれば特に限定されず、例えば、A u、P b、P d、A g、S n、N i、C u 等、またはこれらを含む合金が挙げられる。ビア 7 を構成する材料は、好ましくは、C u である。
- [0024] 接続パッド 8 を構成する材料としては、導電性であれば特に限定されず、例えば、A u、P b、P d、A g、S n、N i、C u 等、またはこれらを含

む合金が挙げられる。接続パッド8を構成する材料は、好ましくは、Cuである。

[0025] 配線6を構成する材料、ビア7を構成する材料および接続パッド8を構成する材料は、同じであっても、異なってもよい。好ましくは、配線6を構成する材料およびビア7を構成する材料は、同じである。さらに好ましくは、配線6を構成する材料、ビア7を構成する材料および接続パッド8を構成する材料は、同じである。

[0026] はんだボール5は、ウエハレベルパッケージを、回路基板等に接続する際の接続材料として機能する。ウエハレベルパッケージは、はんだボールを有することにより、リフローによる接続が容易になる。

[0027] はんだボール5を構成する材料としては、特に限定されず、例えば、SnAg系、SnCu系、SnSb系、SnBi系等のPbフリーはんだ、またはSn-37Pb等のPb入りはんだが挙げられる。

[0028] 尚、はんだボールは、本発明において必須の要素ではなく、存在しなくてもよい。また、はんだボールは、同様の機能を有する他の要素、例えば導電性接着材料等で置き換えることができる。

[0029] 上記キャパシタ4は、特に限定されず、種々のタイプのキャパシタを用いることができる。

[0030] 好ましい態様において、キャパシタ4は、導電性多孔基材と、導電性多孔基材上に位置する誘電体層と、誘電体層上に位置する上部電極とを有して成るキャパシタである。このようなキャパシタは、基材の表面積が大きく、大きな静電容量を得ることができる点で有利である。

[0031] 一の態様において、上記キャパシタは、図2および図3に示されるキャパシタ21であり得る。図2は、キャパシタ21の概略断面図を示し、図3は、キャパシタ21の高空隙率部の拡大図を模式的に示す。図2および図3に示されるように、キャパシタ21は、概略的には、導電性多孔基材22と、導電性多孔基材22上に形成された誘電体層23と、誘電体層23上に形成された上部電極27とを有して成る。導電性多孔基材22は、一方の主面側

に高空隙率部 24 を有する。高空隙率部 24 は、導電性多孔基材 22 の上主面（図面上側の主面）の中央部に位置する。高空隙率部 24 は、所謂多孔構造を有しており、即ち、多孔部である。また、導電性多孔基材 22 は、他方の主面（下主面：図面下側の主面）側に支持部 25 を有する。キャパシタ 21 の末端部において、支持部 25 と誘電体層 23 の間には、高空隙率部 24 を取り囲むように絶縁部 26 が存在する。キャパシタ 21 は、上部電極 27 上に第 1 キャパシタ電極 28、および導電性多孔基材 22 の支持部 25 側の主面上に第 2 キャパシタ電極 29 を備える。キャパシタ 21 において、第 1 キャパシタ電極 28 と上部電極 27 とは電氣的に接続されており、第 2 キャパシタ電極 29 は、導電性多孔基材 22 の下主面に電氣的に接続されている。上部電極 27 と、導電性多孔基材 22 の高空隙率部 24 は、誘電体層 23 を介して向かい合っており、上部電極 27 と導電性多孔基材 22 に通電すると、誘電体層 23 に電荷を蓄積することができる。

[0032] キャパシタ 21 は、キャパシタの上主面および下主面にキャパシタ電極を有するので、電極面積を大きくすることができる。従って、再配線層に内蔵する際に、ビアおよび配線との電氣的接続を形成するのが容易である点で有利である。また、キャパシタ 21 は、低背化の観点からも有利である。

[0033] 別の態様において、上記キャパシタは、図 4 および図 5 に示されるキャパシタ 31 であり得る。図 4 は、キャパシタ 31 の概略断面図（ただし、簡単のために、誘電体層 35 および上部電極 36 は図示していない）を示し、図 5 は、キャパシタ 31 の高空隙率部の拡大図を模式的に示す。図 4 および図 5 に示されるように、キャパシタ 31 は、略直方体形状を有しており、概略的には、中央部に高空隙率部 33 を有し、側部に低空隙率部 32 を有して成る導電性多孔基材 34 と、この上に形成された誘電体層 35 と、誘電体層 35 上に形成された上部電極 36 と、これらの上に、上部電極 36 と電氣的に接続するように形成された配線電極 37 と、さらにこれらの上に形成された保護層 38 とを有して成る。導電性多孔基材 34 の側面には、対向するように第 1 キャパシタ電極 39 および第 2 キャパシタ電極 40 が設けられており

、第1キャパシタ電極39は導電性多孔基材34に電氣的に接続されており、第2キャパシタ電極40は、配線電極37を介して上部電極36に電氣的に接続されている。上部電極36と、導電性多孔基材34の高空隙率部33とは、誘電体層35を介して向かい合っており、それぞれ、第1キャパシタ電極39および第2キャパシタ電極40を介して、導電性多孔基材34および上部電極36に通電すると、誘電体層35に電荷を蓄積することができる。

[0034] このようなキャパシタは、図5に示すように導電性多孔基材の両主面に多孔部（高空隙率部）を有し得るので、より大きな静電容量を得ることができる。

[0035] キャパシタ31は、キャパシタ電極が左右に存在することから、再配線層に内蔵する場合、縦向きに、即ち第1キャパシタ電極39をICチップ側に、第2キャパシタ電極40を接続パッド側に向けて内蔵することができる。

[0036] 上記導電性多孔基材は、多孔構造を有し、表面が導電性であれば、その材料および構成は限定されない。例えば、導電性多孔基材としては、多孔質金属基材、または、多孔質シリカ材料、多孔質炭素材料もしくは多孔質セラミック焼結体の表面に導電性の層を形成した基材等が挙げられる。好ましい態様において、導電性多孔基材は、多孔質金属基材である。

[0037] 上記多孔質金属基材を構成する金属としては、例えば、アルミニウム、タンタル、ニッケル、銅、チタン、ニオブおよび鉄の金属、ならびにステンレス、ジュラルミン等の合金等が挙げられる。好ましくは、多孔質金属基材は、アルミニウム多孔基材である。

[0038] 上記導電性多孔基材は、高空隙率部（即ち、多孔部）を有し、さらに低空隙率部および／または支持部を有していてもよい。

[0039] 本明細書において、「空隙率」とは、導電性多孔基材において空隙が占める割合を言う。当該空隙率は、下記のようにして測定することができる。尚、上記多孔部の空隙は、キャパシタを作製するプロセスにおいて、最終的に誘電体層および上部電極などで充填され得るが、上記「空隙率」は、このよ

うに充填された物質は考慮せず、充填された箇所も空隙とみなして算出する。

[0040] まず、多孔金属基材を、FIB（集束イオンビーム：Focused Ion Beam）マイクロサンプリング法で加工し60nm以下の厚みの薄片試料に加工する。この薄片試料の所定の領域（3μm×3μm）を、STEM（走査透過型電子顕微鏡：Scanning Transmission Electron Microscope）－EDS（エネルギー分散型X線分析：Energy dispersive X-ray spectrometry）マッピング分析で測定する。マッピング測定視野内において、多孔金属基材の金属が存在する面積を求める。そして、下記等式から空隙率を計算することができる。この測定を任意の3箇所で行い、測定値の平均値を空隙率とする。

$$\text{空隙率（\%）} = \left(\left(\text{測定面積} - \text{基材の金属が存在する面積} \right) / \text{測定面積} \right) \times 100$$

[0041] 本明細書において、「高空隙率部」とは、導電性多孔基材の支持部および低空隙率部よりも空隙率が高い部分を意味する。

[0042] 上記高空隙率部は、多孔構造を有する。多孔構造を有する高空隙率部は、導電性多孔基材の比表面積を大きくし、キャパシタの静電容量をより大きくする。

[0043] 高空隙率部の空隙率は、比表面積を大きくして、キャパシタの静電容量をより大きくする観点から、好ましくは20%以上、より好ましくは30%以上、さらにより好ましくは35%以上であり得る。また、機械的強度を確保する観点から、90%以下が好ましく、80%以下がより好ましい。

[0044] 高空隙率部は、特に限定されないが、好ましくは30倍以上10,000倍以下、より好ましくは50倍以上5,000倍以下、例えば200倍以上600倍以下の拡大率を有する。ここに、拡大率とは、単位投影面積あたりの表面積を意味する。単位投影面積あたりの表面積は、BET比表面積測定装置を用いて、液体窒素温度における窒素の吸着量から求めることができる。

[0045] また、拡大率は、次の方法でも求めることができる。上記の試料の断面（

厚み方向にカットして得られる断面)のSTEM(走査透過型電子顕微鏡)画像を、幅 X で厚み(高さ) T 方向全体にわたって撮影する(一度に撮影できない場合は、複数の画像を連結してもよい)。得られた幅 X 高さ T の断面の細孔表面の総経路長 L (細孔表面の合計の長さ)を測定する。ここで、上記幅 X 高さ T の断面を一の側面とし、多孔基材表面を一の底面とする正四角柱領域における細孔表面の総経路長は、 LX となる。また、この正四角柱の底面積は X^2 となる。従って、拡面率は、 $LX/X^2=L/X$ として求めることができる。

[0046] 本明細書において、「低空隙率部」とは、高空隙率部と比較して、空隙率が低い部分を意味する。好ましくは、低空隙率部の空隙率は、高空隙率部の空隙率よりも低く、支持部の空隙率以上である。

[0047] 低空隙率部の空隙率は、好ましくは20%以下、より好ましくは10%以下である。また、低空隙率部は、空隙率が0%であってもよい。即ち、低空隙率部は、多孔構造を有していても、有していなくてもよい。低空隙率部の空隙率が低いほど、キャパシタの機械的強度が向上する。

[0048] 尚、低空隙率部は、必須の構成要素ではなく、キャパシタ21に示されるように、存在しなくてもよい。

[0049] 本発明において、導電性多孔基材の高空隙率部および低空隙率部の存在位置、設置数、大きさ、形状、両者の比率等は、特に限定されない。例えば、導電性多孔基材の一方の主面は、高空隙率部のみからなってもよい。また、高空隙率部と低空隙率部の比率を調整することにより、キャパシタの静電容量を制御することができる。

[0050] 上記高空隙率部の厚みは、特に限定されず、目的に応じて適宜選択することができ、例えば $10\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下、好ましくは $30\mu\text{m}$ 以上であって、 $300\mu\text{m}$ 以下、好ましくは $150\mu\text{m}$ 以下、より好ましくは $80\mu\text{m}$ 以下、さらに好ましくは $40\mu\text{m}$ 以下であってもよい。

[0051] 導電性多孔基材の支持部の空隙率は、支持体としての機能を発揮するためにより小さいことが好ましく、具体的には10%以下であることが好ましく

、実質的に空隙が存在しないことがより好ましい。

[0052] 上記支持部の厚みは、特に限定されないが、キャパシタの機械的強度を高めるために、 $10\text{ }\mu\text{m}$ 以上であることが好ましく、例えば $100\text{ }\mu\text{m}$ 以上または $500\text{ }\mu\text{m}$ 以上であり得る。また、キャパシタの低背化の観点からは、 $1000\text{ }\mu\text{m}$ 以下であることが好ましく、例えば $500\text{ }\mu\text{m}$ 以下、好ましくは $100\text{ }\mu\text{m}$ 以下、より好ましくは $50\text{ }\mu\text{m}$ 以下、さらに好ましくは $30\text{ }\mu\text{m}$ 以下であり得る。

[0053] 上記導電性多孔基材の厚みは、特に限定されず、目的に応じて適宜選択することができ、例えば $200\text{ }\mu\text{m}$ 以下、好ましくは $80\text{ }\mu\text{m}$ 以下、さらに好ましくは $40\text{ }\mu\text{m}$ 以下であり、下限は $30\text{ }\mu\text{m}$ 以上が好ましい。

[0054] 導電性多孔基材の製造方法は、特に限定されない。例えば、導電性多孔基材は、適当な金属材料を、多孔構造を形成する方法、多孔構造を潰す（埋める）方法、または多孔構造部分を除去する方法、あるいはこれらを組み合わせた方法で処理することにより製造することができる。

[0055] 導電性多孔基材を製造するための金属材料は、多孔質金属材料（例えば、エッチド箔）、または多孔構造を有しない金属材料（例えば、金属箔）、あるいはこれらの材料を組み合わせた材料であり得る。組み合わせる方法は、特に限定されず、例えば、溶接または導電性接着材等により貼り合わせる方法が挙げられる。

[0056] 多孔構造を形成する方法としては、特に限定されないが、好ましくはエッチング処理、例えば直流または交流エッチング処理が挙げられる。

[0057] 多孔構造を潰す（埋める）方法としては、特に限定されないが、例えば、レーザー照射等により金属を溶融させて孔を潰す方法、あるいは、金型加工、プレス加工により圧縮して孔を潰す方法が挙げられる。上記レーザーとしては、特に限定されないが、 CO_2 レーザー、YAGレーザー、エキシマレーザー、ならびにフェムト秒レーザー、ピコ秒レーザーおよびナノ秒レーザー等の全固体パルスレーザーが挙げられる。より精細に形状および空隙率を制御できることから、フェムト秒レーザー、ピコ秒レーザーおよびナノ秒レー

ザー等の全固体パルスレーザーが好ましい。

[0058] 多孔構造部分を除去する方法としては、特に限定されないが、例えば、ダイサー加工や、レーザーアブレーション加工が挙げられる。

[0059] 一の方法において、導電性多孔基材は、多孔質金属材料を準備し、この多孔質金属基材の支持部および低空隙率部に対応する箇所の孔を潰す（埋める）ことによって製造することができる。

[0060] 支持部および低空隙率部は、同時に形成する必要はなく、別個に形成してもよい。例えば、まず、多孔金属基材の支持部に対応する箇所を処理して、支持部を形成し、次いで、低空隙率部に対応する箇所を処理して、低空隙率部を形成してもよい。

[0061] 別の方法において、導電性多孔基材は、多孔構造を有しない金属基材（例えば、金属箔）の高空隙率部に対応する箇所を処理して、多孔構造を形成することにより製造することができる。

[0062] さらに別の方法において、低空隙率部を有しない導電性多孔基材は、多孔質金属材料の支持部に対応する箇所の孔を潰し、次いで、低空隙率部に対応する箇所を除去することにより製造することができる。

[0063] 本発明で用いられるキャパシタにおいて、高空隙率部上には、誘電体層が形成されている。

[0064] 上記誘電体層を形成する材料は、絶縁性であれば特に限定されないが、好ましくは、 AlO_x （例えば、 Al_2O_3 ）、 SiO_x （例えば、 SiO_2 ）、 $AlTiO_x$ 、 $SiTiO_x$ 、 HfO_x 、 TaO_x 、 ZrO_x 、 $HfSiO_x$ 、 $ZrSiO_x$ 、 $TiZrO_x$ 、 $TiZrWO_x$ 、 TiO_x 、 $SrTiO_x$ 、 $PbTiO_x$ 、 $BaTiO_x$ 、 $BaSrTiO_x$ 、 $BaCaTiO_x$ 、 $SiAlO_x$ 等の金属酸化物； AlN_x 、 SiN_x 、 $AlScN_x$ 等の金属窒化物；または AlO_xN_y 、 SiO_xN_y 、 $HfSiO_xN_y$ 、 $SiC_xO_yN_z$ 等の金属酸窒化物が挙げられ、 AlO_x 、 SiO_x 、 SiO_xN_y 、 $HfSiO_x$ が好ましい。なお、上記の式は、単に材料の構成を表現するものであり、組成を限定するものではない。即ち、OおよびNに付されたx、yおよびzは0より大きい任意の値であ

ってもよく、金属元素を含む各元素の存在比率は任意である。

[0065] 誘電体層の厚みは、特に限定されないが、例えば5 nm以上100 nm以下が好ましく、10 nm以上50 nm以下がより好ましい。誘電体層の厚みを5 nm以上とすることにより、絶縁性を高めることができ、漏れ電流を小さくすることが可能になる。また、誘電体層の厚みを100 nm以下とすることにより、より大きな静電容量を得ることが可能になる。

[0066] 上記誘電体層は、好ましくは、気相法、例えば真空蒸着法、化学蒸着（CVD : Chemical Vapor Deposition）法、スパッタ法、原子層堆積（ALD : Atomic Layer Deposition）法、パルスレーザー堆積（PLD : Pulsed Laser Deposition）法等により形成される。多孔部材の細孔の細部にまでより均質で緻密な膜を形成できることから、ALD法がより好ましい。

[0067] 一の態様において（例えば、キャパシタ21において）、誘電体層の末端部には、絶縁部が設けられている。絶縁部を設置することにより、その上に設置される上部電極と導電性多孔基材間での短絡（ショート）を防止することができる。

[0068] キャパシタ21においては、絶縁部は、導電性多孔基材（支持部）と誘電体層との間に位置しているが、これに限定されない。絶縁部は、導電性多孔基材と上部電極の間に位置していればよく、例えば誘電体層と上部電極の間に位置していてもよい。

[0069] 絶縁部を形成する材料は、絶縁性であれば特に限定されないが、後に原子層堆積法を利用する場合、耐熱性を有する樹脂が好ましい。絶縁部を形成する絶縁性材料としては、各種ガラス材料、セラミック材料、ポリイミド樹脂、フッ素樹脂が好ましい。また、線膨張係数を調整するためのフィラー、例えばSiフィラー等を含んでいてもよい。

[0070] 絶縁部の厚みは、特に限定されないが、端面放電をより確実に防止する観点から、1 μ m以上であることが好ましく、例えば3 μ m以上または5 μ m以上であることがより好ましい。また、キャパシタの低背化の観点からは、100 μ m以下であることが好ましく、例えば50 μ m以下、好ましくは2

0 μm 以下、より好ましくは10 μm 以下であり得る。尚、絶縁部の厚みは、キャパシタ端部における絶縁部の厚みを意味する。

[0071] 絶縁部26の幅は、特に限定されないが、例えば製造工程における静電容量形成部または絶縁部でのクラックの発生を抑制する観点から、好ましくは3 μm 以上、より好ましくは5 μm 以上、さらに好ましくは10 μm 以上であり得る。また、より静電容量を大きくする観点からは、絶縁部26の幅は、好ましくは100 μm 以下、より好ましくは50 μm 以下であり得る。尚、絶縁部の幅は、キャパシタ端部からのキャパシタ中央方向への幅、例えば、図2の断面図における、キャパシタ端部から高空隙率部24との接触箇所までの最大の距離を意味する。

[0072] 尚、本発明に用いられるキャパシタにおいて、絶縁部は必須の要素ではなく、存在しなくてもよい。

[0073] 上記誘電体層上には、上部電極が形成されている。

[0074] 上記上部電極を構成する材料は、導電性であれば特に限定されないが、Ni、Cu、Al、W、Ti、Ag、Au、Pt、Zn、Sn、Pb、Fe、Cr、Mo、Ru、Pd、Taおよびそれらの合金、例えばCuNi、AuNi、AuSn、ならびにTiN、TiAlN、TiON、TiAlON、Ta₂N等の金属窒化物、金属酸窒化物、導電性高分子（例えば、PEDOT（ポリ（3，4-エチレンジオキシチオフェン））、ポリピロール、ポリアニリン）などが挙げられ、TiN、TiONが好ましい。

[0075] 上部電極の厚みは、特に限定されないが、例えば3 nm以上が好ましく、10 nm以上がより好ましい。上部電極の厚みを3 nm以上とすることにより、上部電極自体の抵抗を小さくすることができる。

[0076] 上部電極は、ALD法により形成してもよい。ALD法を用いることにより、キャパシタの静電容量をより大きくすることができる。別法として、誘電体層を被覆し、多孔金属基材の細孔を実質的に埋めることのできる、化学蒸着（CVD：Chemical Vapor Deposition）法、めっき、バイアススパッタ、Sol-Gel法、導電性高分子充填などの方法で、上部電極を形成して

もよい。好ましくは、誘電体層上にALD法で導電性膜を形成し、その上から他の手法により、導電性材料、好ましくはより電気抵抗の小さな物質で細孔を充填して上部電極を形成してもよい。このような構成とすることにより、効率的により高い静電容量密度および低い等価直列抵抗（ESR：Equivalent Series Resistance）を得ることができる。

[0077] なお、上部電極を形成後、上部電極がキャパシタ電極としての十分な導電性を有していない場合には、スパッタ、蒸着、めっき等の方法で、上部電極の表面に追加でAl、Cu、Ni等からなる引き出し電極層を形成してもよい。

[0078] 一の態様において、上部電極と電氣的に接続するように、第1キャパシタ電極が形成され、導電性多孔基材と電氣的に接続するように第2キャパシタ電極が形成されていてもよい。

[0079] 上記キャパシタ電極を構成する材料は、特に限定されないが、例えば、Au、Pb、Pd、Ag、Sn、Ni、Cu等の金属およびこれらの合金、ならびに導電性高分子などが挙げられ、好ましくはCuである。キャパシタ電極としてCuを用いることにより、キャパシタ上の絶縁層にビアを形成するためのホールを形成する際のレーザー処理などによるキャパシタ電極の劣化を最小限にすることができる。キャパシタ電極の形成方法は、特に限定されず、例えばCVD法、電解めっき、無電解めっき、蒸着、スパッタ、導電性ペーストの焼き付け等を用いることができ、電解めっき、無電解めっき、蒸着、スパッタ等が好ましい。

[0080] 一の態様において、上記キャパシタ電極上には、はんだめっき層または金属ナノ粒子層、好ましくははんだめっき層が存在し得る。これらのはんだめっき層または金属ナノ粒子層は、キャパシタの主面における最外層であり得る。

[0081] 上記はんだめっき層を構成するはんだ材料としては、特に限定されないが、スズを含むはんだ材料が好ましく、例えば、SnAg系、SnCu系、SnSb系、SnBi系等のPbフリーはんだ、またはSn-37Pb等のP

b入りはんだが挙げられる。特に、スズを含むはんだ材料は、ヤング率が低く、キャパシタの耐久性の向上に寄与する。

[0082] 金属ナノ粒子は、金属ナノ粒子を構成する材料の融点よりも、非常に低い温度で焼結し得、はんだと同様の接合材料として用いることができる。

[0083] 上記金属ナノ粒子層を構成する金属材料としては、特に限定されないが、Cu、Ag、Pd、Au、Ni等が挙げられる。

[0084] 上記金属ナノ粒子層を構成するナノ粒子の粒径は、例えば、D50（体積基準で粒度分布を求め、全体積を100%とした累積曲線において、累積値が50%となる点の粒径）で、5nm以上1μm以下、好ましくは10nm以上300nm以下、より好ましくは20nm以上100nm以下であり得る。

[0085] 好ましい態様において、一方のキャパシタ電極上には、はんだめっき層または金属ナノ粒子層が存在し、他方のキャパシタ電極は銅電極であり得る。かかる態様において、キャパシタの一方の主面において、最外層は、上記はんだめっき層または金属ナノ粒子層であり、他方の主面において、最外層は、銅電極である。

[0086] 好ましい態様において、キャパシタ4は、キャパシタ21である。

[0087] さらに好ましい態様において、キャパシタ21の第2キャパシタ電極29上には、最外層としてはんだめっき層または金属ナノ粒子層、好ましくははんだめっき層、より好ましくはスズを含むはんだ材料から形成されたはんだめっき層が存在する。

[0088] さらに好ましい態様において、キャパシタ21の第1キャパシタ電極28は、最外層としての銅電極である。

[0089] さらに好ましい態様において、キャパシタ21の第1キャパシタ電極28は、最外層としての銅電極であり、第2キャパシタ電極29上には、最外層としてはんだめっき層または金属ナノ粒子層、好ましくははんだめっき層、より好ましくはスズを含むはんだ材料から形成されたはんだめっき層が存在する。このようなキャパシタ21は、再配線層に組み入れる際、リフロー処

理により配線またはビアに電氣的に接続することが容易になり、また、キャパシタの上部に配置された絶縁層にビア用のホールを、例えばレーザー処理により形成する際、キャパシタ電極の酸化等による劣化を最小限にすることができる。

[0090] また、本発明に用いられるキャパシタは、図示した態様に限定されず、種々の改変が可能である。

[0091] 例えば、キャパシタは、任意の形状とすることができ、例えば、平面形状が円状、楕円状、また角が丸い四角形等であってもよい。

[0092] また、各層の間に、層間の密着性を高める為の層、または、各層間の成分の拡散を防止するためのバッファ層等を有していてもよい。また、キャパシタの側面等に、保護層を有していてもよい。

[0093] 尚、キャパシタは、図示したウエハレベルパッケージ中に2個存在するが、これに限定されず1個以上存在すればよく、例えば1個、3個、4個または5個存在してもよい。また、キャパシタは、同じ絶縁層に存在する必要はなく、異なる層に存在してもよい。

[0094] 本発明のウエハレベルパッケージは、再配線層にキャパシタを内蔵しているので、回路基板上にウエハレベルパッケージとキャパシタとを別個に実装する場合と比較して、配線の長さが短くなり、寄生インダクタンスが小さい等、電氣的特性に優れている。また、回路基板上にキャパシタを実装するための領域が不要になるので、回路基板を有効に利用することができ、小型化にも有利である。特に、本実施形態のウエハレベルパッケージ1aは、キャパシタを内蔵する再配線層が、ICチップの上部領域内に収まっていることから、小型化の観点から有利である。

[0095] 次に、上記Fan-In型のウエハレベルパッケージ1aの製造方法について説明する。

[0096] まずICチップ2を準備し、その上主面上に、絶縁層9aを形成する(図6A)。図6において、ICチップは1つしか記載していないが、通常、ICチップは、複数のICチップが存在する集合基板として処理され、最後に

各ウエハレベルパッケージに切り分ける。例えば、直径200mm、300mm、または450mm等のウエハとして処理することができる。

[0097] 絶縁層の形成方法は、特に限定されず、例えば、樹脂を塗布し、次いで硬化させることにより形成することができる。樹脂の塗布方法は、スピンコート塗布、ディスペンサ塗布、スプレー塗布、スクリーン印刷等を用いることができる。また、別途形成した絶縁シートを貼り付けることにより、絶縁層を形成してもよい。

[0098] 次に、上記絶縁層9aに、ビアホール11を形成し、ICチップ2の電極を露出させる。次いで、ビアホール11に導電性金属を充填し、ビア7aを形成し、さらに、上記絶縁層9a上に配線6を形成する(図6B)。

[0099] ビアホール11の形成方法は、特に限定されないが、レーザー加工、フォトリソ加工等を用いることができ、好ましくはフォトリソ加工が用いられる。

[0100] ビアおよび配線の形成方法は、特に限定されず、例えば電解めっき、無電解めっき、CVD法、蒸着、スパッタ、導電性ペーストの焼き付け、スクリーン印刷等を用いることができる。ICチップの電極ービアー配線間の電氣的接続をより確実にできることから、電解めっきまたは無電解めっきが好ましい。

[0101] また、別法として、別途、絶縁層を形成して、ICチップに貼り付けて、次いで、ビアおよび配線を形成してもよく、あるいは、ビアおよび配線を有する絶縁シートを形成して、これをICチップに貼り付けてもよい。

[0102] 次に、配線6上に、フラックス(図示していない)を塗布し、その上に下面にはんだめっき層を有するキャパシタ4を配置する。フラックスを塗布することにより、キャパシタ4の仮固定が可能になり、また、キャパシタ4と配線6のはんだ接合がより容易になる。次いで、キャパシタ4を仮固定した基板を、リフロー処理して、キャパシタを配線上に接続する(図6C)。

[0103] フラックスは、はんだ付け用のフラックスであれば特に限定されず、好ましくはロジン系フラックス等が用いられる。フラックスの塗布は、特に限定

されないが、ディスペンサ、スクリーン印刷、インクジェット等を用いて行われる。

[0104] 尚、キャパシタの配線への接続方法は、上記の方法に限定されず、他の方法、例えば導電性接着材、溶接、圧着等を用いる方法であってもよい。

[0105] 次に、絶縁層 9 a 上に、キャパシタ 4 の厚みと同等の厚みを有する、絶縁層 9 b を形成する（図 6 D）。次いで、所定の箇所にビアホールを形成し、導電性金属を充填し、ビア 7 b を形成する（図 6 E）。

[0106] 次に、絶縁層 9 b 上に、絶縁層 9 c を形成し、所定の箇所にビアホールを形成し、導電性金属を充填し、ビア 7 c を形成する。この際、ビア 7 c のいくつかは、キャパシタ 4 のキャパシタ電極に電氣的に接続される。次いで、次に、絶縁層 9 c から露出したビア 7 c 上に、接続パッド 8 を形成する（図 6 F）。

[0107] 接続パッドの形成方法は、特に限定されず、配線と同様の方法で形成することができる。

[0108] 尚、図示する態様においては、接続パッドは、ビアに直接接続されているが、これに限定されず、接続パッドは、配線を介してビアに接続されていてもよい。この場合、好ましくは、配線とビアは、一体に形成される。

[0109] 次に、絶縁層 9 c 上に、絶縁層 9 d を形成し、接続パッド 8 に対応する箇所に貫通孔 1 2 を形成する。次いで、露出した接続パッド 8 上に、はんだボール 5 を形成する（図 6 G）。

[0110] 通常、上記のウエハレベルパッケージは、集合基板として得られる。集合基板の各素体への分割は、ダイシングブレード、各種レーザー装置、ダイサー、各種刃物、金型を用いて行うことができる。

[0111] （実施態様 2）

本発明の別の実施形態のウエハレベルパッケージ 1 b の概略断面図を図 7 に示す。図 7 に示されるように、本実施形態のウエハレベルパッケージ 1 b は、概略的には、IC チップ 2 と、IC チップ 2 の側方に位置する支持部 1 0 と、IC チップ 2 および支持部 1 0 上に設けられた再配線層 3 と、再配線

層 3 に内蔵されたキャパシタ 4 と、再配線層 3 上に設けられたはんだボール 5 とを有して成る。再配線層 3 は、配線 6、ビア 7 および接続パッド 8 を有しており、IC チップ 2 の電極は、再配線層 3 に設けられた配線 6、ビア 7、および接続パッド 8 を介して（一部は、さらにキャパシタ 4 を介して）、はんだボール 5 に電氣的に接続されている。

[0112] 実施態様 2 のウエハレベルパッケージ 1 b は、上記実施態様 1 のウエハレベルパッケージ 1 a と、IC チップ 2 が、その上主面を除いて支持部 10 により覆われており、再配線層 3 が、IC チップ 2 の上主面の上部空間を超えて、周囲の支持部 10 上にも存在する点で異なる。

[0113] 支持部 10 は、好ましくは、支持部の一の面が、IC チップ 2 の上主面と同一平面を形成するように形成される。尚、図示したウエハレベルパッケージ 1 b において、支持部は、IC チップ 2 を覆うように設けられているが、これに限定されない。例えば、一の態様において、支持部は、IC チップ 2 の下主面が露出するように設けてもよい。この場合、好ましくは支持部の厚みは、IC チップの厚みと実質的に同じである。別の態様において、支持部は、IC チップの 1 つの側面、2 つの側面または 3 つの側面のみに存在してもよい。

[0114] 支持部 10 の縁から IC チップ 2 の縁までの長さは、所望の再配線の態様に応じて適宜決定することができ、例えば、 $100\text{ }\mu\text{m}$ 以上 5.0 mm 以下、好ましくは $200\text{ }\mu\text{m}$ 以上 2.0 mm 以下であり得る。

[0115] 支持部 10 を構成する材料は、絶縁性材料であれば特に限定されず、例えば樹脂またはセラミックを用いることができるが、好ましくは樹脂であり、より好ましくは耐熱性樹脂であり、具体的には、ポリイミド、ポリベンゾオキサゾール、ポリエチレンテレフタレート、ベンゾシクロブテン樹脂、エポキシ樹脂等が挙げられる。また、線膨張係数を調整するためのフィラー、例えば Si フィラー等を含んでいてもよい。好ましい態様において、支持部 10 を構成する材料は、再配線層 3 の絶縁層を形成する材料と同じである。

[0116] 再配線層 3 は、IC チップの縁部を超えて支持部上にまで延在して設けら

れていることを除き、上記実施態様 1 における再配線層と、実質的に同様の構成を有する。

[0117] 他の構成要素、即ち、ICチップ 2、キャパシタ 4、およびはんだボール 5 については、上記実施態様 1 における ICチップ、キャパシタ、およびはんだボール 5 と、実質的に同様の構成を有する。

[0118] 本実施形態のウエハレベルパッケージ 1 b は、実装する回路基板を有効に利用することができ、小型化にも有利であることに加え、再配線層の大きさを自由に設計できることから、多ピン ICチップ、例えば 300 ピン以上の ICチップ等に対応できる点で有利である。また、異なる寸法の ICチップを用いた場合であっても、同じ大きさのウエハレベルパッケージを得ることができることから、寸法の標準化の観点から有利である。

[0119] 次に、上記 Fan-Out 型のウエハレベルパッケージ 1 b の製造方法について説明する。

[0120] まず ICチップ 2 を準備し、キャリア 13 上に、上主面（回路面）を下にして配置する（図 8 A）。この際、ICチップ 2 は、個別にダイシングした後、キャリア 13 上に配置する。図 8 においては、キャリア 13 上に ICチップ 2 は 1 つしか記載していないが、通常、ICチップは、キャリア 13 上に複数整列して配置され、製造の最後に各ウエハレベルパッケージに切り分けられる。

[0121] 次に、ICチップ 2 を覆うように、キャリア 13 および ICチップ 2 上に支持部 10 を形成する（図 8 B）。

[0122] 支持部は、特に限定されず、例えば、樹脂を塗布し、次いで硬化させることにより形成することができる。樹脂の塗布方法は、特に限定されず、ディスペンサ塗布、スプレー塗布、スクリーン印刷等を用いることができる。

[0123] 次に、キャリア 13 を剥がす（図 8 C）。図 8 C では、キャリア 13 を剥がした後、全体を上下反転させて示している。

[0124] 次に、ICチップ 2 およびキャリア 13 上に、絶縁層 9 a を形成する（図 8 D）。

- [0125] 絶縁層の形成方法は、特に限定されず、例えば、樹脂を塗布し、次いで硬化させることにより形成することができる。樹脂の塗布方法は、スピンコート塗布、ディスペンサ塗布、スプレー塗布、スクリーン印刷等を用いることができる。また、別途形成した絶縁シートを貼り付けることにより、絶縁層を形成してもよい。
- [0126] 次に、上記絶縁層 9 a に、ビアホール 1 1 を形成し、ICチップ 2 の電極を露出させる。次いで、ビアホール 1 1 に導電性金属を充填し、ビア 7 a を形成し、さらに、上記絶縁層 9 a 上に配線 6 a を形成する（図 8 E）。
- [0127] ビアホール 1 1、ビアおよび配線の形成方法は、上記実施形態 1 のウエハレベルパッケージ 1 a におけるビアおよび配線の形成方法と同様である。
- [0128] 次に、配線 6 a 上に、フラックス（図示していない）を塗布し、その上下面にはんだめっき層を有するキャパシタ 4 を配置する。次いで、キャパシタ 4 を仮固定した基板を、リフロー処理して、キャパシタを配線上に接続する（図 8 F）。
- [0129] フラックスの種類および塗布方法は、上記実施形態 1 のウエハレベルパッケージ 1 a における種類および塗布方法と同様である。
- [0130] 次に、絶縁層 9 a 上に、キャパシタ 4 の厚みと同等の厚みを有する、絶縁層 9 b を形成する（図 8 G）。
- [0131] 次に、所定の箇所にビアホールを形成し、導電性金属を充填し、ビア 7 b を形成し、また、絶縁層 9 b 上に配線 6 b を形成する（図 8 H）。
- [0132] 次に、絶縁層 9 b 上に、絶縁層 9 c を形成し、所定の箇所にビア 7 c、配線 6 c および接続パッド 8 を形成する（図 8 I）。この際、ビア 7 c のいくつかは、キャパシタ 4 のキャパシタ電極に電氣的に接続される。
- [0133] 接続パッドの形成方法は、特に限定されず、上記配線と同様の方法で形成することができる。
- [0134] 次に、絶縁層 9 c 上に、絶縁層 9 d を形成し、接続パッド 8 に対応する箇所に貫通孔 1 2 を形成する。次いで、露出した接続パッド 8 上に、はんだボール 5 を形成する（図 8 J）。

[0135] 通常、上記のウエハレベルパッケージは、集合基板として得られる。集合基板の各素体への分割は、ダイシングブレード、各種レーザー装置、ダイサー、各種刃物、金型を用いて行うことができる。

[0136] 以上、本発明のウエハレベルパッケージについて図面を参照して説明したが、本発明のウエハレベルパッケージは図示した態様に限定されず、種々の改変が可能である。

[0137] 本発明の開示は、以下の態様を含む。

・ 態様 1

ＩＣチップと、
ＩＣチップ上に設けられた再配線層と、
再配線層に内蔵されたキャパシタと、
を有して成るウエハレベルパッケージ；

・ 態様 2

再配線層が、ＩＣチップの上部領域内に設けられていることを特徴とする、
態様 1 に記載のウエハレベルパッケージ；

・ 態様 3

さらに、少なくともＩＣチップの電極が存在する面が露出するように、少なくともＩＣチップの側方に位置する支持部を有し、再配線層が、ＩＣチップの縁部を超えて支持部上にまで延在して設けられていることを特徴とする、
態様 1 に記載のウエハレベルパッケージ；

・ 態様 4

再配線層が、ビアおよび配線を有して成り、ビアおよび配線により、ＩＣチップの電極ピッチが、異なる電極ピッチに変換されていることを特徴とする、
態様 1 ～ 3 のいずれか 1 項に記載のウエハレベルパッケージ；

・ 態様 5

さらに、再配線層上にはんだボールが設けられていることを特徴とする、
態様 1 ～ 4 のいずれか 1 項に記載のウエハレベルパッケージ；

・ 態様 6

内蔵されるキャパシタが、導電性多孔基材と、導電性多孔基材上に位置する誘電体層と、誘電体層上に位置する上部電極とを有して成るキャパシタであることを特徴とする、態様 1 ～ 5 のいずれかに記載のウエハレベルパッケージ；

・ 態様 7

内蔵されるキャパシタが、一方の主面にのみ多孔部を有する導電性金属基材と、多孔部上に位置する誘電体層と、誘電体層上に位置する上部電極とを有して成るキャパシタであることを特徴とする、態様 1 ～ 6 のいずれかに記載のウエハレベルパッケージ；

・ 態様 8

キャパシタの一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であることを特徴とする、態様 1 ～ 7 のいずれかに記載のウエハレベルパッケージ；

・ 態様 9

キャパシタの一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であり、他方の主面における最外層が、銅層であることを特徴とする、態様 1 ～ 8 のいずれかに記載のウエハレベルパッケージ；

・ 態様 10

キャパシタの一方の主面における最外層が、スズを含むはんだめっき層であることを特徴とする、態様 8 または 9 に記載のウエハレベルパッケージ；

・ 態様 11

・ 態様 1 ～ 10 のいずれか 1 項に記載のウエハレベルパッケージが実装された回路基板を含んで成る電子機器；

・ 態様 12

導電性多孔基材と、導電性多孔基材上に位置する誘電体層と、誘電体層上に位置する上部電極とを有して成るキャパシタであって、キャパシタの少なくとも一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であることを特徴とする、キャパシタ；

・ 態様 1 3

キャパシタの一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であり、他方の主面における最外層が、銅層であることを特徴とする、態様 1 2 に記載のキャパシタ；

・ 態様 1 4

キャパシタの一方の主面における最外層が、スズを含むはんだめっき層であることを特徴とする、態様 1 2 または 1 3 に記載のキャパシタ。

産業上の利用可能性

[0138] 本発明のウエハレベルパッケージは、ＩＣチップとキャパシタ間の配線長が短く電気性に優れていることから、種々の高周波回路において好適に用いることができる。

符号の説明

[0139] 1 a、1 b…ウエハレベルパッケージ
 2…ＩＣチップ
 3…再配線層
 4…キャパシタ
 5…はんだボール
 6…配線
 7 a、7 b…ビア
 8…接続パッド
 9…絶縁層
 9 a、9 b、9 c、9 d…絶縁層
 1 0…支持部
 1 1…ビアホール
 1 2…貫通孔
 1 3…キャリア
 2 1…キャパシタ
 2 2…導電性多孔基材

2 3 …誘電体層
2 4 …高空隙率部
2 5 …支持部
2 6 …絶縁部
2 7 …上部電極
2 8 …第 1 キャパシタ電極
2 9 …第 2 キャパシタ電極
3 1 …キャパシタ
3 2 …低空隙率部
3 3 …高空隙率部
3 4 …導電性多孔基材
3 5 …誘電体層
3 6 …上部電極
3 7 …配線電極
3 8 …保護層
3 9 …第 1 キャパシタ電極
4 0 …第 2 キャパシタ電極
1 0 1 …ウエハレベルパッケージ
1 0 2 …I C チップ
1 0 3 …樹脂層
1 0 4 …配線
1 0 5 …ビア
1 0 6 …再配線層
1 0 7 …接続パッド
1 0 8 …はんだボール
1 1 1 …回路基板
1 1 2 …キャパシタチップ
1 1 3 …配線

請求の範囲

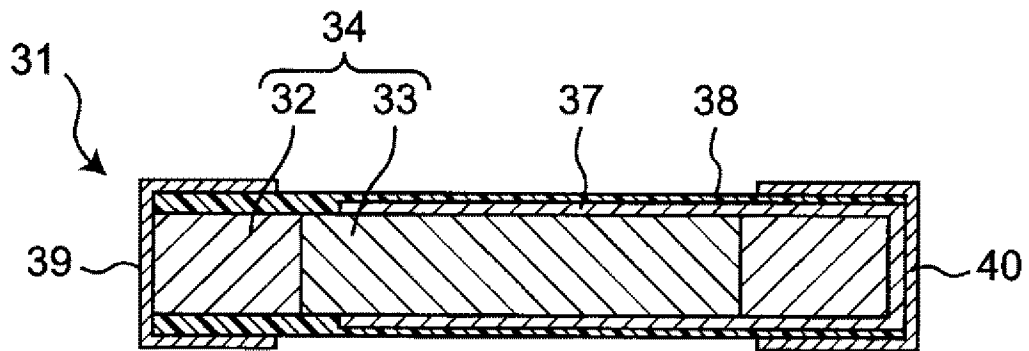
- [請求項1] I Cチップと、
 I Cチップ上に設けられた再配線層と、
 再配線層に内蔵されたキャパシタと、
 を有して成るウエハレベルパッケージ。
- [請求項2] 再配線層が、 I Cチップの上部領域内に設けられていることを特徴とする、請求項1に記載のウエハレベルパッケージ。
- [請求項3] さらに、少なくとも I Cチップの電極が存在する面が露出するように、少なくとも I Cチップの側方に位置する支持部を有し、再配線層が、 I Cチップの縁部を超えて支持部上にまで延在して設けられていることを特徴とする、請求項1に記載のウエハレベルパッケージ。
- [請求項4] さらに、再配線層上にはんだボールが設けられていることを特徴とする、請求項1～3のいずれか1項に記載のウエハレベルパッケージ。
- [請求項5] 内蔵されるキャパシタが、導電性多孔基材と、導電性多孔基材上に位置する誘電体層と、誘電体層上に位置する上部電極とを有して成るキャパシタであることを特徴とする、請求項1～4のいずれか1項に記載のウエハレベルパッケージ。
- [請求項6] キャパシタの一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であることを特徴とする、請求項1～5のいずれか1項に記載のウエハレベルパッケージ。
- [請求項7] キャパシタの一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であり、他方の主面における最外層が、銅層であることを特徴とする、請求項1～6のいずれか1項に記載のウエハレベルパッケージ。
- [請求項8] キャパシタの一方の主面における最外層が、スズを含むはんだめっき層であることを特徴とする、請求項6または7に記載のウエハレベルパッケージ。

[請求項9] 請求項1～8のいずれか1項に記載のウエハレベルパッケージが実装された回路基板を含んで成る電子機器。

[請求項10] 導電性多孔基材と、導電性多孔基材上に位置する誘電体層と、誘電体層上に位置する上部電極とを有して成るキャパシタであって、キャパシタの少なくとも一方の主面における最外層が、はんだめっき層または金属ナノ粒子層であることを特徴とする、キャパシタ。

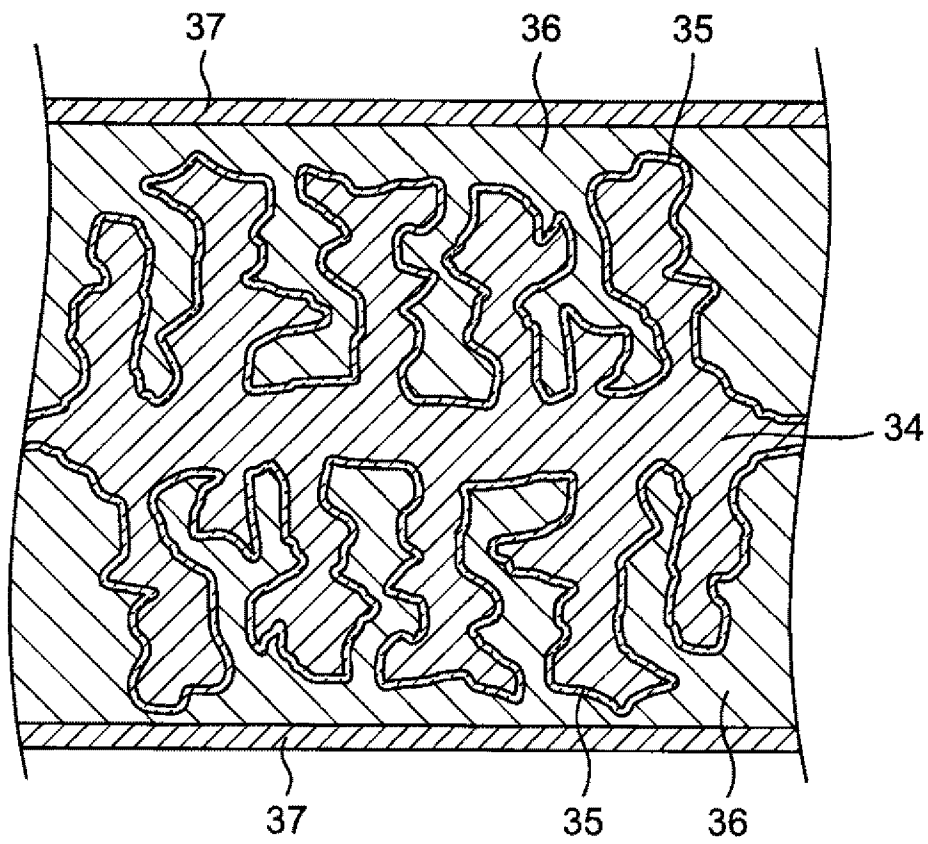
[図4]

図4



[図5]

図5



[図6-1]

図6A

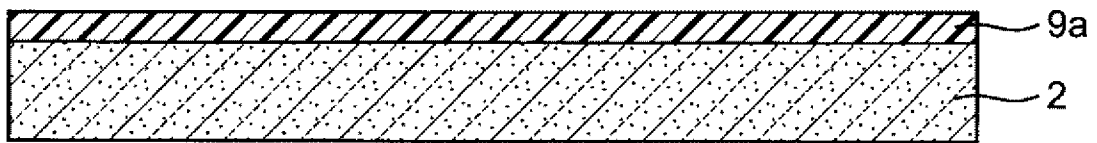


図6B

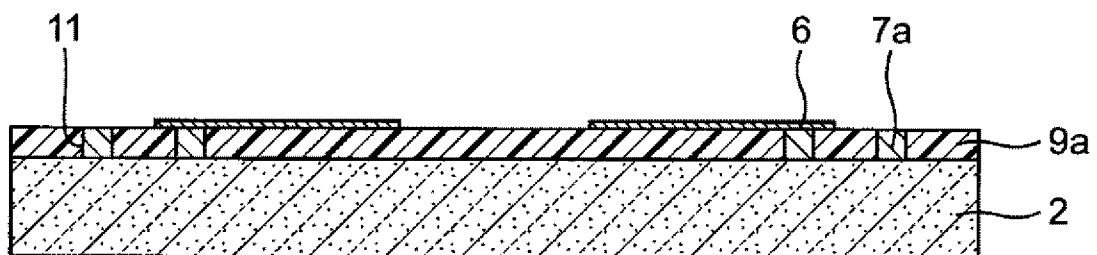


図6C

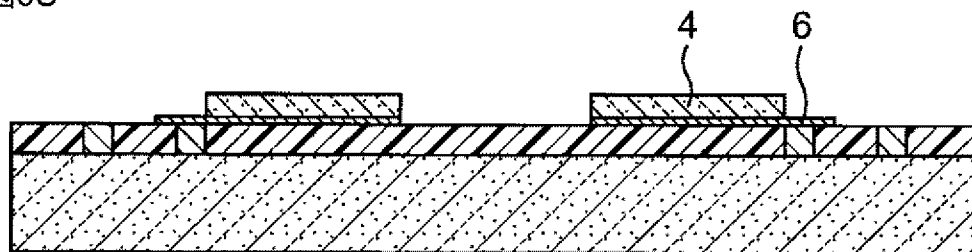
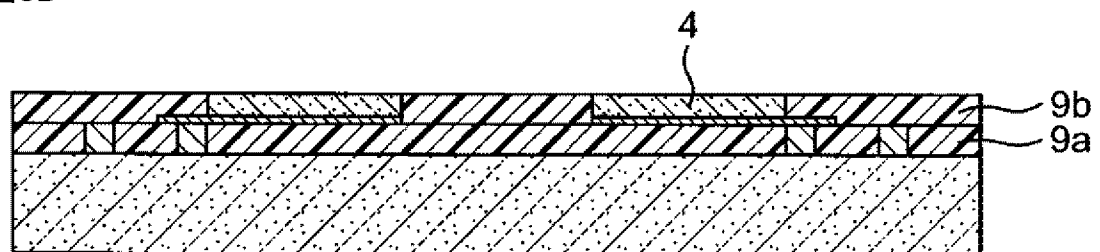


図6D



〔図6-2〕

图6E

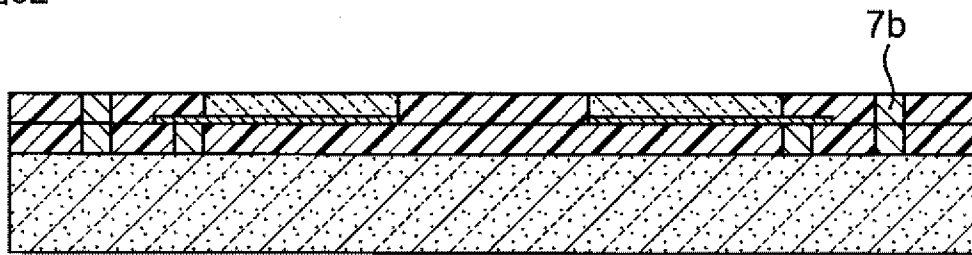


Figure 6F shows the percentage of correct responses for the 'Correct' condition across five trials. The percentage starts at approximately 85% on Trial 1 and increases steadily to about 95% by Trial 5. The shaded area indicates the error range, which is relatively narrow, staying between 80% and 100%.

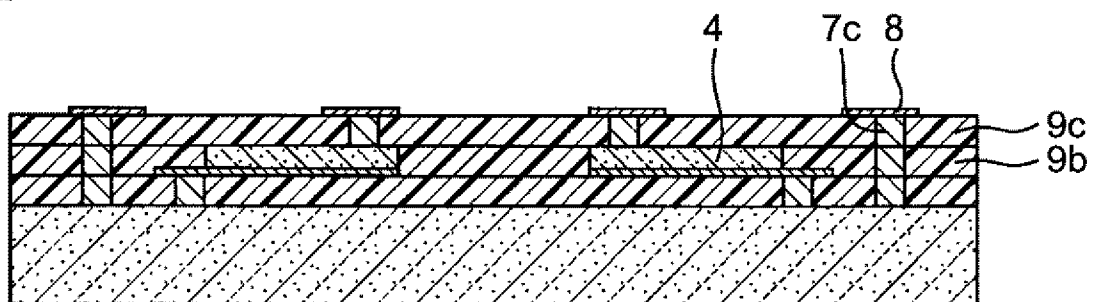
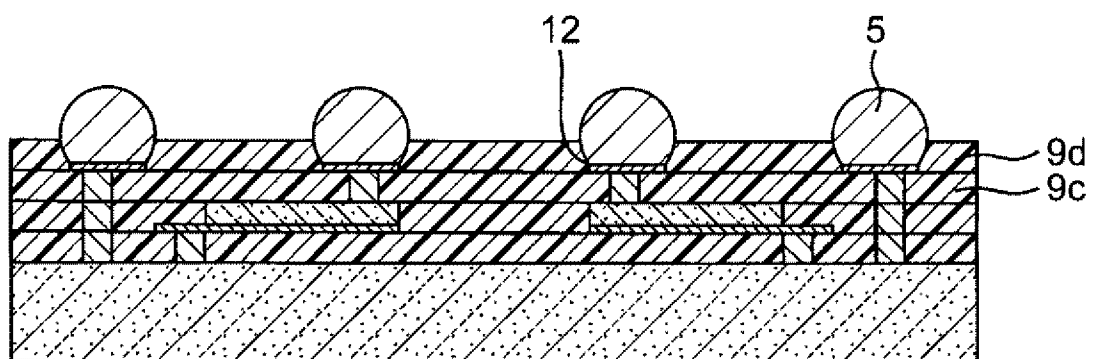
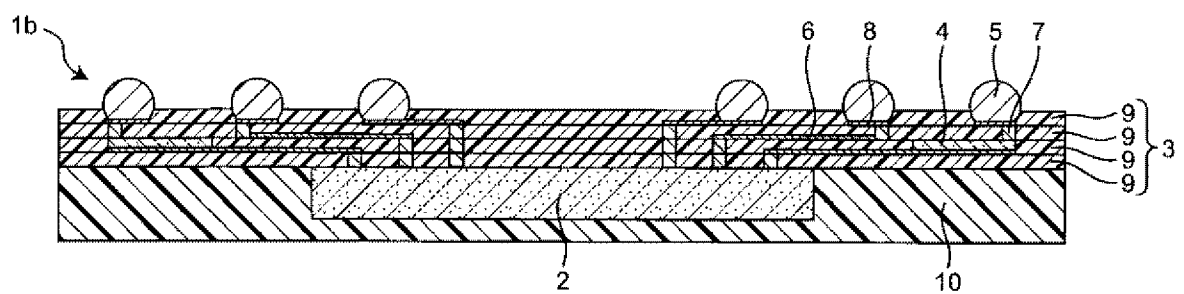


図6G



[図7]

图7



[図8-1]

図8A

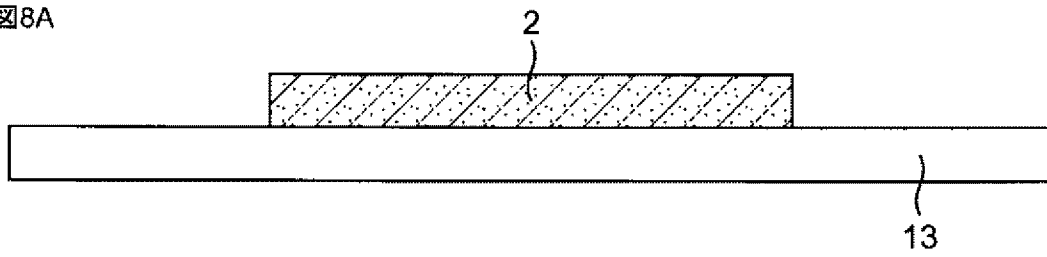


図8B

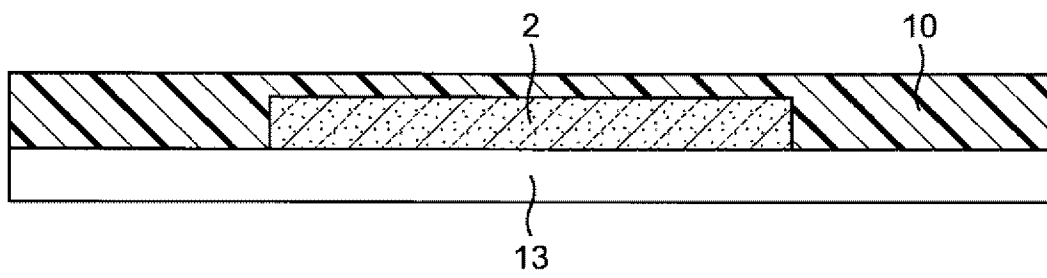


図8C

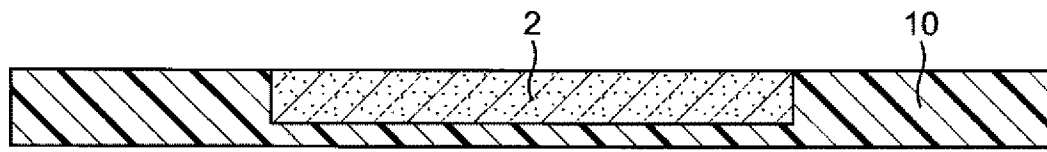
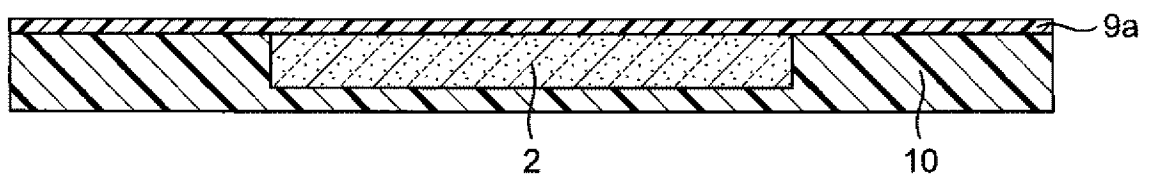


図8D



[図8-2]

図8E

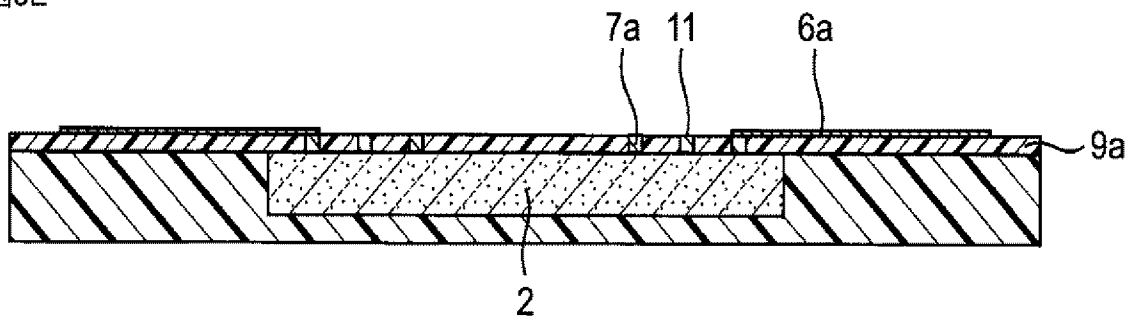


図8F

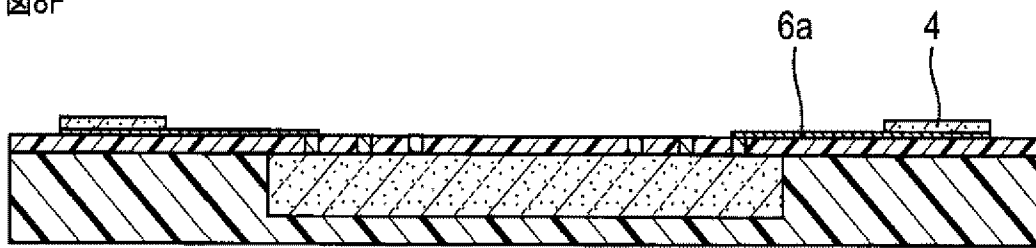
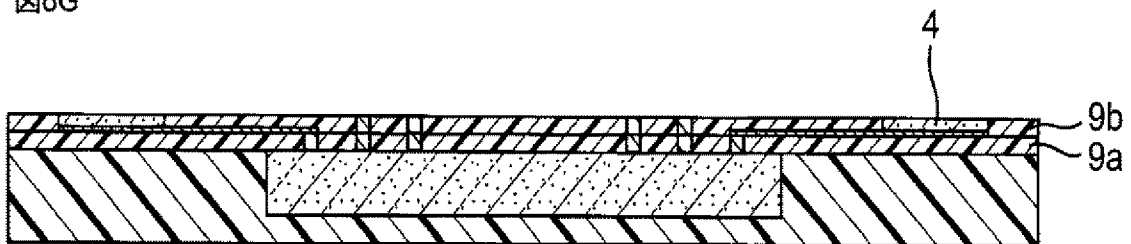


図8G



[図8-3]

図8H

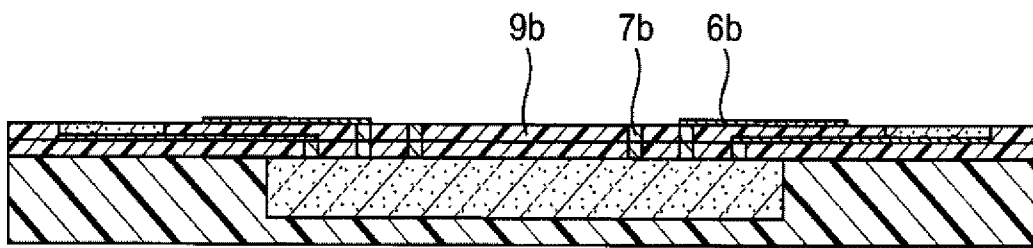


図8I

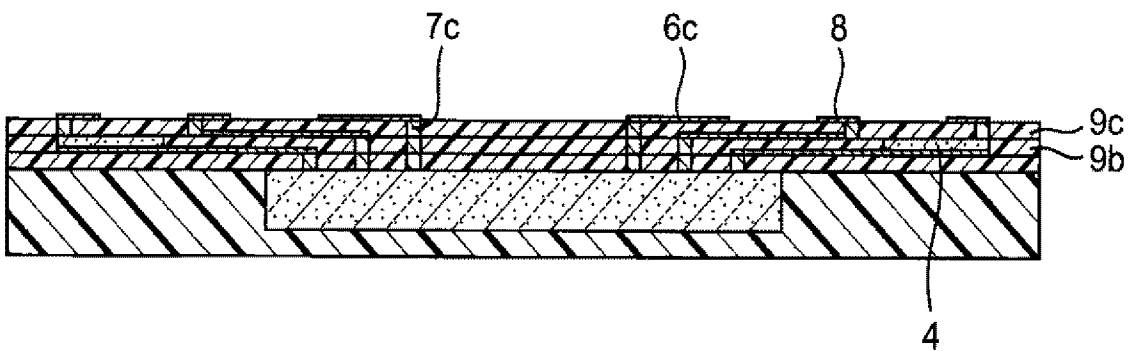
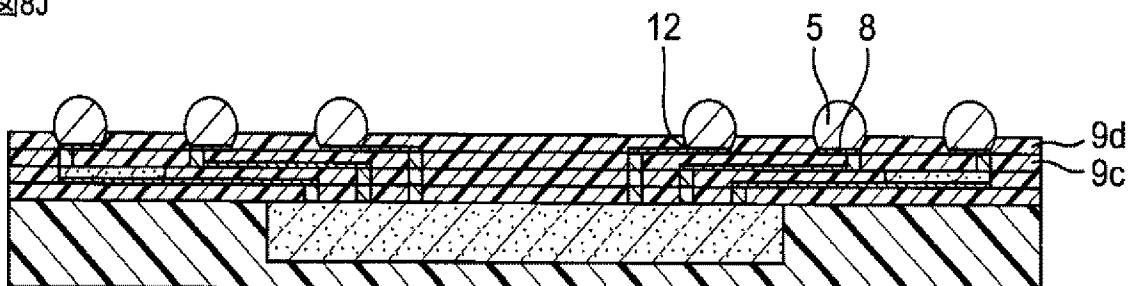
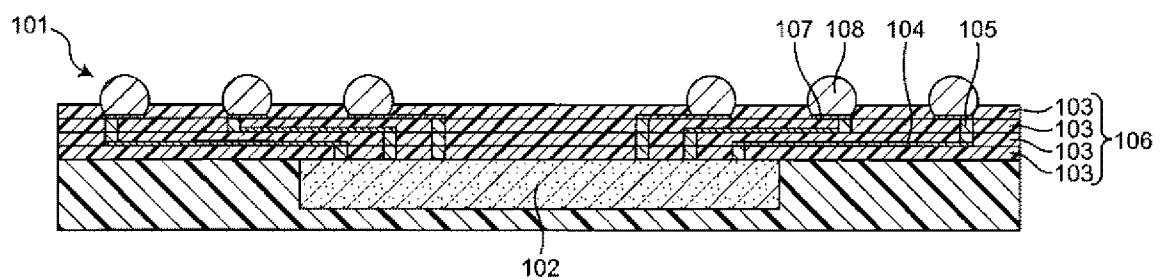


図8J



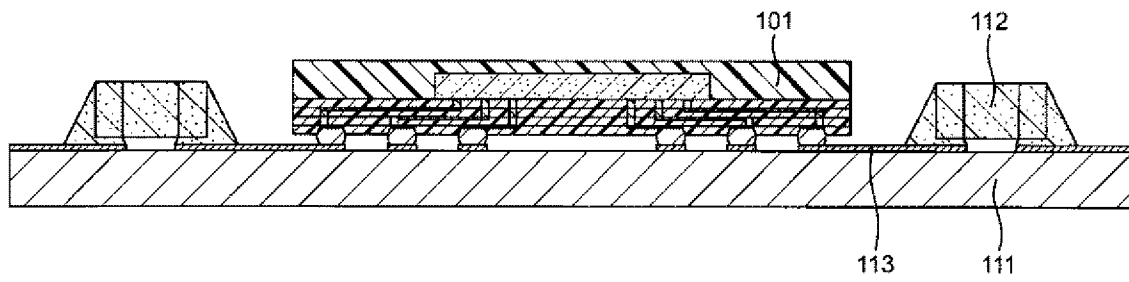
[図9]

図9



[図10]

図10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016814

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01)i, H01G4/12(2006.01)i, H01G4/33(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H01G4/12, H01G4/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-227266 A (Fujitsu Ltd.), 25 September 2008 (25.09.2008), paragraphs [0020] to [0030]; fig. 1 to 4 (Family: none)	1-4, 9 5-8
Y	WO 2015/118901 A1 (Murata Mfg. Co., Ltd.), 13 August 2015 (13.08.2015), paragraphs [0012] to [0013], [0049] to [0053]; fig. 1 to 2 & US 2016/0329158 A1 paragraphs [0026] to [0027], [0063] to [0067]; fig. 1 to 2 & JP 15-118901 A1 & EP 3104382 A1 & TW 201535446 A & CN 105960692 A & KR 10-2016-0104693 A	5-8, 10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
29 June 2017 (29.06.17)

Date of mailing of the international search report
11 July 2017 (11.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016814

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-172526 A (Matsushita Electric Industrial Co., Ltd.), 17 June 2004 (17.06.2004), paragraph [0004] (Family: none)	6-8, 10
Y	JP 2013-131459 A (Kyocera Corp.), 04 July 2013 (04.07.2013), claims 1 to 4; paragraph [0011] (Family: none)	6-8, 10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L23/12(2006.01)i, H01G4/12(2006.01)i, H01G4/33(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L23/12, H01G4/12, H01G4/33

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2008-227266 A（富士通株式会社）2008.09.25, 段落[0020]-[0030]、図1-4（ファミリーなし）	1-4, 9 5-8
Y	WO 2015/118901 A1（株式会社村田製作所）2015.08.13, 段落[0012]-[0013], [0049]-[0053]、図1-2 & US 2016/0329158 A1、段落[0026]-[0027], [0063]-[0067]、図1-2 & JP 15-118901 A1 & EP 3104382 A1 & TW 201535446 A & CN 105960692 A & KR 10-2016-0104693 A	5-8, 10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29.06.2017

国際調査報告の発送日

11.07.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

豊島 洋介

5D

9850

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-172526 A (松下電器産業株式会社) 2004. 06. 17, 段落[0004] (ファミリーなし)	6-8, 10
Y	JP 2013-131459 A (京セラ株式会社) 2013. 07. 04, 請求項 1-4、段落[0011] (ファミリーなし)	6-8, 10