

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年4月2日(2009.4.2)

【公表番号】特表2009-503893(P2009-503893A)

【公表日】平成21年1月29日(2009.1.29)

【年通号数】公開・登録公報2009-004

【出願番号】特願2008-525007(P2008-525007)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 1 8 C

H 0 1 L 29/78 3 0 1 X

H 0 1 L 29/78 3 0 1 Y

H 0 1 L 29/78 6 1 6 A

【手続補正書】

【提出日】平成21年2月16日(2009.2.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ソース領域と、

ドレイン領域と、

前記ソース領域から前記ドレイン領域まで延びる半導体フィンと、

前記ソース領域と前記ドレイン領域の間にあって前記半導体フィンに隣接したゲート導体と、

を含み、

前記ソース領域と前記ゲート導体の間の前記半導体フィンの第 1 の抵抗が、前記ゲート導体と前記ドレイン領域の間の前記半導体フィンの第 2 の抵抗よりも小さく、

前記ソース領域と前記ゲート導体の間の第 1 の静電容量が、前記ゲート導体と前記ドレイン領域の間の第 2 の静電容量よりも大きい、

フィン型電界効果トランジスタ。

【請求項 2】

前記ゲート導体が、前記ドレイン領域よりも前記ソース領域の方に近い、請求項 1 に記載のトランジスタ。

【請求項 3】

前記ゲート導体が、前記ソース領域および前記ドレイン領域から等距離にある、請求項 1 に記載のトランジスタ。

【請求項 4】

前記半導体フィンがさらに、

前記ゲート導体と前記ソース領域の間の第 1 の部分と、

前記ゲート導体と前記ドレイン領域の間の第 2 の部分と

を含み、

前記第 1 の部分および前記第 2 の部分がそれぞれ、

前記ゲート導体に隣接した内側セクションと、  
前記内側セクションに隣接した外側セクションと  
を含み、

前記内側セクションが、前記外側セクションよりも幅が狭く、前記第 2 の部分の前記内側セクションが、前記第 1 の部分の前記内側セクションよりも長い、  
請求項 3 に記載のトランジスタ。

【請求項 5】

前記第 2 の部分の前記内側セクションの長さが、前記第 1 の部分の前記内側セクションの長さの少なくとも 3 倍ある、請求項 4 に記載のトランジスタ。

【請求項 6】

ソース領域と、  
ドレイン領域と、  
前記ソース領域から前記ドレイン領域まで延びる半導体フィンと、  
前記ソース領域と前記ドレイン領域の間にあって前記半導体フィンに隣接したゲート導体と、  
を含み、

前記半導体フィンが、  
前記ソース領域と前記ゲート導体の間の第 1 の部分と、  
前記ゲート導体と前記ドレイン領域の間の第 2 の部分と

を含み、

前記第 1 の部分および前記第 2 の部分がそれぞれ、前記ゲート導体に隣接した、同じ幅および同じ長さを有する内側セクションを含み、

前記同じ長さが、前記同じ幅の 3 倍よりも大きく、前記トランジスタが所定の最大電圧で動作できるような抵抗を前記内側セクションに提供する、  
フィン型電界効果トランジスタ。

【請求項 7】

前記内側セクションがそれぞれ、隣接するシリサイド層を持たない対応する上面を有する、請求項 6 に記載のトランジスタ。

【請求項 8】

前記ソース領域、前記ドレイン領域および前記半導体フィン内にドーパントをさらに含み、前記ソース領域および前記ドレイン領域内の前記ドーパントの濃度が、前記半導体フィン内の前記ドーパントの濃度よりも高い、請求項 6 に記載のトランジスタ。

【請求項 9】

前記第 1 の部分および前記第 2 の部分がそれぞれ、前記内側セクションに隣接した外側セクションをさらに含み、前記外側のセクションが前記内側セクションよりも幅が広い、請求項 6 に記載のトランジスタ。

【請求項 10】

前記ソース領域と前記ドレイン領域の間に複数の前記半導体フィンをさらに含み、それぞれの前記半導体フィン内の前記抵抗が、熱暴走および破壊から前記構造を守る、請求項 6 に記載のトランジスタ。

【請求項 11】

フィン型電界効果トランジスタを製造する方法であって、  
ソース領域およびドレイン領域を形成すること、

前記ソース領域から前記ドレイン領域まで延びる半導体フィンを形成すること、ならびに

前記ソース領域と前記ドレイン領域の間にあって前記半導体フィンに隣接したゲート導体を形成すること、

を含み、

前記ソース領域と前記ゲート導体の間の前記半導体フィンの第 1 の部分の第 1 の抵抗が、前記ゲート導体と前記ドレイン領域の間の前記半導体フィンの第 2 の部分の第 2 の抵抗

よりも小さくなり、

前記ソース領域と前記ゲート導体の間の第 1 の静電容量が、前記ゲート導体と前記ドレイン領域の間の第 2 の静電容量よりも大きくなるように、前記半導体フィンおよび前記ゲート導体が形成される、

前記方法。

【請求項 1 2】

前記ゲート導体が前記ドレイン領域よりも前記ソース領域の方に近くなるように、前記ゲート導体が前記半導体フィンに隣接して形成される、請求項 1 1 に記載の方法。

【請求項 1 3】

前記ゲート導体が、前記半導体フィンに隣接して、前記ソース領域および前記ドレイン領域から等距離に形成され、さらに、前記第 1 の抵抗および前記第 2 の抵抗を変化させるために前記第 1 の部分および前記第 2 の部分の寸法を調整することを含む、請求項 1 1 に記載の方法。

【請求項 1 4】

前記寸法の前記調整が、

前記ゲート導体に隣接した第 1 の内側セクションと、前記第 1 の内側セクションと前記ソース領域の間の第 1 の外側セクションとを有するように前記第 1 の部分を形成することと、

前記ゲート導体に隣接した第 2 の内側セクションと、前記第 2 の内側セクションと前記ドレイン領域の間の第 2 の外側セクションとを有するように前記第 2 の部分を形成することと、

を含み、

前記第 2 の内側セクションが、前記第 1 の内側セクションよりも長く形成され、

前記第 1 の内側セクションおよび前記第 2 の内側セクションが第 1 の幅を有するように形成され、前記第 1 の外側セクションおよび前記第 2 の外側セクションが第 2 の幅を有するように形成され、

前記第 2 の幅が前記第 1 の幅よりも大きい、

請求項 1 3 に記載の方法。

【請求項 1 5】

前記第 1 の部分を形成するプロセスおよび前記第 2 の部分を形成するプロセスが、

前記半導体フィンの上に、前記ゲート導体に隣接させて、第 1 のスペーサおよび第 2 のスペーサを、前記第 1 のスペーサおよび前記第 2 のスペーサが前記第 1 の幅の 3 倍よりも大きい厚さを有し、前記第 1 のスペーサと前記ソース領域の間に第 1 の露出セクションが残り、前記第 2 のスペーサと前記ドレイン領域の間に第 2 の露出セクションが残るように形成することと、

前記第 1 のスペーサの前記厚さを低減させることと、

前記第 1 の露出セクションおよび前記第 2 の露出セクション上に追加の半導体材料を形成することと、

を含む、請求項 1 4 に記載の方法。

【請求項 1 6】

前記第 1 のスペーサの前記厚さの前記低減が、

前記第 2 のスペーサにマスクをし、前記第 1 のスペーサを等方的にエッチングすること、または

90 度未満の角度から、前記第 1 のスペーサに向かって、不活性種を、前記第 1 のスペーサが、前記第 2 のスペーサよりも高い濃度の前記不活性種を受け取るように注入し、前記より高い濃度の前記不活性種のために前記第 1 のスペーサがより速い速度でエッチングされるエッチング・プロセスを実行すること、

を含む、請求項 1 5 に記載の方法。

【請求項 1 7】

フィン型電界効果トランジスタを製造する方法であって、

ソースおよびドレイン領域を形成することと、  
前記ソースおよびドレイン領域間に延びる半導体フィンを形成することと、  
前記ソースおよびドレイン領域間にあって前記半導体フィンに隣接したゲート導体を形成することと、

前記トランジスタが所定の最大電圧で動作できるように抵抗を最適化するため、前記ゲート導体と前記ソースおよびドレイン領域の間の前記半導体フィンの寸法を調整することと、

を含む前記方法。

【請求項 18】

前記寸法の前記調整が、前記ゲート導体に隣接した前記半導体フィンの内側セクションよりも幅の広い、前記ソースおよびドレイン領域に隣接した前記半導体フィンの外側セクションを形成することを含む、請求項 17 に記載の方法。

【請求項 19】

前記寸法の前記調整がさらに、前記内側セクションの長さが、前記内側セクションの幅の 3 倍よりも大きくなるように前記内側セクションを形成することを含む、請求項 18 に記載の方法。

【請求項 20】

前記半導体フィン上に、前記ゲート導体に隣接させて、スペーサを、前記スペーサの厚さが前記半導体フィンの幅の 3 倍よりも大きくなり、前記スペーサと前記ソースおよびドレイン領域の間に露出セクションが残るように形成し、

前記露出セクション上に追加の半導体材料を形成する、

ことによって、前記外側セクションが前記内側セクションよりも幅広く形成される、請求項 19 に記載の方法。