

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 2 月 5 日(05.02.2015)

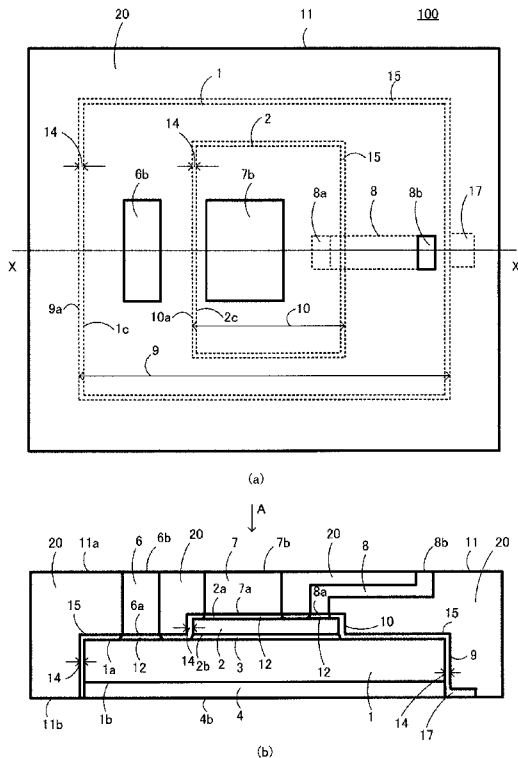


(10) 国際公開番号
WO 2015/016017 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 25/07* (2006.01)
H01L 23/28 (2006.01) *H01L 25/18* (2006.01)
H01L 23/48 (2006.01)
- (21) 国際出願番号: PCT/JP2014/068174
- (22) 国際出願日: 2014 年 7 月 8 日(08.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-159424 2013 年 7 月 31 日(31.07.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 稲葉 哲也(INABA, Tetsuya); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a highly reliable small-sized semiconductor device which is produced by a small number of assembling steps at low cost. The area occupied by a power semiconductor device (100) can be reduced by housing a semiconductor chip (2) and a conductive plate (1) in cavities (9, 10) of a ceramic case (11). In addition, the thickness of the power semiconductor device (100) can be reduced by embedding terminals (6, 7, 8) in the ceramic case (11) and connecting the terminals (6, 7, 8) to the semiconductor chip (2) and the conductive plate (1).

(57) 要約: 組立工程が少なく、製造コストが安く、信頼性の高い、小型の半導体装置を提供する。セラミックケース(11)のキャビティ(9, 10)に半導体チップ(2)と導電板(1)を格納することで、パワー半導体装置(100)の占有面積を小さくすることができ、また、セラミックケース(11)に端子(6, 7, 8)を埋設させて、端子(6, 7, 8)を半導体チップ(2)、導電板(1)に接続することで、パワー半導体装置(100)の厚さを薄くすることができる。

WO 2015/016017 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 図１９は、パワー半導体装置の要部断面図である。ここではパワー半導体装置１０００として、多数（例えば、２０個など）の半導体チップが搭載されたパワー半導体装置の例を挙げた。但し、図１９では、半導体チップは１個で代表させている。

[0003] このパワー半導体装置１０００は、絶縁基板６４、半導体チップ６６、ベース板７０およびケース６８を備えている。

絶縁基板６４は、絶縁板６１、回路板６２および金属板６３が積層されて構成されており、回路板６２にハンダなどの接合材６５を介して半導体チップ６６が固定されている。また、半導体チップ６６は、ＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）チップやダイオードチップなどのパワー半導体チップである。

[0004] この半導体チップ６６にはボンディングワイヤ６７を用いて、ケース６８の外部端子６９が配線されている。絶縁基板６４の裏面は接合材６５を用いてベース板７０に固定されている。ケース６８の内部はゲルなどの封止樹脂７１が充填され、ケース６８の開口部は上蓋７２で覆われている。

[0005] また、近年、キャビティを有するセラミックケースにＩＣ（Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）チップを格納して、集積回路装置の小型化が図られている。この集積回路装置は、端子が埋設されキャビティを有するセラミックケースと、このキャビティに格納されたＩＣチップで構成され、キャビティパッケージと呼ばれている。ＩＣチップの通電電流は小さいため、通常、キャビティパッケージ内に埋設される端子の厚さは１０μｍ～２０μｍ程度である。

[0006] また、特許文献 1 には、段差を有する回路基板の段差部にパワー半導体チップが配置され、段差部とは反対側の面に回路素子が設けられることが記載されている。

先行技術文献

特許文献

[0007] 特許文献1：特許第4 9 5 4 3 5 6 号公報

発明の概要

発明が解決しようとする課題

[0008] パワー半導体装置 1 0 0 0 では、つぎの課題があった。

(1) 外部端子 6 9 は半導体チップ 6 6 の上部に配置するのが困難であり、ケース 6 8 など外周部に配置せざるを得ず、筐体の小型化が困難である。

(2) 封止樹脂 7 1 は通常ゲルであることから、外形維持のため、ケース 6 8 や上蓋 7 2 が別途必要になる。

(3) 半導体チップ 6 6 の搭載数が 2 0 個程度であるとする、各半導体チップ 6 6 にそれぞれ 1 0 本程度のボンディングワイヤ 6 7 を配線するには、ボンディングワイヤ 6 7 の数は相当な本数になり、配線工程に時間がかかる。

[0009] また、キャビティパッケージに IC チップではなく、パワー半導体チップを格納した例は見当たらない。これは、パワー半導体チップでは電流容量の仕様上、端子の厚さを 1 0 0 μm 以上にする必要があるが、このような厚い端子を埋設したキャビティパッケージを製造することが困難であるためと推測される。

[0010] また、特許文献 1 には、回路基板のみでパワー半導体装置の筐体とすることは記載されていない。さらに特許文献 1 には、パワー半導体チップの裏面電極に対応した端子を筐体上面に引き出すことなどについても記載されていない。

[0011] この発明は、このような課題を解決して、組立工程が少なく、製造コスト

が安く、信頼性の高い、小型の半導体装置を提供することを目的とする。

課題を解決するための手段

- [0012] 本発明に係る半導体装置の一態様は、おもて面電極および裏面電極を有する半導体チップと、主面に前記半導体チップの裏面電極が接続される導電板と、前記導電板の前記主面と反対側の面に固定される絶縁板と、埋設された第1端子および第2端子と、前記半導体チップ、前記導電板および前記絶縁板が格納されるキャビティと、前記キャビティの開口部と反対側に位置する電極面を有するセラミックケースと、を備え、前記第1端子の一端が前記半導体チップのおもて面電極と接続されるとともに、他端が前記電極面から露出し、前記第2端子の一端が前記導電板の前記主面と接続されるとともに、他端が前記電極面から露出し、前記セラミックケースおよび前記絶縁板で筐体を構成する。
- [0013] また、本発明に係る半導体装置の別の態様は、おもて面電極および裏面電極を有する半導体チップと、埋設された導電性の配線板を有し、前記配線板の露出面に前記半導体チップの裏面電極が接続される配線基板と、埋設された第1端子および第2端子と、前記半導体チップが格納されるキャビティと、前記キャビティの開口部と反対側に位置する電極面を有するセラミックケースと、を備え、前記第1端子の一端が前記半導体チップのおもて面電極と接続されるとともに、他端が前記電極面から露出し、前記第2端子の一端が前記配線板の露出面と接続されるとともに、他端が前記電極面から露出し、前記セラミックケースおよび前記配線基板で筐体を構成する。
- [0014] また、本発明に係る半導体装置の別の態様は、おもて面電極および裏面電極を有する半導体チップと、埋設された導電性の配線板を有し、前記配線板の露出面に前記半導体チップの裏面電極が接続される配線基板と、埋設された第1端子および第2端子と、前記半導体チップが格納されるキャビティと、前記キャビティの開口部と反対側に位置する電極面を有するセラミックケースと、を備え、前記第1端子の一端が前記半導体チップのおもて面電極と接続されるとともに、他端が前記電極面から露出し、前記第2端子の一端

が前記配線板の露出面と接続されるとともに、他端が前記電極面と直交する面から突出し、前記セラミックケースおよび前記配線基板で筐体を構成する。

発明の効果

[0015] この発明により、組立工程が少なく、製造コストが安く、信頼性の高い、小型の半導体装置を提供する。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0016] [図1]第1実施例のパワー半導体装置の構成図である。

[図2]第1実施例のキャビティおよび端子を有するセラミックケースの製造方法を示す図である。

[図3]第1変形例のパワー半導体装置の断面図である。

[図4]第2変形例のパワー半導体装置の断面図である。

[図5]第3変形例のパワー半導体装置の断面図である。

[図6]第2実施例のパワー半導体装置の製造工程を示す図（その1）である。

[図7]第2実施例のパワー半導体装置の製造工程を示す図（その2）である。

[図8]第2実施例のパワー半導体装置の製造工程を示す図（その3）である。

[図9]第2実施例のパワー半導体装置の製造工程を示す図（その4）である。

[図10]第2実施例のパワー半導体装置の封止材を注入する注入口を示す図である。

[図11]第3実施例のパワー半導体装置の断面図である。

[図12]第4実施例のパワー半導体装置の断面図である。

[図13]第5実施例のパワー半導体装置の断面図である。

[図14]第6実施例のパワー半導体装置の断面図である。

[図15]第4変形例のパワー半導体装置の断面図である。

[図16]第5変形例のパワー半導体装置の断面図である。

[図17]第7実施例のパワー半導体装置の構成図である。

[図18]第8実施例のパワー半導体装置の断面図である。

[図19]パワー半導体装置の要部断面図である。

発明を実施するための形態

[0017] 実施の形態を以下の実施例で説明する。

なお、以下に用いられる「電気的かつ機械的に接続されている」という用語は、対象物同士が直接接合により接続されている場合に限らず、ハンダや金属焼結材などの導電性の接合材を介して対象物同士が接続されている場合も含むものとする。

<第1実施例>

図1は、第1実施例のパワー半導体装置の構成図である。図1(a)は平面図、図1(b)は図1(a)のX-X線で切断した断面図である。また、図1(a)は、図1(b)の矢印A方向から見た透視平面図である。

[0018] このパワー半導体装置100は、半導体チップ2と、導電板1と、絶縁板4と、セラミックケース11とを備え、セラミックケース11および絶縁板4で筐体を構成している。さらに、封止材15も備えている。

[0019] 半導体チップ2は、例えばIGBTやパワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)といった縦型のスイッチング素子であり、おもて面電極2aおよび裏面電極2bを有している。そして半導体チップ2の裏面電極2bが導電板1の主面1aに、ハンダなどの導電性の接合材3を用いて電気的かつ機械的に接続されている。また、導電板1の主面1aと反対側の面1bに、絶縁板4が固定されている。

[0020] セラミックケース11は、セラミック20を備え、第2端子6および第1端子7、8が埋設されている。またセラミックケース11は、凹形状である第1キャビティ9および第2キャビティ10を有している。第1キャビティ9の開口部9aに比べて、第2キャビティ10は開口部10aが小さい。さらにセラミックケース11は、第1キャビティ9および第2キャビティ10

の開口部 9 a, 10 a と反対側に位置する電極面 11 a を有する。

[0021] そして、第 1 キャビティ 9 には導電板 1 と絶縁板 4 が格納され、第 2 キャビティ 10 には半導体チップ 2 が格納されている。そして、これらの間の隙間 14 には、封止材 15 が配置されている。

[0022] 隙間 14 の幅は、格納される対象を良好に位置合わせでき、また、封止材 15 が侵入できる大きさにする。隙間 14 の幅が 50 μ m 未満になると、封止材 15 が侵入し難くなるので、隙間 14 の幅は 50 μ m 未満になることは避けた方がよい。隙間 14 の幅としては 0.1 mm ~ 0.2 mm 程度が好適である。

[0023] そして、第 2 キャビティ 10 に格納された半導体チップ 2 のおもて面電極 2 a と、セラミックケース 11 に埋設された第 1 端子 7, 8 の一端（端面 7 a, 8 a）が、導電性の接合材 12 を用いて電気的かつ機械的に接続される。例えば半導体チップ 2 が IGBT である場合、第 1 端子 7 はエミッタ電極に接続され、第 1 端子 8 はゲート電極に接続される。また、第 1 端子 7, 8 の他端（端面 7 b, 8 b）は、セラミックケース 11 の電極面 11 a から露出している。

[0024] また、第 1 キャビティ 9 に格納された導電板 1 の主面 1 a と、セラミックケース 11 に埋設された第 2 端子 6 の一端（端面 6 a）が、導電性の接合材 12 を用いて電気的かつ機械的に接続される。すなわち、第 2 端子 6 と、半導体チップ 2 の裏面電極（IGBT の場合コレクタ電極）が電気的に接続される。また、第 2 端子 6 の他端（端面 6 b）は、セラミックケース 11 の電極面 11 a から露出している。

[0025] セラミックケース 11 に埋設される第 1 端子 7, 8 および第 2 端子 6 は、垂直方向に配置される場合と水平方向に配置される場合がある。水平方向にも配置される第 1 端子 8 は図 1 では 1 層の場合を示したが、多層に配置されることもある。第 1 端子 8 の水平に配置される部分は、数 100 μ m 程度の厚さで、幅が数 mm 程度である。

[0026] 第 1 端子 7, 8 と半導体チップ 2 の間、および第 2 端子 6 と導電板 1 の間

を接合材 1 2 で固定した後、封止材 1 5 がセラミックケース 1 1 に設けられた注入口 1 7 から、隙間 1 4 に注入される。注入された封止材 1 5 は、毛細管現象により隙間 1 4 の全域に侵入して、半導体チップ 2 や導電板 1 の周囲を被覆する。

[0027] 封止材 1 5 は、半導体チップ 2 や導電板 1 の封止と電氣的絶縁および表面保護の機能を有する。また、封止材 1 5 は、接合材 3, 1 2 への湿気の侵入を防止し、接合材 3, 1 2 の劣化を防ぐ機能を有する。さらに、セラミックケース 1 1 と、半導体チップ 2、導電板 1 との間を固定する機能を有する。そのため、封止材 1 5 は、電氣的絶縁性や接着性に優れ、硬化前は粘性が高く、毛細管現象で隙間 1 4 に入り込みやすい材質を選定する。封止材 1 5 としては、例えば、エポキシ樹脂が好適である。

[0028] また、半導体チップ 2 や導電板 1 を封止材 1 5 で確実に被覆できるように、第 1 キャビティ 9 や第 2 キャビティ 1 0 の内壁に 0. 1 mm ~ 0. 2 mm 程度の図示しない突起を設け、隙間 1 4 を確保するとよい。

[0029] また、導電板 1 は、半導体チップ 2 の裏面電極 2 b から第 2 端子 6 へ電流を流す機能と、半導体チップ 2 で発生した熱を絶縁板 4 を介して外部（図示しない放熱ベースなど）へ効果的に逃がす機能と、半導体チップ 2 を支持する機能を有する。導電板 1 の材質は、銅やアルミニウムなどである。また、導電板 1 が銅板の場合には、ニッケルめっきを施して酸化を防止するとよい。

[0030] 絶縁板 4 は電氣的絶縁性と熱伝導性に優れた材質がよく、例えば、0. 2 mm 程度の厚さのアルミナや窒化珪素、窒化アルミなどのセラミック板が適している。また、ポリイミドなどの絶縁樹脂を用いてもよい。

[0031] また、セラミックケース 1 1 の底面 1 1 b と、絶縁板 4 の裏面 4 b を略同一平面にすることで、絶縁板 4 の裏面 4 b に配置されるベース板との密着性を良好に確保できる。

本実施例のパワー半導体装置 1 0 0 は、半導体チップ 2 が格納されるセラミックケース 1 1 に第 1 端子 7, 8 および第 2 端子 6 を配置することで、外

部との接続端子を半導体チップ2直上に配置することができる。また、セラミックケース11の第1キャビティ9および第2キャビティ10に半導体チップ2と導電板1を格納するため、パワー半導体装置100の占有面積を小さくすることができる。また、セラミックケース11に第1端子7, 8および第2端子6を埋設させ、この第1端子7, 8及び第2端子6を直接半導体チップ2や導電板1に電気的かつ機械的に接続している。そのため、パワー半導体装置100の厚さを数mm程度に薄くすることができる。これらにより、パワー半導体装置100の小型化を図ることができる。

[0032] パワー半導体装置1000(図19)では、外部との接続端子をケース68の外周に配置している。一方、パワー半導体装置100では、セラミックケース11の電極面11aの任意の箇所に、外部との接続に用いる第1端子7, 8および第2端子6の端部(端面7b, 8b, 6b)を設けることができる。これにより、パワー半導体装置100が小型化され、配線長を大幅に短縮することができる。またさらに、ボンディングワイヤ67(図19)に比べて、配線の断面積も大きくすることができる。その結果、配線のインダクタンスが低減され、また配線で発生するジュール熱を大幅に低減することができる。

[0033] つぎに、セラミックケース11の製造方法について、図2を用いて説明する。

図2は、第1実施例のキャビティおよび端子を有するセラミックケースの製造方法を示す図である。

[0034] セラミックケース11は、例えば、低温同時焼成セラミック(Low Temperature Cofired Ceramic)シート(以下、単にシートと称す)を積層し、所定の開口部を導電ペーストで充填し、焼結することで得られる。なお、低温同時焼成セラミックとは、ガラスとアルミナを同時に焼結して、焼結温度を1000℃以下の低温にしたセラミックのことである。

[0035] まず、複数枚(例えば4枚)のシート21~24に、開口面積の異なる第

1～第5開口部25～29を形成する（図2（a））。ここで、シート21とシート22に形成される第1開口部25は第1キャビティ9になり、シート23に形成される第2開口部26は第2キャビティ10になる。また、第3～第5開口部27～29は導電ペースト30が充填され、第1端子7、8および第2端子6になる。開口部25～29は、例えば、型による打ち抜きなどで形成することができる。

[0036] つぎに、第3～第5開口部27～29に銅ペーストや銀ペーストなどの導電ペースト30を充填する（図2（b））。これは印刷工程などを用いてもよい。

つぎに、シート21～24を積層する（図2（c））。

[0037] つぎに、積層されたシート21～24を焼結する（図2（d））。これにより、シート同士が固着すると同時に、導電ペースト30が焼結されて第1端子7、8および第2端子6が形成される。こうして第1端子7、8および第2端子6が埋設され、第1、第2キャビティ9、10を有するセラミックケース11が完成する。

[0038] このセラミックケース11の大きさや厚さは任意に決定できる。また、第1端子7、8および第2端子6は、シートの厚さと積層するシートの枚数を変更することにより、様々な形状を形成可能である。セラミックケース11内に水平方向に走る第1端子8の水平方向の厚さは、電流容量の点から、例えば、0.2mm～1mm程度にするとよい。

[0039] つぎに、第1実施例のパワー半導体装置100の変形例について説明する。

（第1変形例）

図3は、第1変形例であるパワー半導体装置の断面図である。

[0040] パワー半導体装置101のパワー半導体装置100との違いは、第1キャビティ9の深さが浅く、絶縁板4の裏面4bがセラミックケース11からわずかに突出している点である。わずかに（例えば、0.1mm程度）突出させることで、絶縁板4の裏面4bに配置されるベース板との密着性が高まり

、接触熱抵抗を小さくすることができる。このため、半導体チップ2からの放熱特性を改善することができる。

(第2変形例)

図4は、第2変形例であるパワー半導体装置の断面図である。

[0041] パワー半導体装置102のパワー半導体装置100との違いは、第2キャビティ10を形成しないで、第1キャビティ9を深くして1段のキャビティにした点である。キャビティを1段にすることにより、キャビティ形成用のシート枚数が少なく済むため、製造コストを低減することができる。

[0042] 1段の深い第1キャビティ9の内部に、半導体チップ2、導電板1および絶縁板4が格納されている。そのため、導電板1の主面1aと第2端子6の端面6aとの間に、半導体チップ2の厚み分に相当する大きな隙間Pができる。そこで、厚くした接合材12aを配置するか、もしくは導電ブロックなど別途配置すればよい。

(第3変形例)

図5は、第3変形例であるパワー半導体装置の断面図である。

[0043] パワー半導体装置103のパワー半導体装置100との違いは、第1キャビティ9内の絶縁板4に、さらに銅などの金属板5を追加した点である。すなわち、導電板1、絶縁板4および金属板5を、DCB(Direct Copper Bonding)基板18に置き換えることができる。金属板5を追加することにより、金属板5の底面に配置されるベース板との接合にハンダを用いることができるため、熱抵抗をさらに低減することができる。

<第2実施例>

図6～図9は、第2実施例のパワー半導体装置の製造工程を示す図である。

[0044] まず、導電板1の主面1aと、半導体チップ2の裏面電極2bとを導電性の接合材3で接合する。また、導電板1の主面1aと反対側の面1bに絶縁板4を接合する(図6(a))。また、図2で示した製造方法で、セラミックケース11を準備する(図6(b))。

[0045] つぎに、支持台40上にセラミックケース11を第1キャビティ9の開口部9aを上にして載置する。そして、第1、第2キャビティ9、10内に露出した第1端子7、8の端面7a、8aおよび第2端子6の端面6aの表面に、ハンダ板などの接合材12を載置する(図7)。

[0046] つぎに、図6(a)の半導体チップ2、導電板1、絶縁板4からなるユニットを裏返してセラミックケース11の第1、第2キャビティ9、10に嵌合する(図8)。この際、前述の隙間14が0.1mm~0.2mm程度になるようにする。また、この際、第2端子6の端面6aと、導電板1の主面1aを、接合材12を介して当接させる。さらに、第1端子7、8の端面7a、8aと、半導体チップ2のおもて面電極(図示を省略)を、接合材12を介してそれぞれ当接させる。続いて、上記構成部材の全体をリフロー炉13に入れて、脱泡雰囲気の中でリフロー処理し、各当接箇所を接合材12で接合する。

[0047] つぎに、上記ユニットとセラミックケース11の間の隙間14に、ディスペンサ16を用いて、封止材15を注入口17から流し込む(図9)。最後に、隙間14を埋めた封止材15を熱処理などにより硬化させて、図1に示すパワー半導体装置100が完成する。

[0048] 図10は、第2実施例のパワー半導体装置の封止材を注入する注入口を示す図である。この図は、セラミックケース11の底面11bからみた平面図である。

パワー半導体装置1000(図19)では、ジュール熱の発生が大きくなるため、半導体チップ66のおもて面電極に複数本のボンディングワイヤ67を配置していた。一方、本実施例のパワー半導体装置100では、第1端子7、8および第2端子6の断面積を大きくできるため、半導体チップ2のおもて面電極2aに1つの端子を設ければよく、組み立てを単純化することができる。このため、組立時間の短縮、歩留まりの改善、品質管理項目の削減などを図ることができ、パワー半導体装置100の低コスト化を実現できる。

<第3実施例>

図11は、第3実施例のパワー半導体装置の断面図である。

[0049] パワー半導体装置200のパワー半導体装置100との違いは、1つの導電板に2つの半導体チップ2が固定されている点である。

2つの半導体チップ2は、例えば、IGBTチップと還流ダイオード(FWD)チップである。IGBTチップのコレクタ電極とFWDチップのカソード電極は導電板1に電気的かつ機械的に接続されている。また、IGBTチップのエミッタ電極とFWDのアノード電極は、セラミックケース11に埋設された2本の第1端子7の一端にそれぞれ電気的かつ機械的に接続されている。そして、2本の第1端子7の他端を電気的に接続することにより、IGBTとFWDの逆並列回路を構成することができる。

<第4実施例>

図12は、第4実施例のパワー半導体装置の断面図である。

[0050] パワー半導体装置300は、2組の第1、第2キャビティ9、10を有するセラミックケース11と、それぞれの第1、第2キャビティ9、10に格納される上記のユニットを備える。ここでは第1、第2キャビティ9、10が2組の場合を示したが、これに限ることはない。また、図12では、一方の導電板1には1つの半導体チップ2、他方の導電板1には2つの半導体チップ2が固着した場合を示している。

[0051] 本実施例のように一つのセラミックケース11に複数組の第1、第2キャビティ9、10を設け、複数組のユニットを搭載することにより、複雑な回路構成のパワー半導体装置300を、コンパクトかつ安価に提供することができる。

<第5実施例>

図13は、第5実施例のパワー半導体装置の断面図である。

[0052] パワー半導体装置400は、2つのパワー半導体装置100のセラミックケース11をアタッチメント19で連結することで、2つのパワー半導体装置100が一体化されている。アタッチメント19の本体は絶縁体であるが

、第1端子7、8および第2端子6と電氣的に接続する導体19aが埋設されている。ここでは2つのパワー半導体装置100を一体化した例を示したが、一体化するパワー半導体装置100の数は任意である。これにより、系列数を増やすことなく、様々な定格のパワー半導体装置400が可能となる。

<第6実施例>

図14は、第6実施例のパワー半導体装置の断面図である。図1に示したパワー半導体装置100と同一の部材については同一の符号を付しており、以下では重複する記載を省略する。

[0053] パワー半導体装置500は、半導体チップ2と、配線基板32と、セラミックケース31とを備え、セラミックケース31および配線基板32で筐体を構成している。さらに、封止材15も備えている。

[0054] 配線基板32は、埋設された導電性の配線板33を有している。そして、配線板33の露出面33aに、半導体チップ2の裏面電極2bが電氣的かつ機械的に接続されている。

セラミックケース31は、セラミック20を備え、第1端子7、8および第2端子6が埋設されている。また、セラミックケース31は、凹形状である第2キャビティ10を有している。さらにセラミックケース31は、第2キャビティ10の開口部と反対側に位置する電極面31aを有する。

[0055] そして、第2キャビティ10には半導体チップ2が格納されている。そして、これらの間の隙間14には、封止材15が配置されている。

そして、第2キャビティ10に格納された半導体チップ2のおもて面電極2aと、セラミックケース31に埋設された第1端子7、8の一端（端面7a、8a）が、電氣的かつ機械的に接続されている。また、第1端子7、8の他端は、セラミックケース31の電極面31aから露出している。

[0056] また、配線板33の露出面33aと、セラミックケース31に埋設された第2端子6の一端（端面6a）が、電氣的かつ機械的に接続される。すなわち、第2端子6と、半導体チップ2の裏面電極が電氣的に接続される。また

、第2端子6の他端は、セラミックケース31の電極面31aから露出している。

[0057] 封止材15はセラミックケース31に配置された注入口17から注入され、全域の隙間14を埋めている。そして、セラミックケース31と配線基板32の固定にも、封止材15が用いられている。なお、セラミックケース31と配線基板32の固定には、封止材15とは異なる接着剤を用いても構わない。また、封止材15の注入口17は、配線基板32に設けてもよい。

[0058] 本実施形態のように、半導体チップ2の裏面電極2b側の配線に配線基板32を用いることにより、さらに高い電圧にも対応することができる。

つぎに、パワー半導体装置500の変形例について説明する。

(第4変形例)

図15は、第4変形例であるパワー半導体装置の断面図である。

[0059] パワー半導体装置501のパワー半導体装置500との違いは、セラミックケース31と配線基板32にダミー導電膜34を配置し、このダミー導電膜34の間をハンダなどの接合材12を介して接合した点である。

[0060] 本変形例においては、ダミー導電膜34の埋設工程は、第1端子7、8および第2端子6や配線板33の埋設工程と同時に行うことができ、また上記リフロー工程で接合材12を一括して形成できるため、追加の工程は必要無い。しかも、セラミックケース31と配線基板32の接合強度を高めることができるので、信頼性を向上させることができる。

(第5変形例)

図16は、第5変形例であるパワー半導体装置の断面図である。

[0061] パワー半導体装置502のパワー半導体装置500との違いは、セラミックケース31に凹部35を設け、配線基板32に凹部35に対応する凸部36を設け、それらを互いに嵌合しながらセラミックケース31と配線基板32を固定した点である。例えば、半導体チップ2を取り囲むように凹部35、凸部36を環状に設けることで、セラミックケース31と配線基板32が接触する界面37の長さを長くできる。その結果、界面37からの湿気や異

物の侵入を阻止する機能を強化することができる。また界面 37 での沿面放電を弱める効果もある。

<第 7 実施例>

図 17 は、第 7 実施例のパワー半導体装置の構成図である。図 17 (a) は平面図、図 17 (b) は図 17 (a) の X-X 線で切断した断面図である。図 17 (a) は図 17 (b) を矢印 A から見た平面図である。

[0062] パワー半導体装置 600 は、キャビティ 10 を有するセラミックケース 31 と、キャビティ 38 を有する配線基板 32 と、キャビティ 38 および第 2 キャビティ 10 に格納される半導体チップ 2 とを備える。配線基板 32 に埋設された配線板 33 は、キャビティ 38 の底面から露出面 33a が露出している。

<第 8 実施例>

図 18 は、第 8 実施例のパワー半導体装置の断面図である。

[0063] パワー半導体装置 700 のパワー半導体装置 500 との違いは、セラミックケース 31 に埋設され、セラミックケース 31 の電極面 31a と直交する側面 31c から突出させた第 2 端子 39 を配置した点である。そして第 2 端子 39 は、配線基板 32 の配線板 33 と、ハンダなどの接合材 12 を用いて電気的かつ機械的に接続されている。

[0064] 第 2 端子 39 をセラミックケース 31 の側面 31c から突出させることで、パワー半導体装置 700 が用いられる電力変換装置が組立易くなる場合がある。この第 2 端子 39 の厚み W は電流容量の観点から 1 mm 程度以上の厚さにするとよい。

[0065] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0066] 1 導電板
- 1 a 主面
- 1 b 主面と反対側の面
- 2 半導体チップ
- 2 a おもて面電極
- 2 b 裏面電極
- 3, 12, 12 a 接合材
- 4 絶縁板
- 4 b 裏面
- 5 金属板
- 6, 39 第2端子
- 6 a, 6 b, 7 a, 7 b, 8 a, 8 b 端面
- 7, 8 第1端子
- 9 第1キャビティ
- 9 a, 10 a 開口部
- 10 第2キャビティ
- 11, 31 セラミックケース
- 11 a, 31 a 電極面
- 11 b 底面
- 13 リフロー炉
- 14 隙間
- 15 封止材
- 16 ディスペンサ
- 17 注入口
- 18 DCB基板
- 19 アタッチメント
- 19 a 導体
- 20 セラミック

21～24 シート

25 第1開口部

26 第2開口部

27 第3開口部

28 第4開口部

29 第5開口部

30 導電ペースト

31c 側面

32 配線基板

33 配線板

33a 露出面

34 ダミー導電膜

35 凹部

36 凸部

37 界面

38 キャビティ

40 支持台

100, 101, 102, 103, 200, 300, 400, 500, 501, 502, 600, 700 パワー半導体装置

請求の範囲

[請求項1]

おもて面電極および裏面電極を有する半導体チップと、
主面に前記半導体チップの裏面電極が接続される導電板と、
前記導電板の前記主面と反対側の面に固定される絶縁板と、
埋設された第1端子および第2端子と、前記半導体チップ、前記導電板および前記絶縁板が格納されるキャビティと、前記キャビティの開口部と反対側に位置する電極面を有するセラミックケースと、
を備え、
前記第1端子の一端が前記半導体チップのおもて面電極と接続されるとき、他端が前記電極面から露出し、
前記第2端子の一端が前記導電板の前記主面に接続されるとき、他端が前記電極面から露出し、
前記セラミックケースおよび前記絶縁板で筐体を構成する半導体装置。

[請求項2]

前記キャビティが、前記導電板が格納される第1キャビティと、前記第1キャビティと繋がり前記半導体チップが格納され前記第1キャビティより開口部の小さな第2キャビティとから構成される請求項1記載の半導体装置。

[請求項3]

前記絶縁板の前記導電板が固定された面の反対側の面に、さらに金属板を有する請求項1記載の半導体装置。

[請求項4]

前記セラミックケースに複数の前記キャビティを有する請求項1記載の半導体装置。

[請求項5]

おもて面電極および裏面電極を有する半導体チップと、
埋設された導電性の配線板を有し、前記配線板の露出面に前記半導体チップの裏面電極が接続される配線基板と、
埋設された第1端子および第2端子と、前記半導体チップが格納されるキャビティと、前記キャビティの開口部と反対側に位置する電極面を有するセラミックケースと、

を備え、

前記第 1 端子の一端が前記半導体チップのおもて面電極と接続され
るとともに、他端が前記電極面から露出し、

前記第 2 端子の一端が前記配線板の露出面と接続されるとともに、
他端が前記電極面から露出し、

前記セラミックケースおよび前記配線基板で筐体を構成する半導体
装置。

[請求項6]

おもて面電極および裏面電極を有する半導体チップと、

埋設された導電性の配線板を有し、前記配線板の露出面に前記半導
体チップの裏面電極が接続される配線基板と、

埋設された第 1 端子および第 2 端子と、前記半導体チップが格納さ
れるキャビティと、前記キャビティの開口部と反対側に位置する電極
面を有するセラミックケースと、

を備え、

前記第 1 端子の一端が前記半導体チップのおもて面電極と接続され
るとともに、他端が前記電極面から露出し、

前記第 2 端子の一端が前記配線板の露出面と接続されるとともに、
他端が前記電極面と直交する面から突出し、

前記セラミックケースおよび前記配線基板で筐体を構成する半導体
装置。

[請求項7]

前記セラミックケースが、低温同時焼成セラミックで構成されてい
る請求項 1 記載の半導体装置。

[請求項8]

前記半導体チップと前記セラミックケースの間が封止材で埋められ
ている請求項 1 記載の半導体装置。

[請求項9]

前記封止材が、エポキシ樹脂である請求項 8 記載の半導体装置。

[請求項10]

前記第 1 端子および前記第 2 端子の厚さが、 $100\mu\text{m}$ 以上である
請求項 1 記載の半導体装置。

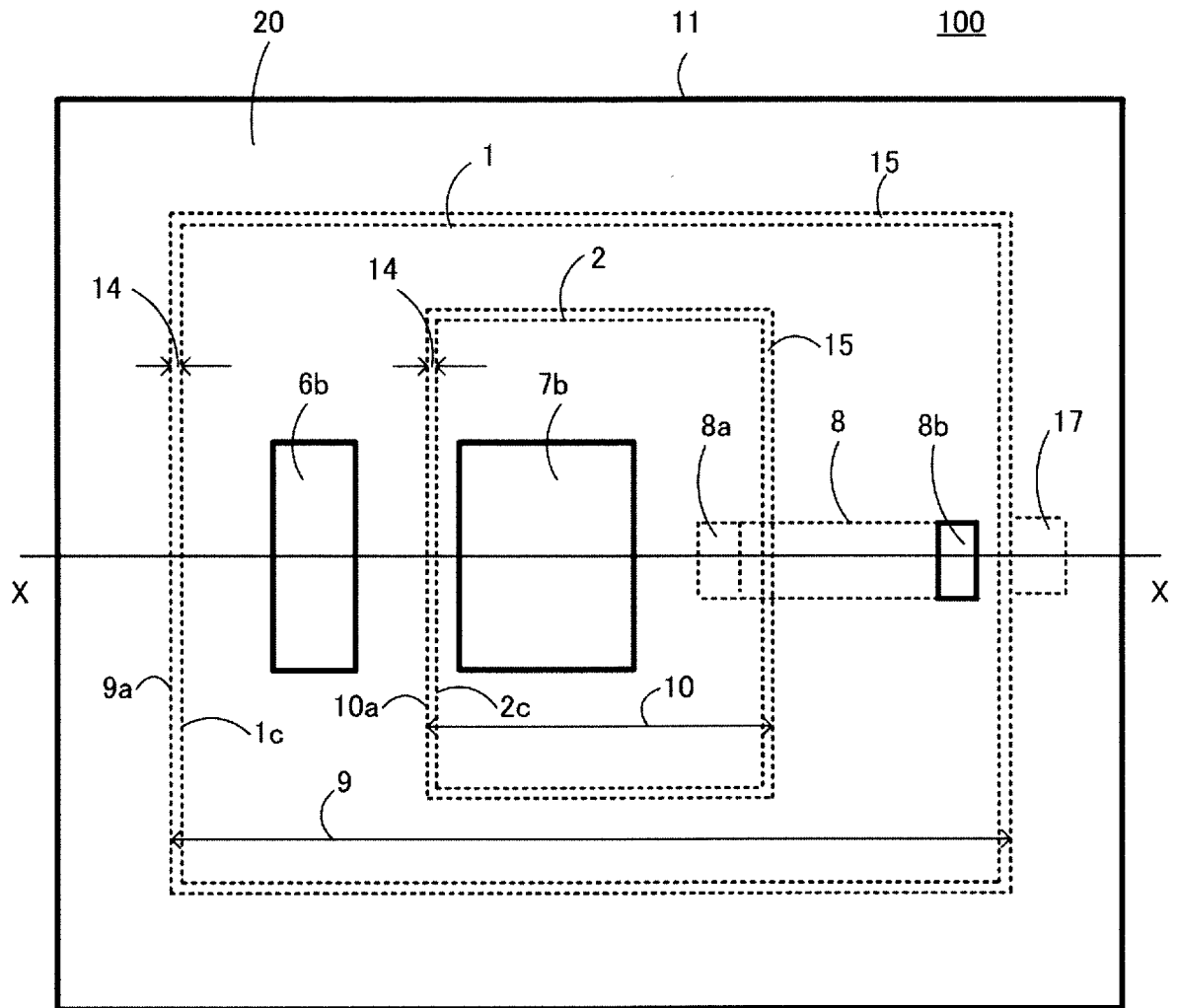
[請求項11]

前記セラミックケースと前記配線基板の接合面に凹凸を有する請求

項 5 記載の半導体装置。

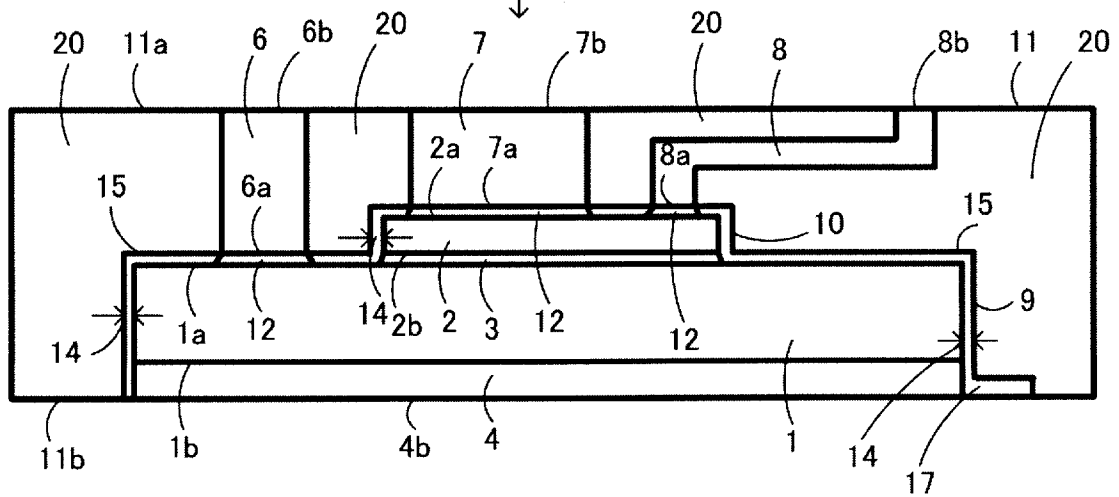
[請求項12] 前記配線板の露出面が、前記配線基板に備えられたキャビティの底面に配置されている請求項 5 記載の半導体装置。

[図1]



(a)

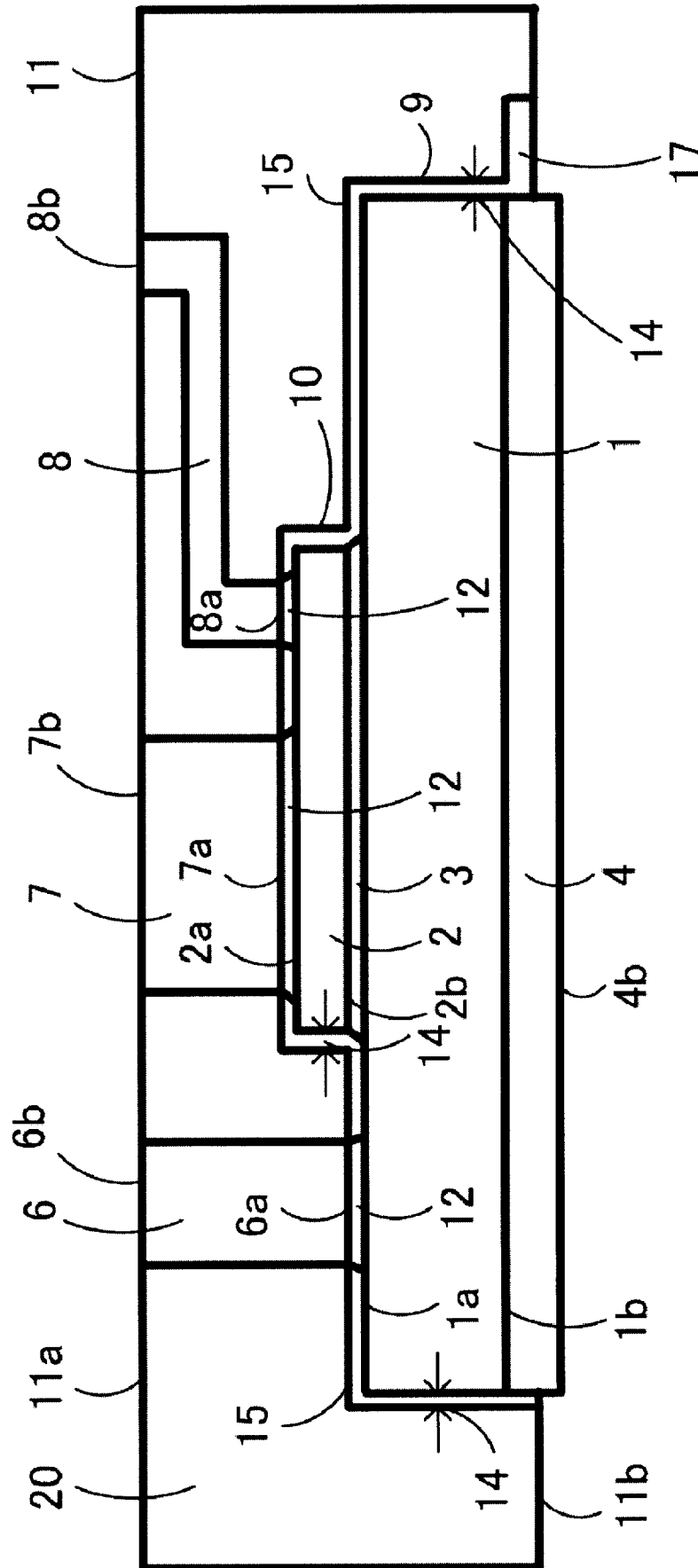
A



(b)

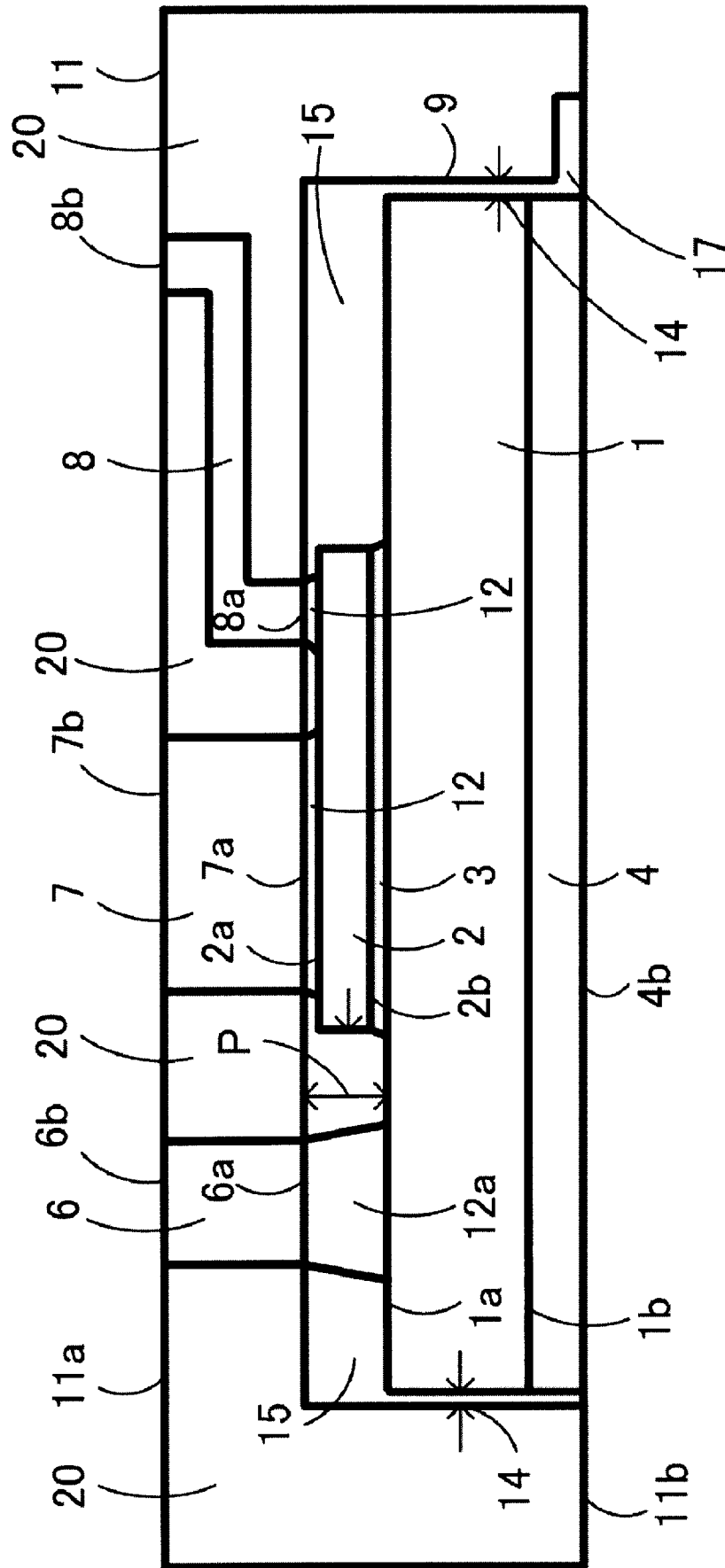
[図3]

101



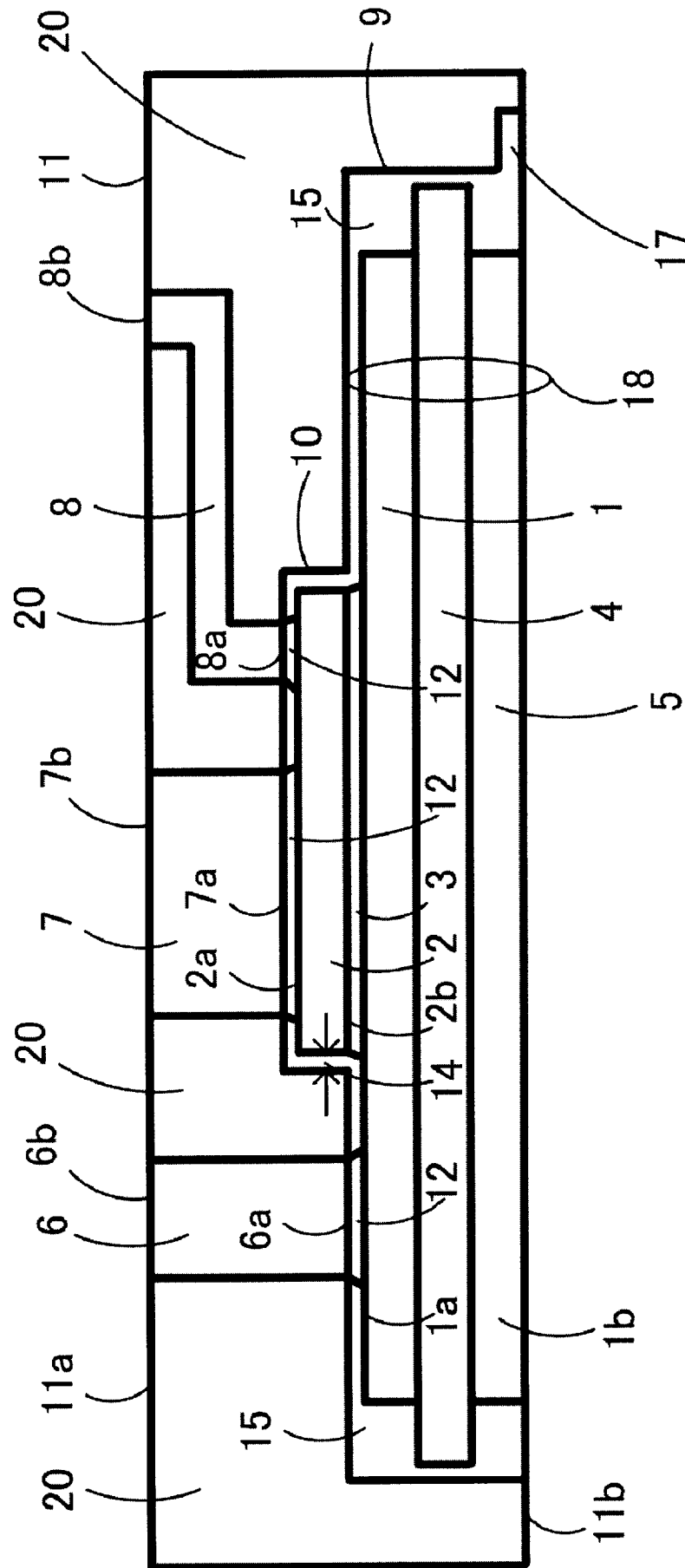
[図4]

102

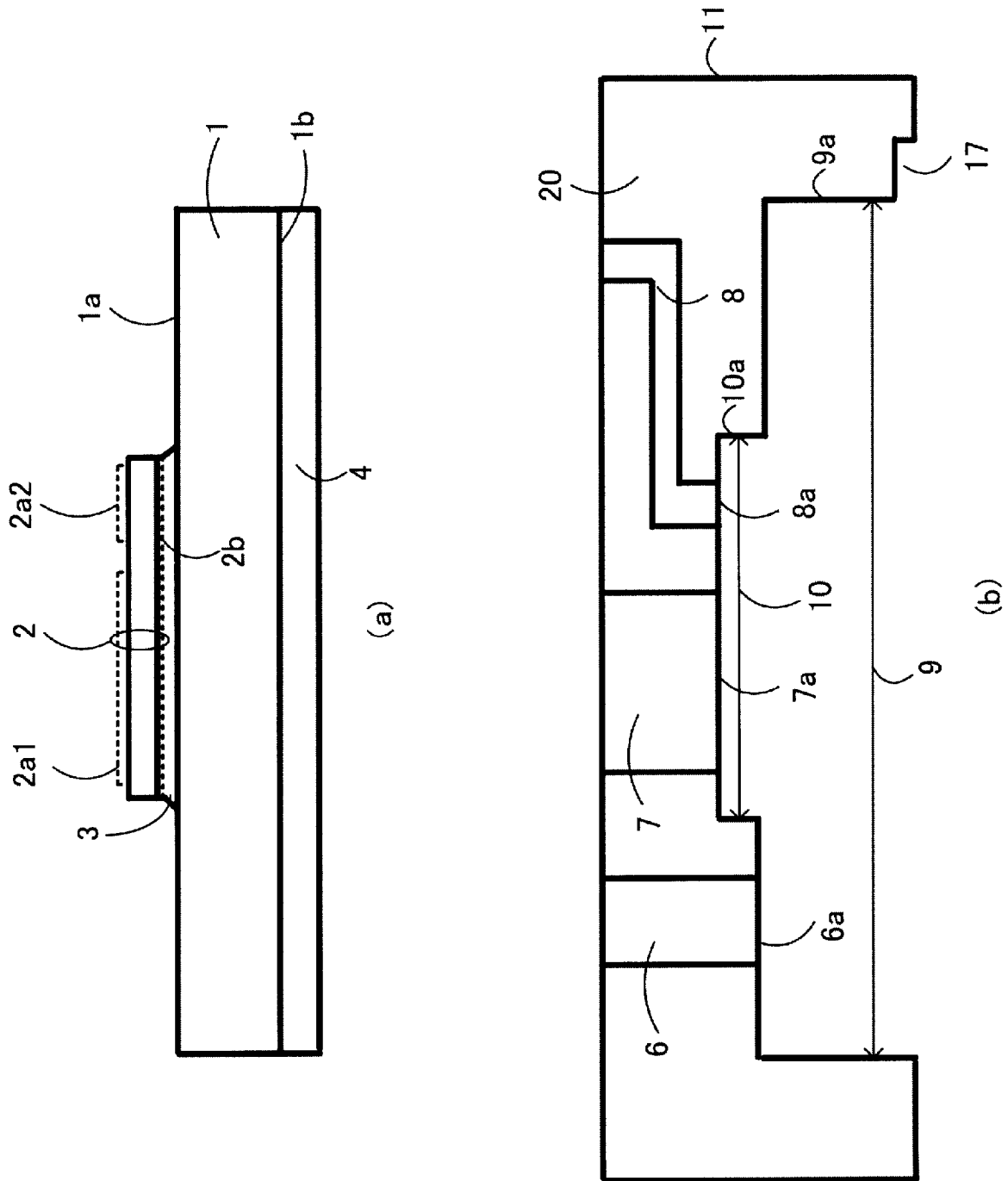


[図5]

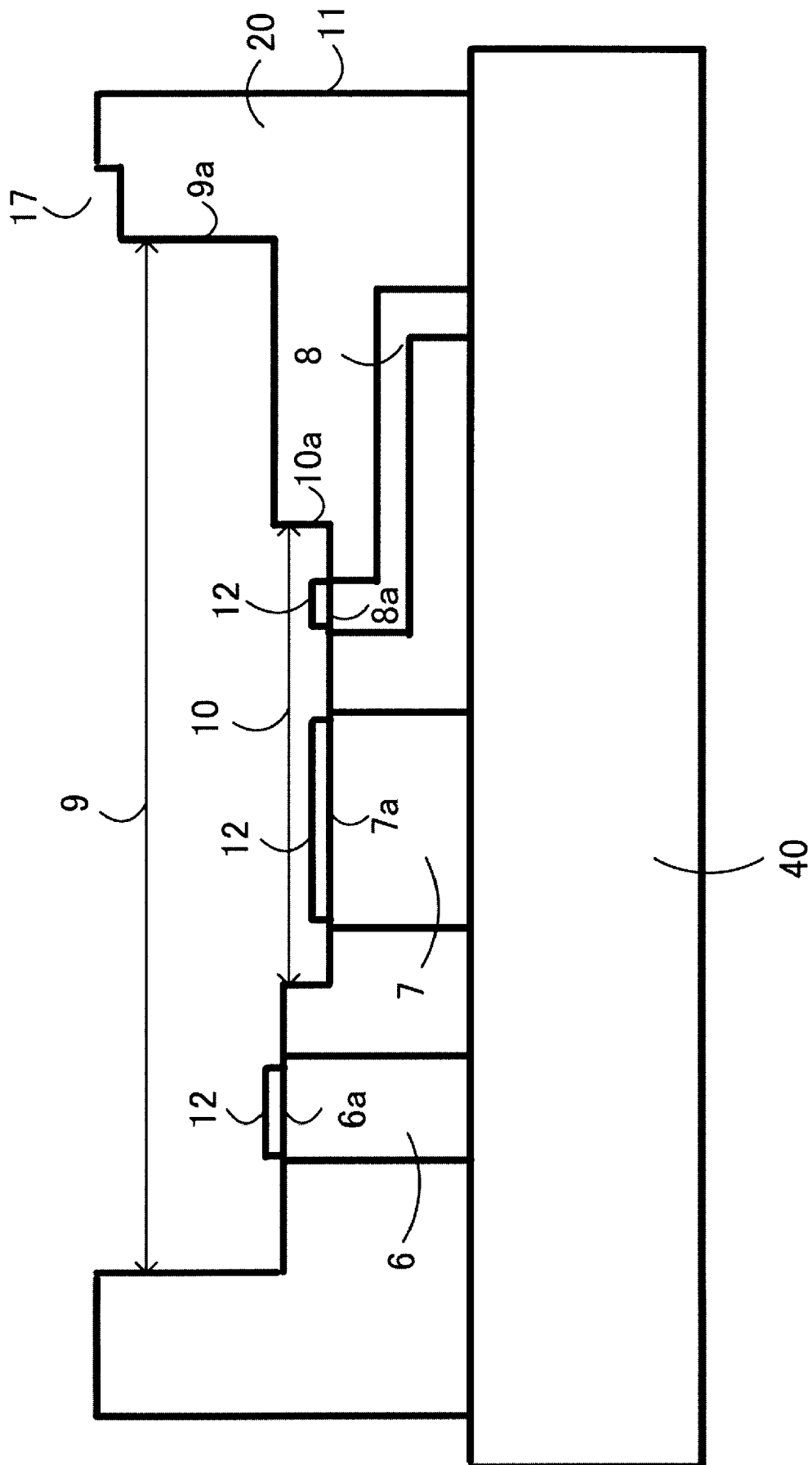
103



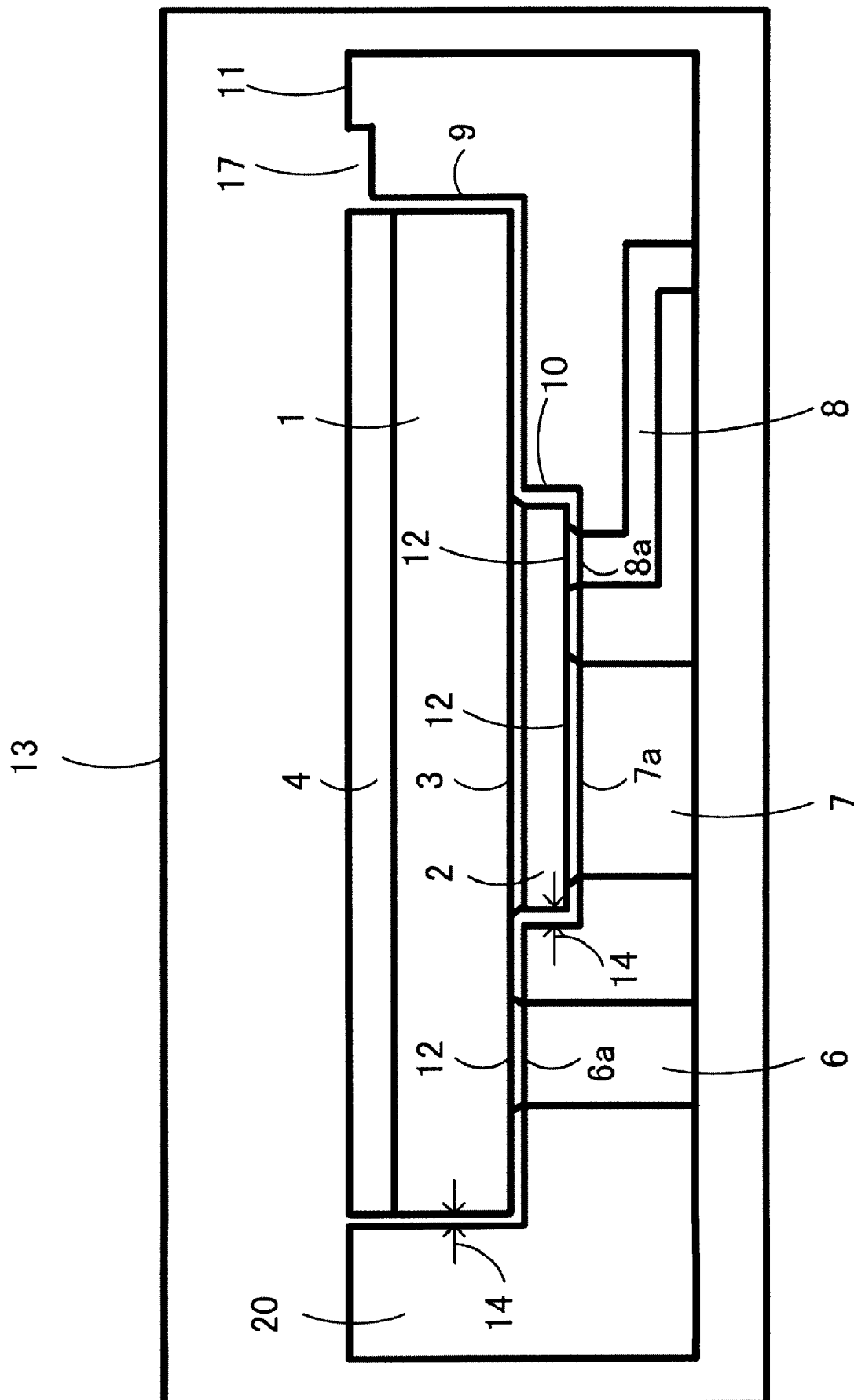
[図6]



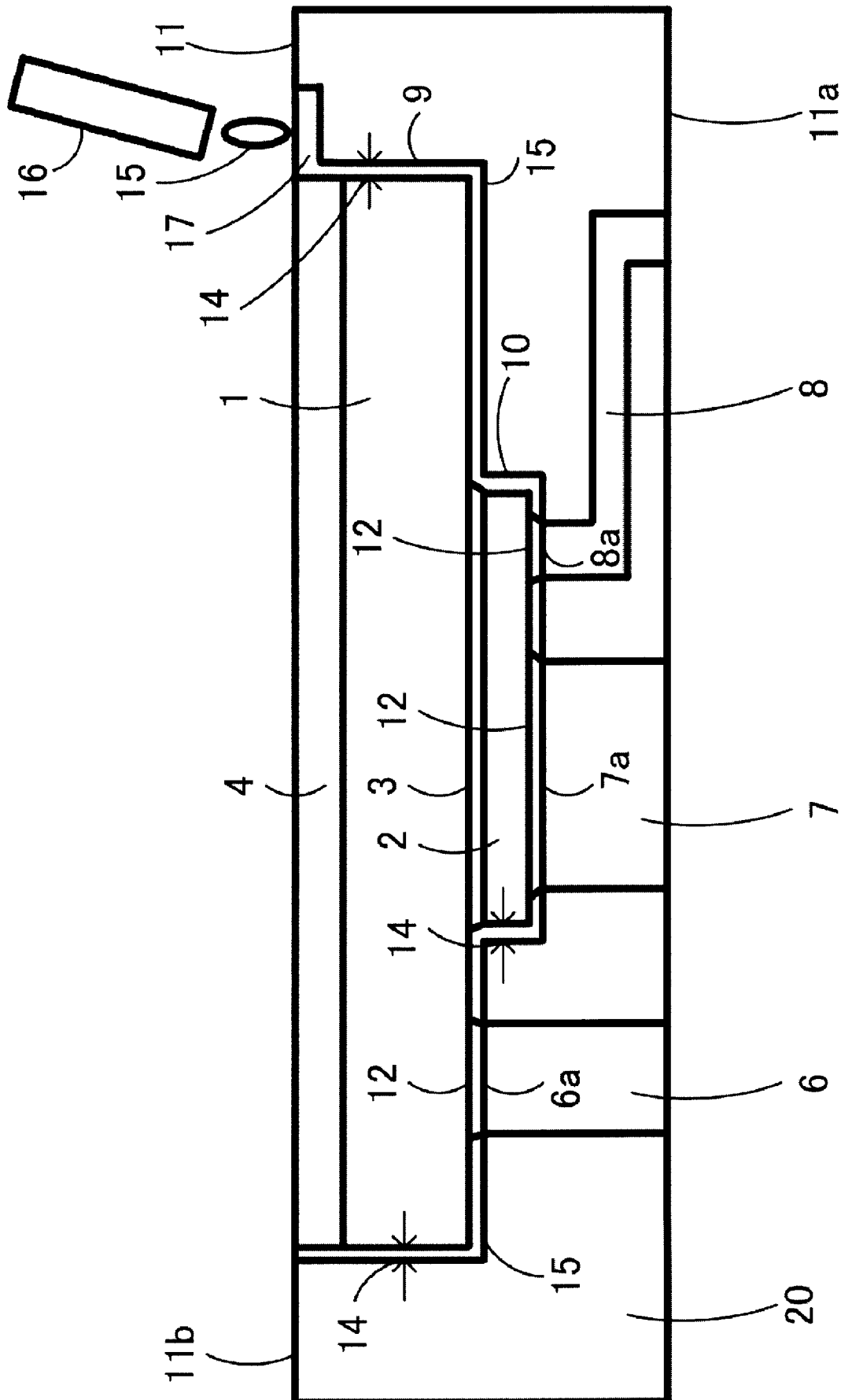
[図7]



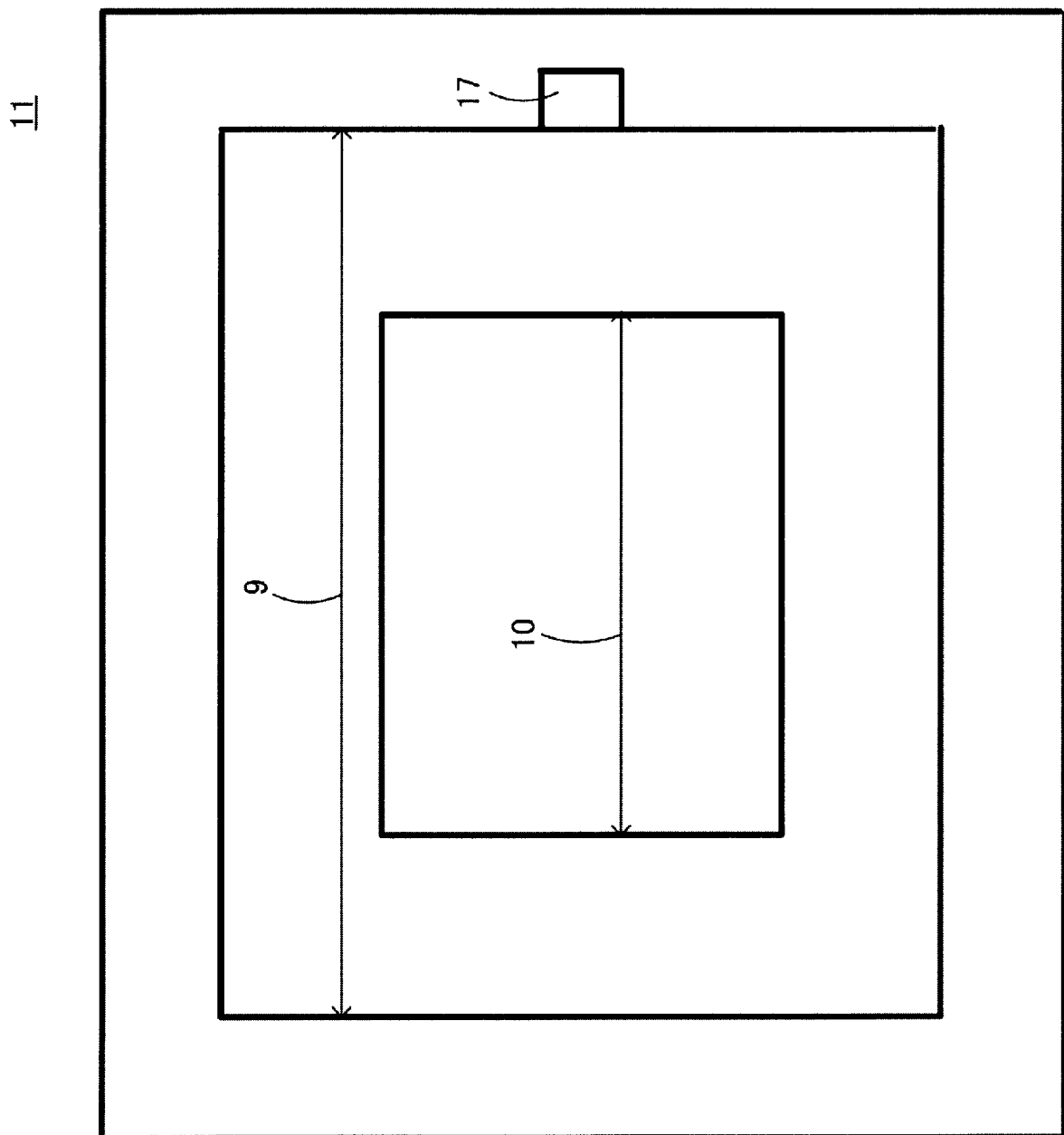
[図8]



[図9]

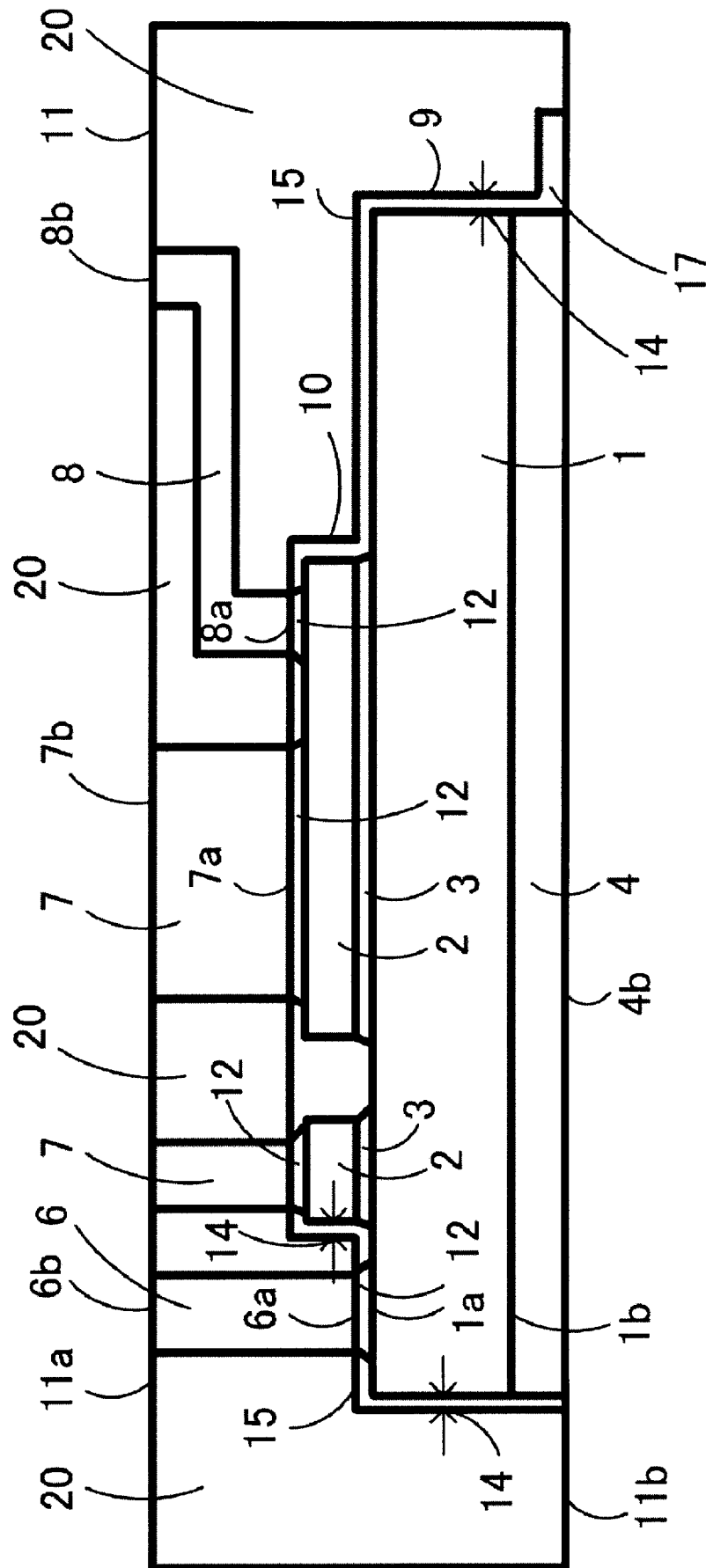


[図10]



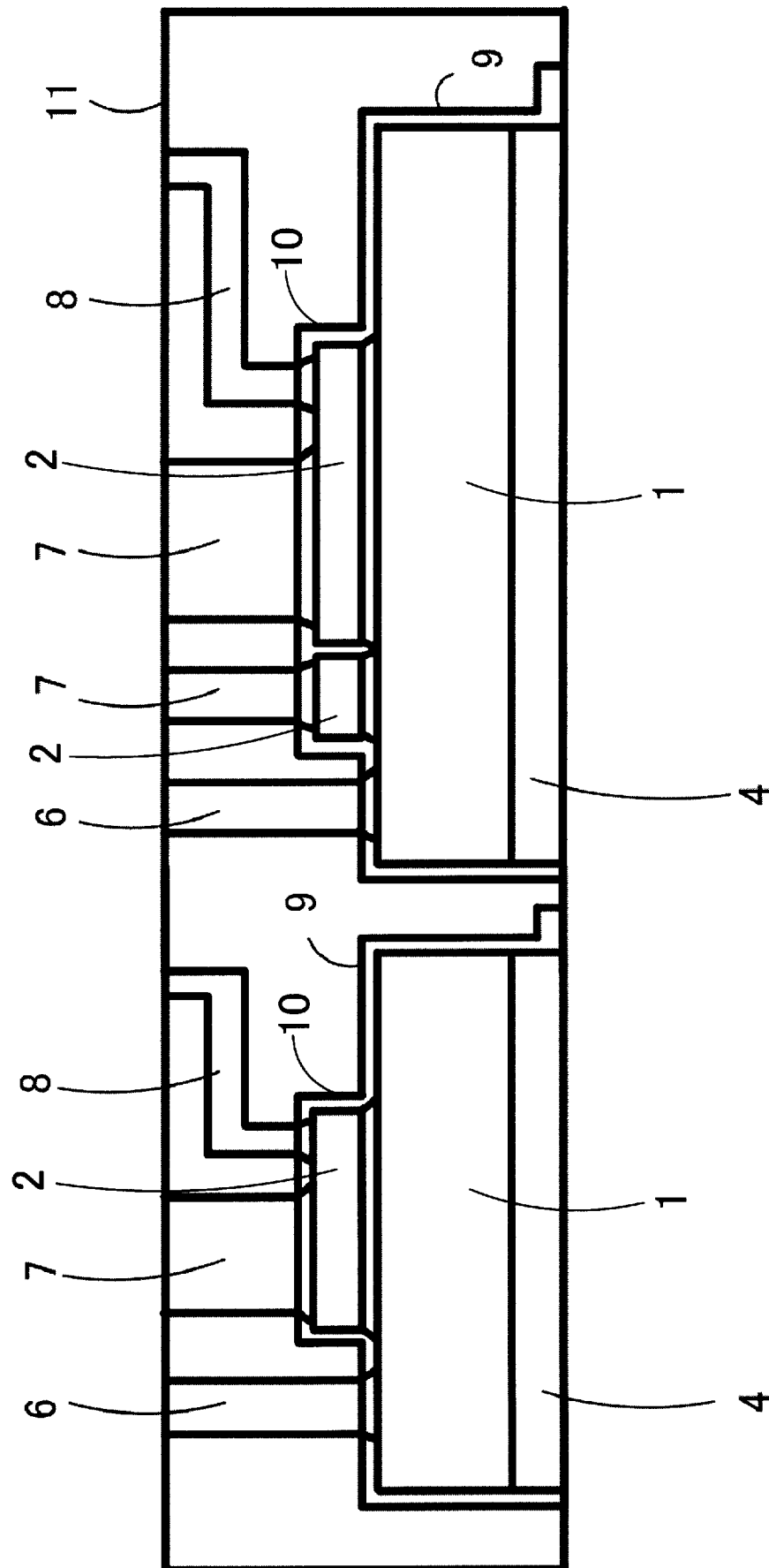
[図11]

200

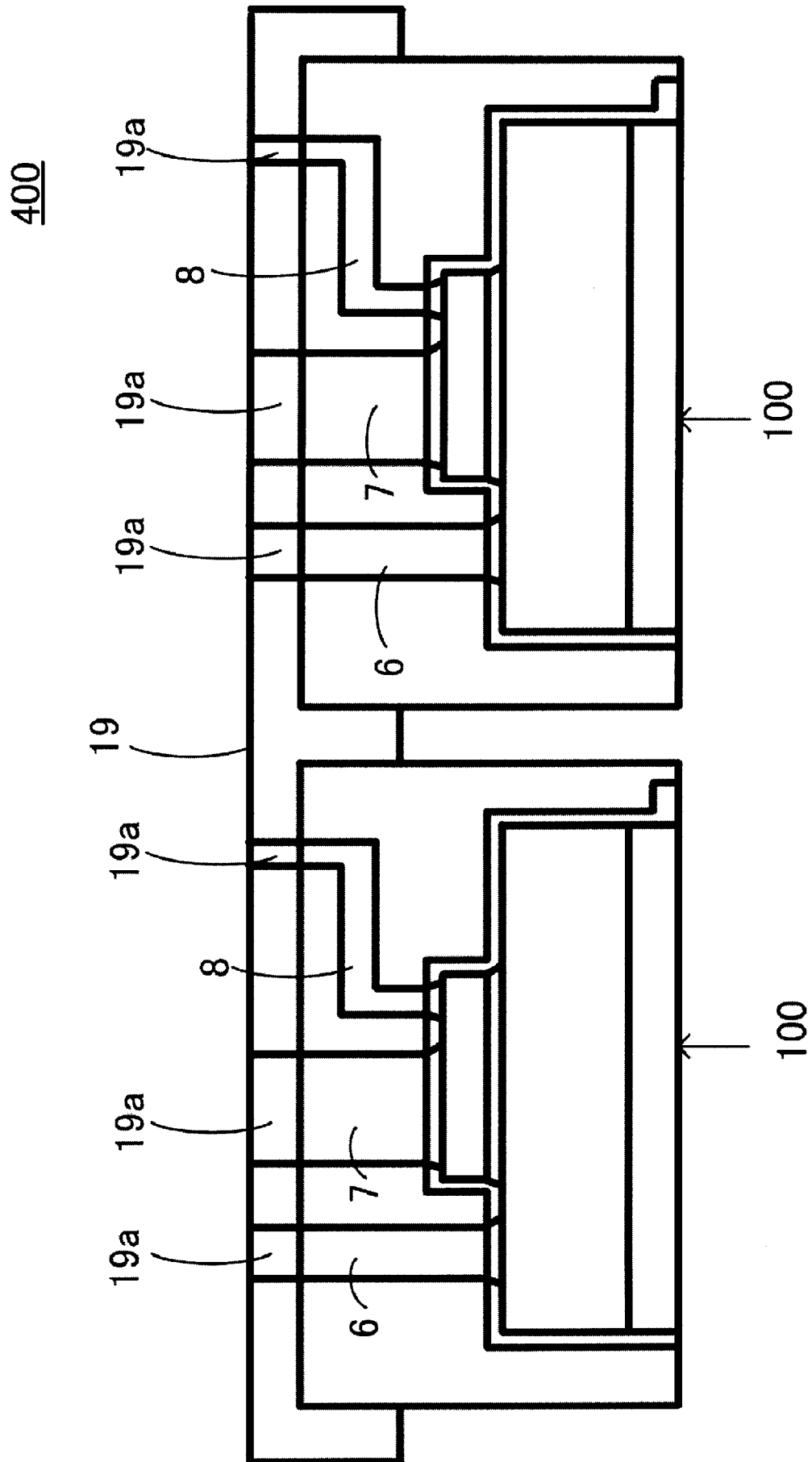


[図12]

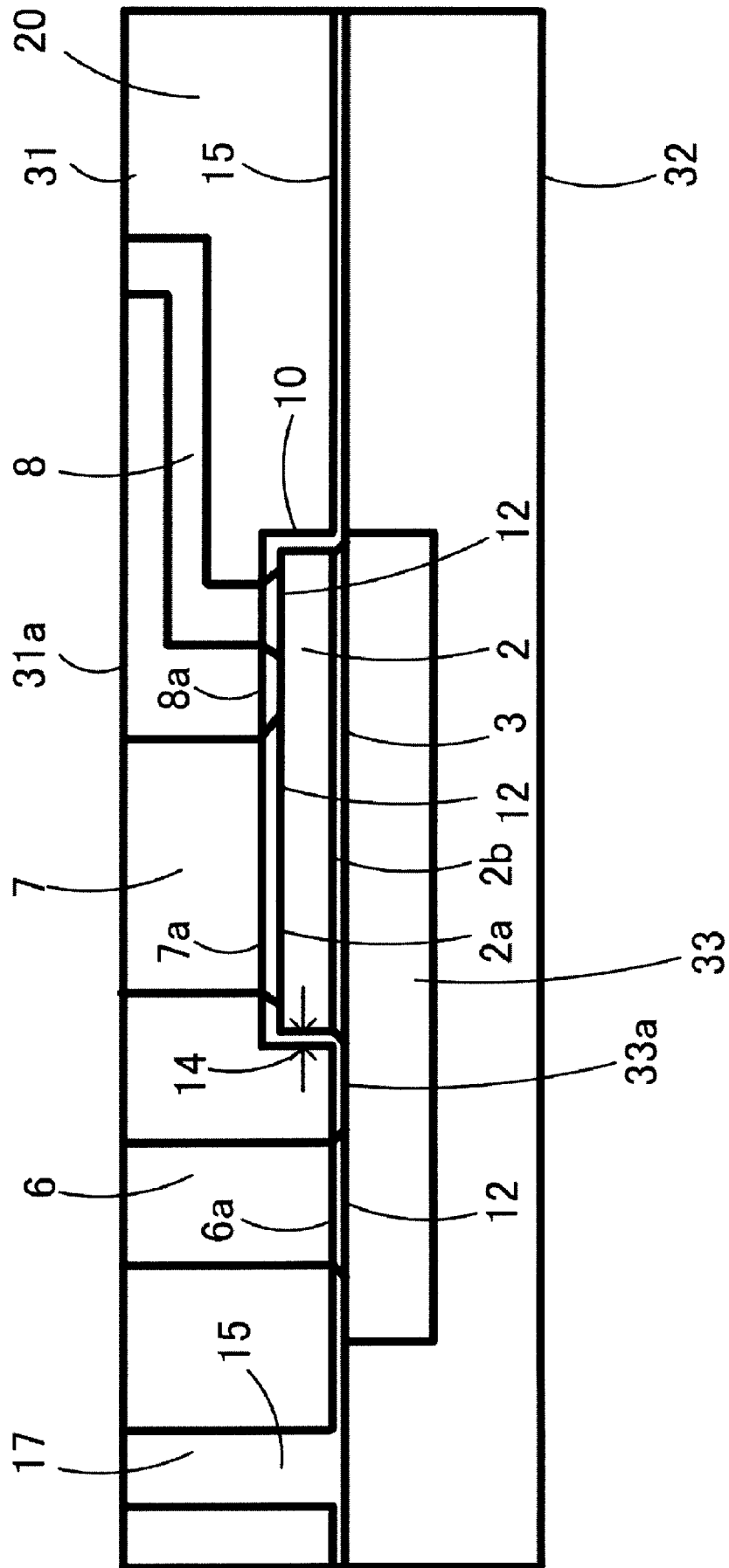
300



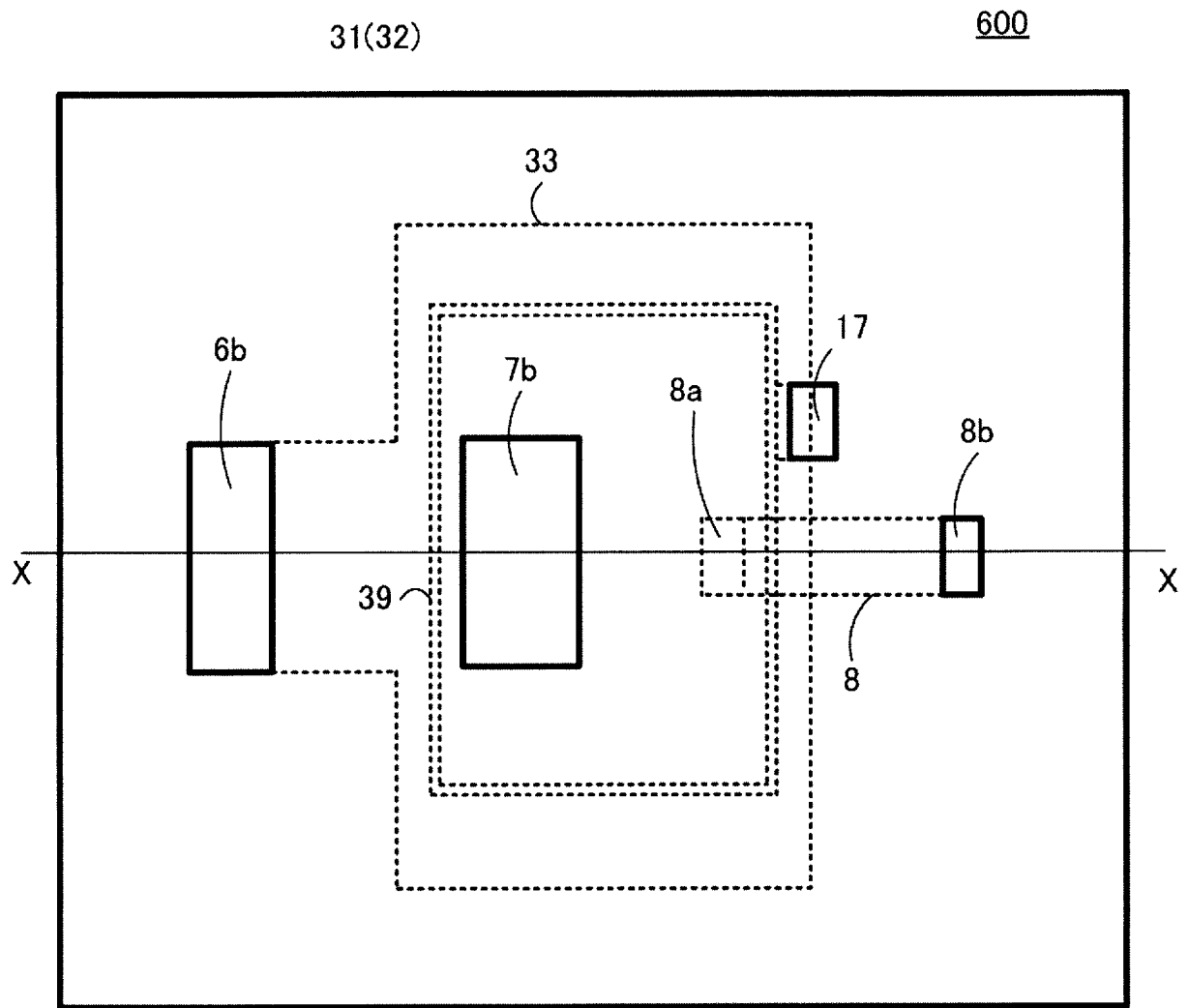
[図13]



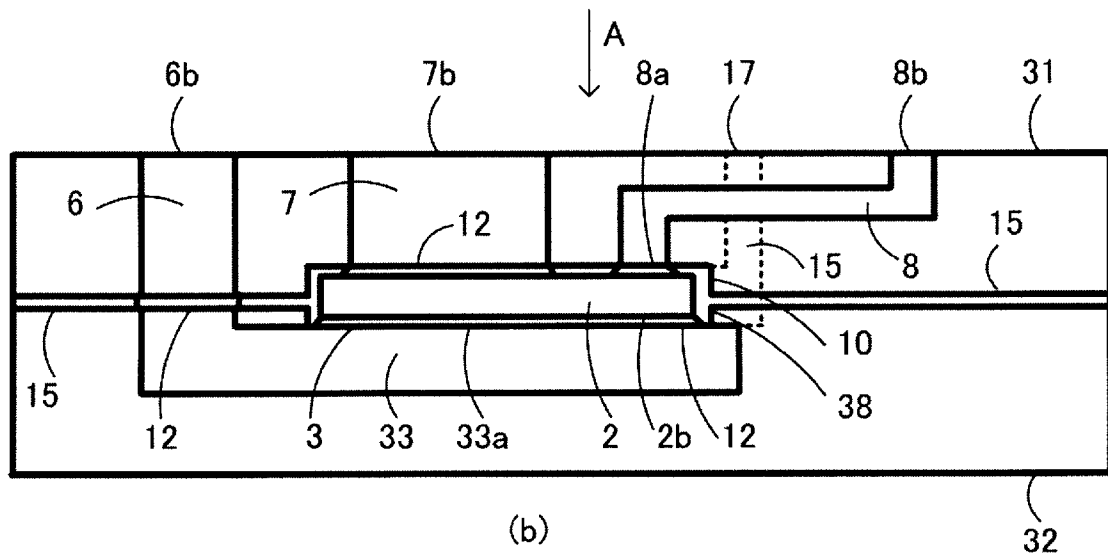
[図14]

500

[図17]

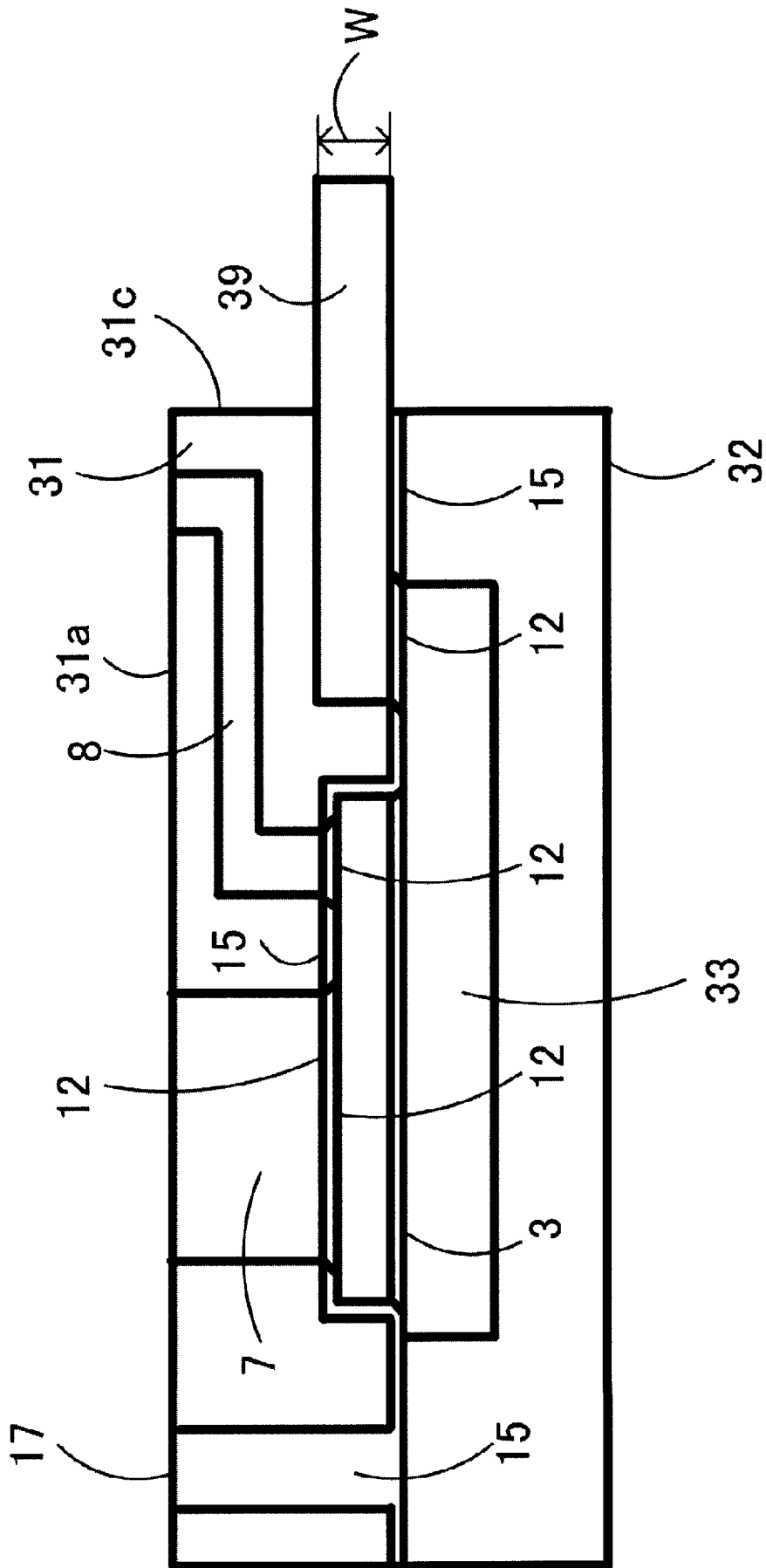


(a)



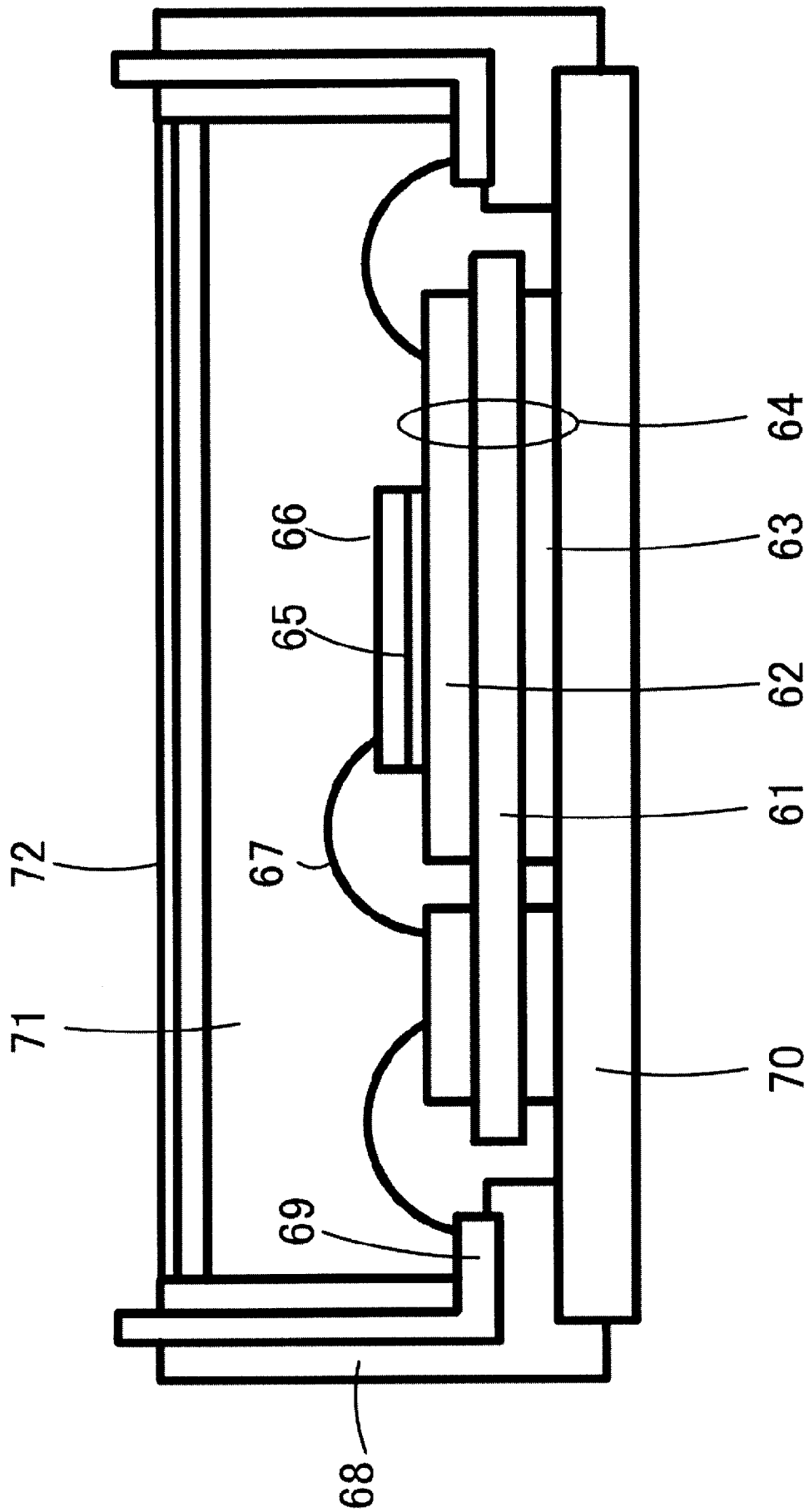
(b)

[図18]

700

[図19]

1000



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/068174

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01)i, H01L23/28(2006.01)i, H01L23/48(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H01L23/28, H01L23/48, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2012/132709 A1 (Rohm Co., Ltd.), 04 October 2012 (04.10.2012), paragraphs [0017] to [0021], [0055] to [0059]; fig. 1, 2, 17 to 21 (Family: none)	1-3, 10 4-9, 11-12
Y	JP 2002-329803 A (Mitsubishi Electric Corp.), 15 November 2002 (15.11.2002), paragraphs [0030] to [0031], [0042]; fig. 1 to 3 (Family: none)	4-6, 11-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 October, 2014 (09.10.14)

Date of mailing of the international search report
21 October, 2014 (21.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/068174

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-201517 A (Matsushita Electric Industrial Co., Ltd.), 09 August 2007 (09.08.2007), paragraphs [0026] to [0031]; fig. 1 & US 2004/0041256 A1 & EP 1394857 A2 & CN 1489201 A	7-9
Y	JP 5-243417 A (Toshiba Corp.), 21 September 1993 (21.09.1993), paragraphs [0021] to [0022], [0041]; fig. 6 & US 5703397 A & EP 714127 A2 & EP 544329 A2 & DE 69232912 D & KR 10-1997-0000218 B	11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01)i, H01L23/28(2006.01)i, H01L23/48(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12, H01L23/28, H01L23/48, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2012/132709 A1（ローム株式会社）2012.10.04, 段落【0017】－【0021】、【0055】－【0059】、図1, 2, 17－21（ファミリーなし）	1－3, 10 4－9, 11－12
Y	JP 2002-329803 A（三菱電機株式会社）2002.11.15, 段落【0030】－【0031】、【0042】、図1－3（ファミリーなし）	4－6, 11－12
Y	JP 2007-201517 A（松下電器産業株式会社）2007.08.09, 段落【0026】－【0031】、図1 & US 2004/0041256 A1 & EP 1394857 A2 & CN 1489201 A	7－9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 0 . 2 0 1 4

国際調査報告の発送日

2 1 . 1 0 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐久 聖子

5 D

3 1 4 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-243417 A (株式会社東芝) 1993. 09. 21, 段落【0021】－【0022】, 【0041】, 図 6 & US 5703397 A & EP 714127 A2 & EP 544329 A2 & DE 69232912 D & KR 10-1997-0000218 B	11