



(12) 发明专利申请

(10) 申请公布号 CN 116649012 A

(43) 申请公布日 2023. 08. 25

(21) 申请号 202180004153.1

(22) 申请日 2021.12.23

(85) PCT国际申请进入国家阶段日
2021.12.24

(86) PCT国际申请的申请数据
PCT/CN2021/140892 2021.12.23

(87) PCT国际申请的公布数据
W02023/115463 ZH 2023.06.29

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 云南创视界光电科技有限公司

(72) 发明人 魏俊波 杨盛际 卢鹏程 黄冠达
田元兰

(74) 专利代理机构 北京安信方达知识产权代理
有限公司 11262

专利代理师 曲鹏

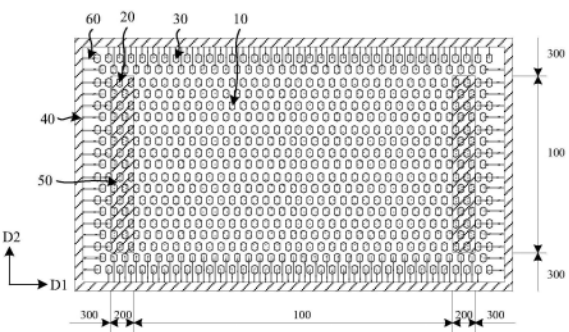
(51) Int.Cl.
H10K 59/88 (2023.01)
H10K 59/10 (2023.01)

(54) 发明名称

显示装置

(57) 摘要

一种显示装置,包括显示区域(100)和虚设区域(300);显示区域(100)包括多个像素驱动电路和多个显示发光器件(10),显示发光器件(10)至少包括显示阳极和显示阴极;虚设区域(300)包括阴极电压线40、至少一个虚设阳极连接线(60)和多个虚设发光器件(30),虚设发光器件(30)至少包括虚设阳极和虚设阴极;显示阴极和虚设阴极均与阴极电压线(40)连接,显示阳极与像素驱动电路连接,虚设阳极与虚设阳极连接线(40)连接,虚设阳极连接线(60)被配置为使虚设阳极与虚设阴极的电压差小于虚设发光器件(30)的起亮电压。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 29 日 (29.06.2023)



(10) 国际公布号
WO 2023/115463 A1

- (51) 国际专利分类号:
G09G 3/32 (2016.01) **H01L 27/32** (2006.01)
- (21) 国际申请号: PCT/CN2021/140892
- (22) 国际申请日: 2021 年 12 月 23 日 (23.12.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。 云南创视界光电科技有限公
司 (**YUNNAN INVENSIGHT OPTOELECTRONICS
TECHNOLOGY CO., LTD.**) [CN/CN]; 中国云南
省昆明市滇中新区空港大道 658 号,
Yunnan 650211 (CN)。
- (72) 发明人: 魏俊波 (**WEI, Junbo**); 中国北京市经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
杨盛际 (**YANG, Shengji**); 中国北京市经济技术

开发区地泽路 9 号, Beijing 100176 (CN)。 卢
鹏程 (**LU, Pengcheng**); 中国北京市经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。 黄冠达
(**HUANG, Kuanta**); 中国北京市经济技术开发
区地泽路 9 号, Beijing 100176 (CN)。 田元兰
(**TIAN, Yuanlan**); 中国北京市经济技术开发
区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司
(**AFD CHINA INTELLECTUAL PROPERTY LAW
OFFICE**); 中国北京市海淀区学清路 38 号 (B
座)21 层 2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: DISPLAY APPARATUS

(54) 发明名称: 显示装置

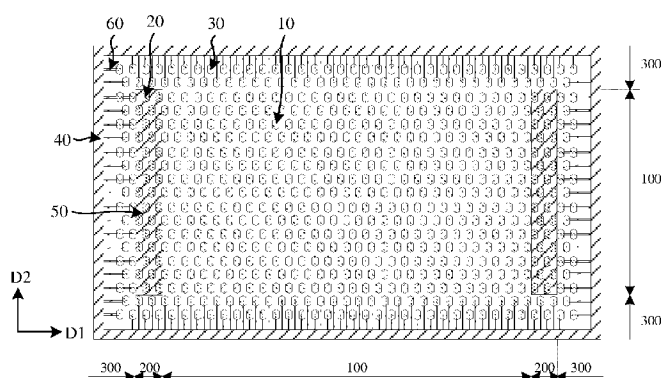


图8

(57) Abstract: A display apparatus, comprising a display area (100) and a dummy area (300); the display area (100) comprises a plurality of pixel driving circuits and a plurality of display light-emitting devices (10), and the display light-emitting devices (10) at least comprise a display anode and a display cathode; the dummy region (300) comprises a cathode voltage line (40), at least one dummy anode connection line (60) and a plurality of dummy light-emitting devices (30), the dummy light-emitting devices (30) at least comprise a dummy anode and a dummy cathode; the display cathode and the dummy cathode are both connected to the cathode voltage line (40), the display anode being connected to a pixel driving circuit, and the dummy anode is connected to a dummy anode connection line (60), the dummy anode connection line (60) being configured to cause the voltage differential between the dummy anode and the dummy cathode to be less than the turn-on voltage of the dummy light-emitting device (30).



PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种显示装置, 包括显示区域(100)和虚设区域(300); 显示区域(100)包括多个像素驱动电路和多个
显示发光器件(10), 显示发光器件(10)至少包括显示阳极和显示阴极; 虚设区域(300)包括阴极电压线(40)、至
少一个虚设阳极连接线(60)和多个虚设发光器件(30), 虚设发光器件(30)至少包括虚设阳极和虚设阴极; 显示
阴极和虚设阴极均与阴极电压线(40)连接, 显示阳极与像素驱动电路连接, 虚设阳极与虚设阳极连接线(60)连
接, 虚设阳极连接线(60)被配置为使虚设阳极与虚设阴极的电压差小于虚设发光器件(30)的起亮电压。

显示装置

技术领域

本公开实施例涉及但不限于显示技术领域，尤其涉及一种显示装置。

5

背景技术

微型有机发光二极管（Micro Organic Light-Emitting Diode，简称 Micro-OLED）是近年来发展起来的微型显示器，硅基 OLED 是其中的一种。硅基 OLED 不仅可以实现像素的有源寻址，并且可以实现在硅基衬底上制备像素驱动电路等结构，有利于减小系统体积，实现轻量化。硅基 OLED 采用成熟的互补金属氧化物半导体（Complementary Metal Oxide Semiconductor，简称 CMOS）集成电路工艺制备，具有体积小、高分辨率（Pixels Per Inch，简称 PPI）、高刷新率等优点，广泛应用在虚拟现实（Virtual Reality，简称 VR）或增强现实（Augmented Reality，简称 AR）近眼显示领域中。

15

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开实施例提供了一种显示装置，包括显示区域和位于所述显示区域至少一侧的虚设区域；所述显示区域包括多个像素驱动电路和多个显示发光器件，所述显示发光器件包括显示阳极、显示阴极以及设置在所述显示阳极和显示阴极之间的显示发光层；所述虚设区域包括阴极电压线、至少一个虚设阳极连接线和多个虚设发光器件，所述虚设发光器件包括虚设阳极、虚设阴极以及设置在所述虚设阳极和虚设阴极之间的虚设发光层；所述显示阴极和虚设阴极均与所述阴极电压线连接，所述显示阳极与所述像素驱动电路连接，所述虚设阳极与所述虚设阳极连接线连接，所述虚设阳极连接线被配置为使所述虚设阳极与虚设阴极的电压差小于所述虚设发光器件的起亮电压。

25

在示例性实施方式中，所述虚设阳极连接线与所述阴极电压线连接。

在示例性实施方式中，所述虚设阳极连接为沿着第一延伸方向延伸的条形状，多个虚设阳极连接沿着第二延伸方向依次设置，所述第一延伸方向是远离所述显示区域的方向，所述第二延伸方向是垂直于所述第一延伸方向的方向。

- 5 在示例性实施方式中，所述虚设阳极连接包括具有不同延伸长度的第一连接和第二连接，所述第一连接和第二连接沿着第二延伸方向交替设置。

- 10 在示例性实施方式中，所述显示装置还包括过渡区域，所述过渡区域位于所述显示区域和所述虚设区域之间，所述过渡区域包括过渡阳极连接和多个过渡发光器件，所述过渡发光器件包括过渡阳极、过渡阴极以及设置在所述过渡阳极和过渡阴极之间的过渡发光层，所述过渡阴极与所述阴极电压线连接，所述过渡阳极与所述过渡阳极连接连接，所述过渡阳极连接为沿着列方向延伸的整面金属层，所述过渡阳极连接被配置为使所述过渡阳极与过渡阴极的电压差小于所述过渡发光器件的起亮电压。

- 15 在示例性实施方式中，所述过渡阳极连接与所述阴极电压线连接。

在示例性实施方式中，所述过渡阳极连接的宽度大于所述阴极电压线的宽度。

在示例性实施方式中，所述过渡阳极连接的宽度大于所述虚设阳极连接的宽度。

- 20 在示例性实施方式中，所述过渡阳极连接的宽度大于所述过渡阳极的宽度。

在示例性实施方式中，所述过渡阳极连接的长度小于所述阴极电压线的延伸长度。

- 25 在示例性实施方式中，所述过渡阳极连接的长度大于所述虚设阳极连接的延伸长度。

在示例性实施方式中，所述虚设阳极连接的宽度小于所述阴极电压线的宽度。

在示例性实施方式中，所述虚设区域中虚设发光器件的数量与所述过渡

区域中过渡发光器件的数量不同。

在示例性实施方式中，所述虚设区域中虚设发光器件的数量大于所述过渡区域中过渡发光器件的数量。

在示例性实施方式中，至少一个虚设发光器件在显示装置平面上的正投影与
5 所述过渡阳极连接线在显示装置平面上的正投影至少部分交叠。

在示例性实施方式中，至少一个过渡发光器件在显示装置平面上的正投影与
所述虚设阳极连接线在显示装置平面上的正投影不交叠。

在示例性实施方式中，所述过渡阳极通过过渡阳极过孔与所述过渡阳极
连接线连接，所述虚设阳极通过虚设阳极过孔与所述虚设阳极连接线连接，
10 沿着行方向，所述虚设阳极过孔和所述过渡阳极过孔不在同一直线上。

在示例性实施方式中，在显示装置行方向的两侧，所述过渡区域和虚设
区域包括 3 个发光器件列，每个发光器件列包括沿着列方向依次设置的多个
虚设发光器件或者多个过渡发光器件。

在示例性实施方式中，在显示装置列方向的两侧，所述虚设区域包括
15 2 个发光器件行，每个发光器件行包括多个沿着行方向依次设置的多个虚设
发光器件。

在示例性实施方式中，在垂直于所述显示装置的平面上，所述显示装置
包括硅基底、设置在所述硅基底上的驱动电路层以及设置在所述驱动电路层
远离硅基底一侧的发光结构层；所述驱动电路层包括在所述硅基底上依次设
20 置的第一导电层、第二导电层、第三导电层、第四导电层、第五导电层、第
六导电层、第七导电层和第八导电层，所述阴极电压线设置在所述第八导电
层中。

在示例性实施方式中，所述过渡阳极连接线、虚设阳极连接线和阴极电
压线同层设置。

25 在示例性实施方式中，所述显示区域的驱动电路层包括多个重复单元，
至少一个重复单元包括多个像素驱动电路，至少一个像素驱动电路包括第一
晶体管、第二晶体管、第三晶体管和存储电容，所述第一晶体管的控制极与
扫描信号线连接，所述第一晶体管的第一极与数据信号线连接，所述第二晶

5 体管的控制极与参考信号线连接，所述第三晶体管的控制极与所述存储电容的第一电容极板连接，所述第三晶体管的第一极与第一电源线连接，所述存储电容的第二电容极板与阴极电压线连接；所述扫描信号线和参考信号线设置在所述第二导电层中，所述数据信号线设置在所述第三导电层中，所述第一电源线设置在所述第四导电层中。

在示例性实施方式中，在所述重复单元中，至少一个像素驱动电路的存储电容的第一电容极板设置在所述第五导电层中，存储电容的第二电容极板设置在所述第六导电层中。

10 在示例性实施方式中，在所述重复单元中，至少一个像素驱动电路的存储电容的第一电容极板设置在所述第七导电层中，存储电容的第二电容极板设置在所述第六导电层中。

在阅读并理解了附图和详细描述后，可以明白其它方面。

附图说明

15 附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开的技术方案的限制。附图中每个部件的形状和大小不反映真实比例，目的只是示意说明本公开内容。

图 1 为一种硅基 OLED 显示装置的结构示意图；

20 图 2 为一种硅基 OLED 显示装置的平面结构示意图；

图 3 为一种硅基 OLED 显示装置中显示区域的平面结构示意图；

图 4 为一种硅基 OLED 显示装置中显示区域的剖面结构示意图；

图 5 为本公开示例性实施例一种硅基 OLED 显示装置的结构示意图；

图 6 为一种像素驱动电路的等效电路图；

25 图 7 为一种像素驱动电路的工作时序图；

图 8 为本公开示例性实施例另一种硅基 OLED 显示装置的结构示意图；

图 9 为本公开示例性实施例一种驱动电路层的平面结构示意图；

图 10 为本公开实施例形成第一导电层图案后的示意图;

图 11 为本公开实施例形成第二绝缘层图案后的示意图;

图 12a 和图 12b 为本公开实施例形成第二导电层图案后的示意图;

图 13 为本公开实施例形成第三绝缘层图案后的示意图;

5 图 14a 和图 14b 为本公开实施例形成第三导电层图案后的示意图;

图 15 为本公开实施例形成第四绝缘层图案后的示意图;

图 16a 和图 16b 为本公开实施例形成第四导电层图案后的示意图;

图 17 为本公开实施例形成第五绝缘层图案后的示意图;

图 18a 和图 18b 为本公开实施例形成第五导电层图案后的示意图;

10 图 19 为本公开实施例形成第六绝缘层图案后的示意图;

图 20 为本公开实施例形成第六导电层图案后的示意图;

图 21 为本公开实施例形成第七绝缘层图案后的示意图;

图 22 为本公开实施例形成第七导电层图案后的示意图;

图 23 为本公开实施例形成第八绝缘层图案后的示意图;

15 图 24 为本公开实施例形成第八导电层图案后的示意图;

图 25 为本公开实施例形成阳极导电层图案后的示意图。

附图标记说明:

1—像素驱动装置;	2—漏光控制装置;	10—显示发光器件;
20—过渡发光器件;	22—第二过渡线;	23—第三过渡线;
24—第四过渡线;	25—第五过渡线;	26—第六过渡线;
27—第七过渡线;	30—虚设发光器件;	32—第二虚设线;
33—第三虚设线;	34—第四虚设线;	35—第五虚设线;
36—第六虚设线;	37—第七虚设线;	40—阴极电压线;
50—第二阳极连接线;	60—第三阳极连接线;	100—显示区域;
101—硅基底;	102—驱动电路层;	103—发光结构层;
104—第一封装层;	105—彩膜结构层;	106—第二封装层;

107—盖板层;	111—第一有源层;	121—第二有源层;
131—第三有源层;	112—第一栅电极;	122—第二栅电极;
132—第三栅电极;	200—过渡区域;	201—第二十一连接电极;
202—第二十二连接电极;	203—第二十三连接电极;	204—第二十四连接电极;
205—第二十五连接电极;	206—第二十六连接电极;	207—第二十七连接电极;
208—第二十八连接电极;	210—扫描信号线;	220—参考信号线;
230—参考连接线;	300—虚设区域;	301—第三十一连接电极;
302—第三十二连接电极;	303—第三十三连接电极;	304—第三十四连接电极;
305—第三十五连接电极;	306—第三十六连接电极;	307—第三十七连接电极;
308—第三十八连接电极;	310—数据信号线;	320—第二电源线;
401—第四十一连接电极;	402—第四十二连接电极;	403—第四十三连接电极;
410—第一电源线;	420—第三电源线;	501—第五十一连接电极;
502—第五十二连接电极;	510—第一极板;	601—第六十一连接电极;
602—第六十二连接电极;	610—第二极板;	701—第七十一连接电极;
702—第七十二连接电极;	710—第三极板;	801—第八十一连接电极;
810—阳极连接电极;	910—第一阳极;	920—第二阳极;
930—第三阳极。		

具体实施方式

- 为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图
- 5 对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。
- 10 为了保持本公开实施例的以下说明清楚且简明，本公开省略了部分已知功能和已知部件的详细说明。本公开实施例附图只涉及到与本公开实施例涉及到

的结构，其他结构可参考通常设计

本公开中的附图比例可以作为实际工艺中的参考，但不限于此。例如：沟道的宽长比、各个膜层的厚度和间距、各个信号线的宽度和间距，可以根据实际需要进行调整。显示装置中像素的个数和每个像素中子像素的个数也
5 不是限定为图中所示的数量，本公开中所描述的附图仅是结构示意图，本公开的一个方式不局限于附图所示的形状或数值等。

本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参
10 照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根
15 据情况可以适当地更换。

在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解
20 上述术语在本公开中的具体含义。

在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的
25 区域。

在本说明书中，为了区分晶体管除控制极之外的两极，直接描述了其中一极为第一极，另一极为第二极，其中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相

反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换。

5 在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

10 在本说明书中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

15 在本说明书中，所采用的“同层设置”是指两种（或两种以上）结构通过同一次图案化工艺得以图案化而形成的结构，它们的材料可以相同或不同。例如，形成同层设置的多种结构的前驱体的材料是相同的，最终形成的材料可以相同或不同。

20 本说明书中三角形、矩形、梯形、五边形或六边形等并非严格意义上的，可以是近似三角形、矩形、梯形、五边形或六边形等，可以存在公差导致的一些小变形，可以存在导角、弧边以及变形等。

本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

25 图1为一种硅基OLED显示装置的结构示意图。如图1所示，硅基OLED显示装置可以包括时序控制器、数据信号驱动器、扫描信号驱动器和像素阵列，像素阵列可以包括多个扫描信号线（S1到Sm）、多个数据信号线（D1到Dn）和多个子像素Pxij。在示例性实施方式中，时序控制器可以将适合于数据信号驱动器的规格的灰度值和控制信号提供到数据信号驱动器，可以将

适合于扫描信号驱动器的规格的时钟信号、扫描起始信号等提供到扫描信号驱动器。数据信号驱动器可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据信号线 D1、D2、D3、.....和 Dn 的数据电压。例如，数据信号驱动器可以利用时钟信号对灰度值进行采样，并且以子像素行为单位

5 将与灰度值对应的数据电压施加到数据信号线 D1 至 Dn，n 可以是自然数。扫描信号驱动器可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线 S1、S2、S3、.....和 Sm 的扫描信号。例如，扫描信号驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线 S1 至 Sm。例如，扫描信号驱动器可以被构造为移位寄存器的形式，并且可以

10 以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号，m 可以是自然数。子像素阵列可以包括多个像素子 PXij。每个像素子 PXij 可以连接到对应的数据信号线 and 对应的扫描信号线，i 和 j 可以是自然数。子像素 PXij 可以指其中晶体管连接到第 i 扫描信号线且连接到第 j 数据信号线的子像素。

15 图 2 为一种硅基 OLED 显示装置的平面结构示意图。如图 2 所示，在平行于硅基 OLED 显示装置平面上，硅基 OLED 显示装置可以包括显示区域 100 和位于显示区域 100 外侧的虚设区域 300。在示例性实施方式中，显示区域 100 是进行图像显示的有效区域 (AA)，可以包括组成像素阵列的多个子像素，子像素可以包括像素驱动电路和显示发光器件，多个子像素被配置为

20 显示动态图片或静止图像。在示例性实施方式中，虚设区域 300 位于显示区域 100 的外围，可以包括多个虚设发光器件，多个虚设发光器件被配置为呈现显示发光器件的形貌，但不进行图像显示。

在示例性实施方式中，硅基 OLED 显示装置还可以包括过渡区域 200，过渡区域 200 可以位于显示区域 100 与虚设区域 300 之间，即过渡区域 200

25 位于显示区域 100 的外围，虚设区域 300 位于过渡区域 200 的外围。在示例性实施方式中，过渡区域 200 可以包括多个过渡发光器件，多个过渡发光器件被配置为呈现显示发光器件的形貌，但不进行图像显示。

在示例性实施方式中，虚设区域 300 可以包括相应的信号线，信号线被配置为向显示区域传输所需的信号。过渡区域 200 可以包括相应的传感器件，

传感器件被配置为感测相应温度、亮度等参数，本公开在此不做限定。

图 3 为一种硅基 OLED 显示装置中显示区域的平面结构示意图。如图 3 所示，显示区域可以包括以矩阵方式排布的多个像素单元 P，多个像素单元 P 的至少一个包括出射第一颜色光线的的第一子像素 P1、出射第二颜色光线的第二子像素 P2 和出射第三颜色光线的第三子像素 P3，第一子像素 P1、第二子像素 P2 和第三子像素 P3 均包括像素驱动电路和发光器件。子像素中的像素驱动电路分别与扫描信号线和数据信号线连接，像素驱动电路被配置为在扫描信号线的控制下，接收数据信号线传输的数据电压，向显示发光器件输出相应的电流。子像素中的显示发光器件分别与所在子像素的像素驱动电路连接，显示发光器件被配置为响应所在子像素的像素驱动电路输出的电流发出相应亮度的光。

在示例性实施方式中，第一子像素 P1 可以是出射红色（R）光线的红色子像素、第二子像素 P2 可以是出射蓝色（B）光线的蓝色子像素，第三子像素 P3 可以是出射绿色（G）光线的绿色子像素。在示例性实施方式中，子像素的形状可以是三角形、正方形、矩形、菱形、梯形、平行四边形、五边形、六边形和其它多边形中的任意一种或多种，可以采用水平并列、竖直并列、X 形、十字形、品字形、正方形、钻石形或者 delta 等方式排列，本公开在此不做限定。

在示例性实施方式中，像素单元可以包括四个子像素，本公开在此不做限定。

图 4 为一种硅基 OLED 显示装置中显示区域的剖面结构示意图，示意了一种采用白光+彩膜方式实现全彩的结构。如图 3 所示，硅基 OLED 显示装置可以包括：硅基底 101，设置在硅基底 101 上的驱动电路层 102，设置在驱动电路层 102 远离硅基底 101 一侧的发光结构层 103，设置在发光结构层 103 远离硅基底 101 一侧的第一封装层 104，设置在第一封装层 104 远离硅基底 101 一侧的彩膜结构层 105，设置在彩膜结构层 105 远离硅基底 101 一侧的第二封装层 106，以及设置在第二封装层 106 远离硅基底 101 一侧的盖板层 107。在一些可能的实现方式中，硅基 OLED 显示装置可以包括其它膜层，本公开在此不做限定。

在示例性实施方式中,硅基底 101 可以为体硅基底或者绝缘层上硅(SOI, Silicon-On-Insulator)基底。驱动电路层 102 可以通过硅半导体工艺(例如 CMOS 工艺)制备在硅基底 101 上,驱动电路层 102 可以包括多个电路单元,电路单元可以至少包括像素驱动电路,像素驱动电路分别与扫描信号线和数据信号线连接,像素驱动电路可以包括多个晶体管和存储电容,图 4 中仅以一个晶体管作为示例。晶体管可以包括控制极 G、第一极 S 和第二极 D,控制极 G、第一极 S 和第二极 D 可以通过钨金属填充的过孔(即钨过孔,W-via)分别与相应的连接电极连接,并可以通过连接电极与其它电学结构(如走线等)进行连接。

在示例性实施方式中,发光结构层 103 可以包括多个发光器件,发光器件可以至少包括阳极、有机发光层和阴极,阳极可以通过连接电极与晶体管的第二极 D 连接,有机发光层与阳极连接,阴极与有机发光层连接,阴极与阴极电压线连接,有机发光层在阳极和阴极驱动下出射光线。在示例性实施方式中,有机发光层可以包括发光层(简称 EML),以及如下任意一种多种:空穴注入层(HIL)、空穴传输层(HTL)、电子阻挡层(EBL)、空穴阻挡层(HBL)、电子传输层(ETL)和电子注入层(EIL)。在示例性实施方式中,对于出射白光的发光器件,所有子像素的有机发光层可以是连接在一起的共通层。

在示例性实施方式中,第一封装层 104 和第二封装层 106 可以采用薄膜封装(Thin Film Encapsulation,简称 TFE)方式,可以保证外界水汽无法进入发光结构层,盖板层 107 可以采用玻璃,或者采用具可挠特性的塑胶类无色聚酰亚胺等。

在示例性实施方式中,彩膜结构层 105 可以包括黑矩阵(BM)和彩色滤光片(CF),彩色滤光片的位置可以与发光器件的位置相对应,黑矩阵可以位于相邻的彩色滤光片之间,彩色滤光片被配置为将发光器件出射的白光过滤成红色(R)光、绿色(G)光和蓝色(B)光,形成红色子像素、绿色子像素和蓝色子像素。

图 5 为本公开示例性实施例一种硅基 OLED 显示装置的结构示意图。如图 5 所示,在示例性实施方式中,显示装置可以包括像素驱动装置 1 和漏光

控制装置 2，像素驱动装置 1 可以包括至少一个像素驱动电路，像素驱动电路被配置为在扫描信号线的控制下，接收数据信号线传输的数据电压，向显示区域 100 的显示发光器件 XL 输出相应的电流，以控制显示发光器件 XL 发光。像素驱动装置 2 可以包括至少一个阳极控制电路，阳极控制电路被配置为向过渡区域 200 的过渡发光器件 GL 和/或虚设区域 300 的虚设发光器件 DL 输出相应的电压，以控制过渡区域 200 的过渡发光器件 GL 和/或虚设区域 300 的虚设发光器件 DL 不发光。

在示例性实施方式中，位于显示区域 100 的显示发光器件 XL 可以包括第一阳极（显示阳极）、第一发光层（显示发光层）和第一阴极（显示阴极），第一阳极与像素驱动电路的输出端连接，第一阴极与阴极电压线 VSS 连接，第一发光层位于第一阳极和第一阴极之间，显示发光器件 XL 被配置为在像素驱动电路的控制下发光。

在示例性实施方式中，位于过渡区域 200 的过渡发光器件 GL 可以包括第二阳极（过渡阳极）、第二发光层（过渡发光层）和第二阴极（过渡阴极），第二阳极与阳极控制电路连接，第二阴极与阴极电压线 VSS 连接，第二发光层位于第二阳极和第二阴极之间，过渡发光器件 GL 被配置为在阳极控制电路的控制下不发光。

在示例性实施方式中，位于虚设区域 300 的虚设发光器件 DL 可以包括第三阳极（显示阴极）、第三发光层（虚设发光层）和第三阴极（虚设阴极），第三阳极与阳极控制电路连接，第三阴极与阴极电压线 VSS 连接，第三发光层位于第三阳极和第三阴极之间，虚设发光器件 DL 被配置为在阳极控制电路的控制下不发光。

图 6 为一种像素驱动电路的等效电路图。在示例性实施方式中，像素驱动电路可以是 3T1C、4T1C、5T1C、5T2C、6T1C 或 7T1C 等结构。如图 6 所示，像素驱动电路可以包括 3 个晶体管（第一晶体管 T1 到第三晶体管 T3）和 1 个存储电容 C，像素驱动电路与 5 个信号线（扫描信号线 S、数据信号线 D、参考信号线 REF、第一电源线 VDD 和阴极电压线 VSS）连接，第一节点 N1 和第二节点 N2 是表示电路图中相关电连接的汇合点。

在示例性实施方式中，存储电容 C 的第一端与第一节点 N1 连接，存储

电容 C 的第二端与阴极电压线 VSS 连接。

在示例性实施方式中，第一晶体管 T1 的控制极与扫描信号线 S 连接，第一晶体管 T1 的第一极与数据信号线 D 连接，第一晶体管 T1 的第二极与第一节点 N1 连接。

- 5 在示例性实施方式中，第二晶体管 T2 的控制极与参考信号线 REF 连接，第二晶体管 T2 的第一极与第二节点 N2 连接，第二晶体管 T2 的第二极与显示发光器件 XL 的第一极连接，显示发光器件 XL 的第二极与阴极电压线 VSS 连接。

- 10 在示例性实施方式中，第三晶体管 T3 的控制极与第一节点 N1 连接，第三晶体管 T3 的第一极与第一电源线 VDD 连接，第三晶体管 T3 的第二极与第二节点 N2 连接。

在示例性实施方式中，第一电源线 VDD 的信号可以为持续提供的高电平信号，阴极电压线 VSS 的信号可以为持续提供的低电平信号，参考信号线 REF 可以为持续提供低电平信号，或者可以为可变的电压信号。

- 15 在示例性实施方式中，第一晶体管 T1 被配置为在扫描信号线 S 的信号的控制下，接收数据信号线 D 传输的数据电压，将数据电压存储至存储电容 C，并向第三晶体管 T3 的第一控制极提供数据电压，第二晶体管 T2 被配置为在参考信号线 REF 的信号的信号的控制下，将第二节点 N2 的电压信号提供给显示发光器件 XL 的第一极，第三晶体管 T3 被配置为在第三晶体管 T3 的控制下，向第二节点 N2 提供第一电源线 VDD 的信号，以驱动显示发光器件 XL 发光。
- 20

- 25 在一种示例性实施方式中，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 可以是 P 型晶体管。在另一种示例性实施方式中，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 可以是 N 型晶体管。在又一种示例性实施方式中，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 可以包括 P 型晶体管和 N 型晶体管。例如，第一晶体管 T1 和第二晶体管 T2 可以为 P 型金属氧化物半导体晶体管 (PMOS)，第三晶体管 T3 可以为 N 型金属氧化物半导体晶体管 (NMOS)。在示例性实施方式中，显示发光器件 XL 可以是 OLED，或者可以是 QLED 等，本公开在此不做限定。

在示例性实施方式中，多个像素驱动电路可以设置在显示区域，显示区域外围的过渡区域和虚设区域可以设置辅助电路。例如，辅助电路可以包括复位子电路，复位子电路与第二节点 N2、放电信号线和初始信号线连接，复位子电路被配置为在放电信号线的信号的控制下，向第二节点 N2 提供初始信号线提供的初始电压。

图 7 为一种像素驱动电路的工作时序图。下面通过图 6 示例的像素驱动电路的工作过程说明本公开示例性实施例。图 6 示例的像素驱动电路中，第一晶体管 T1 和第二晶体管 T2 为 P 型晶体管，第三晶体管 T3 为 N 型晶体管。

在示例性实施方式中，像素驱动电路的工作过程可以包括：

10 第一阶段 S1，称为复位阶段或初始化阶段。此阶段中，扫描信号线 S 的信号为高电平信号，数据信号线 D 的信号为低电平信号，参考信号线 REF 的信号为低电平信号，第一电源线 VDD 的信号为低电平信号。复位子电路向第二节点 N2 提供初始电压，参考信号线 REF 的低电平信号使得 P 型的第二晶体管 T2 导通，使得初始电压经过导通的第二晶体管 T2 提供至显示发光器件 XL 的第一极，对显示发光器件 XL 进行初始化，可以快速泄放（清空）显示发光器件 XL 第一极存储的电荷，确保显示发光器件 XL 不发光，并可以实现较好的动态对比度。此阶段中，扫描信号线 S 的高电平信号使得 P 型的第一晶体管 T1 断开。

20 第二阶段 S2，称为数据写入阶段。此阶段中，扫描信号线 S 的信号为低电平信号，数据信号线 D 的信号为高电平信号，参考信号线 REF 的信号为低电平信号，第一电源线 VDD 的信号为低电平信号。扫描信号线 S 的低电平信号使得 P 型的第一晶体管 T1 导通，数据信号线 D 的数据电压经过导通的第一晶体管 T1 提供至第一节点 N1，对存储电容 C 进行充电，使得数据信号线 D 输出的数据电压被存储在存储电容 C 中。

25 第三阶段 S3，称为发光阶段。此阶段中，扫描信号线 S 的信号为高电平信号，数据信号线 D 的信号为低电平信号，参考信号线 REF 的信号为低电平信号，第一电源线 VDD 的信号为高电平信号。扫描信号线 S 的高电平信号使得 P 型的第一晶体管 T1 断开，存储电容 C 存储的数据电压提供至第一节点 N1，第一节点 N1 的电位为数据信号线 D 的数据电压，使得 N 型的第

三晶体管 T3 导通。参考信号线 REF 的低电平信号使得 P 型的第二晶体管 T2 导通,使得第一电源线 VDD 输出的高电平信号经过导通的第三晶体管 T3 和第二晶体管 T2 提供至显示发光器件 XL 的第一极,使得显示发光器件 XL 发光。

- 5 在示例性实施方式中,在像素驱动电路驱动过程中,流过第三晶体管 T3 (称为驱动晶体管)的驱动电流由第三晶体管 T3 的控制极和第三晶体管 T3 的第一极之间的电压差决定,第三晶体管 T3 的驱动电流为:

$$I = K * (V_{gs} - V_{th})^2 = K * [(V_{dd} - V_{date}) - V_{th}]^2$$

- 10 其中, I 表示流过第三晶体管 T3 的驱动电流, K 表示常数, V_{gs} 表示第三晶体管 T3 的栅电极和第一极之间的电压差, V_{th} 表示第三晶体管 T3 的阈值电压, V_{date} 表示数据信号线 D 提供的的数据电压, V_{dd} 表示第一电源线 VDD 输出的电源电压。

- 15 在示例性实施方式中,阳极控制电路可以是向过渡发光器件 GL 的第二阳极和/或虚设发光器件 DL 的第三阳极提供阴极电压 VCOM 的第一电路,或者,阳极控制电路可以是使过渡发光器件 GL 的第二阳极和/或虚设发光器件 DL 的第三阳极为浮设 (Floating) 状态的第二电路。

- 20 在示例性实施方式中,第一电路可以至少包括阴极电压线 VSS 和阳极连接线,阳极连接线的第一端与阴极电压线 VSS 连接,阳极连接线的第二端与过渡发光器件 GL 的第二阳极和/或虚设发光器件 DL 的第三阳极连接。由于过渡发光器件 GL 的第二阳极和第二阴极均与阴极电压线 VSS 连接,两者具有相同的电位,因而可以保证过渡区域的过渡发光器件不会发光。由于虚设发光器件 DL 的第三阳极和第三阴极均与阴极电压线 VSS 连接,两者具有相同的电位,因而可以保证虚设发光器件不会发光。

- 25 在示例性实施方式中,第二电路可以至少包括阳极连接线,阳极连接线的第一端不与任何信号线连接,处于浮设状态,阳极连接线的第二端与过渡发光器件 GL 的第二阳极和/或虚设发光器件 DL 的第三阳极连接。由于过渡发光器件 GL 的第二阴极与阴极电压线 VSS 连接,而第二阳极连接到浮设电位,两者之间不会形成电压差,因而可以保证过渡区域的过渡发光器件不会发光。由于虚设发光器件 DL 的第三阴极与阴极电压线 VSS 连接,而第三阳

极连接到浮设电位，两者之间不会形成电压差，因而可以保证虚设发光器件不会发光。

在示例性实施方式中，与过渡区域 200 的过渡发光器件 GL 连接的阳极控制电路可以是第一电路，与虚设区域 300 的虚设发光器件 DL 连接的阳极控制电路可以是第一电路；或者，与过渡区域 200 的过渡发光器件 GL 连接的阳极控制电路可以是第二电路，与虚设区域 300 的虚设发光器件 DL 连接的阳极控制电路可以是第二电路；或者，与过渡区域 200 的过渡发光器件 GL 连接的阳极控制电路可以是第一电路，与虚设区域 300 的虚设发光器件 DL 连接的阳极控制电路可以是第二电路；或者，与过渡区域 200 的过渡发光器件 GL 连接的阳极控制电路可以是第二电路，与虚设区域 300 的虚设发光器件 DL 连接的阳极控制电路可以是第一电路。

图 8 为本公开示例性实施例另一种硅基 OLED 显示装置的结构示意图。如图 8 所示，在示例性实施方式中，在平行于硅基 OLED 显示装置平面上，硅基 OLED 显示装置可以包括显示区域 100、位于显示区域 100 外围的虚设区域 300 以及位于显示区域 100 和虚设区域 300 之间的过渡区域 200。

在示例性实施方式中，显示区域 100 可以包括多个多个像素驱动电路和多个显示发光器件 10，显示发光器件 10 可以包括第一阳极（显示阳极）、第一阴极（显示阴极）以及设置在第一阳极和第一阴极之间的第一发光层（显示发光层），多个显示发光器件 10 的第一阴极与阴极电压线 40 连接，多个显示发光器件 10 的第一阳极与多个像素驱动电路对应连接。

在示例性实施方式中，过渡区域 200 可以包括至少一个第二阳极连接线（即过渡阳极连接线）50 和多个过渡发光器件 20，过渡发光器件 20 可以包括第二阳极（过渡阳极）、第二阴极（过渡阴极）以及设置在第二阳极和第二阴极之间的第二发光层（过渡发光层），多个过渡发光器件 20 的第二阴极与阴极电压线 40 连接，多个过渡发光器件 20 的第二阳极与第二阳极连接线 50 连接，第二阳极连接线 50 被配置为使第二阳极与第二阴极的电压差小于过渡发光器件 20 的起亮电压。

在示例性实施方式中，虚设区域 300 可以包括阴极电压线 40、至少一个第三阳极连接线（即虚设阳极连接线）60 和多个虚设发光器件 30，虚设发光

器件 30 可以包括第三阳极（虚设阳极）、第三阴极（虚设阴极）以及设置在第三阳极和第三阴极之间的第三发光层（虚设发光层），多个虚设发光器件 30 的第三阴极与阴极电压线 40 连接，多个虚设发光器件 30 的第三阳极与多个第三阳极连接线 60 连接，第三阳极连接线 60 被配置为使第三阳极与第三
5 阴极的电压差小于虚设发光器件 30 的起亮电压。

在示例性实施方式中，阴极电压线 40 被配置为提供公共电压（VCOM）。阴极电压线 40 可以位于虚设发光器件 30 远离显示区域的一侧，并可以形成围绕虚设发光器件 30 的环形结构，环形结构的阴极电压线 40 可以称为阴极环。

10 在示例性实施方式中，过渡发光器件 20 的第二阳极可以通过过渡阳极过孔与第二阳极连接线 50 连接，虚设发光器件 30 的第三阳极可以通过虚设阳极过孔与第三阳极连接线 50 连接。

在一种示例性实施方式中，如图 8 所示，第二阳极连接线 50 可以为沿着沿着列方向（第二方向 D2）延伸的整面金属层，第二阳极连接线 50 可以设
15 置在显示区域 100 行方向（第一方向 D1）的两侧。第二阳极连接线 50 通过过渡阳极过孔与第二阳极连接，但第二阳极连接线 50 与阴极电压线 40 没有连接，且第二阳极连接线 50 与其它的信号线也没有连接，即第二阳极连接线 50 处于浮设状态。由于过渡发光器件 20 的第二阴极与阴极电压线 40 连接，而第二阳极连接到浮设电位，因而第二阳极连接线 50 可以使第二阳极与第二
20 阴极的电压差小于过渡发光器件 20 的起亮电压，可以保证过渡区域的过渡发光器件 20 不会发光。第三阳极连接线 60 可以为沿着第一延伸方向延伸的条形状，多个第三阳极连接线 60 可以沿着第二延伸方向依次设置，第一延伸方向可以是远离显示区域的方向，第二延伸方向可以是垂直于第一延伸方向的方向。第三阳极连接线 60 靠近显示区域的第一端通过虚设阳极过孔与第三阳
25 极连接，第三阳极连接线 60 远离显示区域的第二端与阴极电压线 40 连接。由于虚设发光器件 30 的第三阳极和第三阴极均与阴极电压线 40 连接，两者具有相同的电位，因而第三阳极连接线 60 可以使第三阳极与第三阴极的电压差小于虚设发光器件 30 的起亮电压，保证虚设发光器件 30 不会发光。

在示例性实施方式中，对于显示装置第一方向 D1 的两侧，第一延伸方

向为行方向，第二延伸方向为列方向。对于显示装置第二方向 D2 的两侧，第一延伸方向为列方向，第二延伸方向为行方向。

在另一种示例性实施方式中，作为图 8 所示结构的一种替代结构，第二阳极连接线 50 的结构与图 8 基本上相同，第三阳极连接线 60 仅通过虚设阳极过孔与第三阳极连接，第三阳极连接线 60 与阴极电压线 40 没有连接，且第三阳极连接线 60 与其它的信号线也没有连接，即第三阳极连接线 60 处于浮设状态。由于虚设发光器件 30 的第三阳极和第三阴极之间不会形成电压差，因而第三阳极连接线 60 可以使第三阳极与第三阴极的电压差小于虚设发光器件 30 的起亮电压，同样可以保证虚设发光器件 30 不会发光。

在又一种示例性实施方式中，作为图 8 所示结构的一种替代结构，第三阳极连接线 60 的结构与图 8 基本上相同，第二阳极连接线 50 不仅通过过渡阳极过孔与第二阳极连接，而且通过相应的连接线与阴极电压线 40 连接，使得过渡发光器件 20 的第二阳极和第二阴极均与阴极电压线 40 连接，两者具有相同的电位，因而第二阳极连接线 50 可以使第二阳极与第二阴极的电压差小于过渡发光器件 20 的起亮电压，同样可以保证过渡发光器件 20 不会发光。

在又一种示例性实施方式中，作为图 8 所示结构的一种替代结构，第二阳极连接线 50 一方面通过过孔与第二阳极连接，另一方面与阴极电压线 40 连接，但第三阳极连接线 60 仅通过过孔与第三阳极连接，与阴极电压线 40 没有连接，且与其它的信号线也没有连接，即第三阳极连接线 60 处于浮设状态。由于过渡发光器件 20 的第二阳极和第二阴极均与阴极电压线 40 连接，两者具有相同的电位，因而第二阳极连接线 50 可以使第二阳极与第二阴极的电压差小于过渡发光器件 20 的起亮电压，可以保证过渡发光器件 20 不会发光。由于虚设发光器件 30 的第三阴极与阴极电压线 40 连接，而第三阳极连接到浮设电位，两者之间不会形成电压差，因而第三阳极连接线 60 可以使第三阳极与第三阴极的电压差小于虚设发光器件 30 的起亮电压，可以保证虚设发光器件 30 不会发光。

在示例性实施方式中，第二阳极连接线 50 和第三阳极连接线 60 的形状以及与阴极电压线 40 的连接方式等，可以根据实际需要进行相应调整，本公开在此不做限定。

在示例性实施方式中，在垂直于显示装置的平面上，显示装置可以包括硅基底、设置在所述硅基底上的驱动电路层以及设置在所述驱动电路层远离硅基底一侧的发光结构层。显示区域 100 的发光结构层可以包括多个显示发光器件 10，过渡区域 200 的发光结构层可以包括多个过渡发光器件 20，虚设区域 300 的发光结构层可以包括多个虚设发光器件 30。

在示例性实施方式中，显示发光器件 10 的第一阳极、过渡发光器件 20 的第二阳极和虚设发光器件 30 的第三阳极可以同层设置，且通过同一次图案化工艺同时形成。

在示例性实施方式中，显示发光器件 10 的第一发光层、过渡发光器件 20 的第二发光层和虚设发光器件 30 的第三发光层可以同层设置，且通过同一次蒸镀工艺同时形成。

在示例性实施方式中，显示发光器件 10 的第一阴极、过渡发光器件 20 的第二阴极和虚设发光器件 30 的第三阴极可以同层设置，且为相互连接的一体结构。

在示例性实施方式中，驱动电路层可以包括在硅基底上依次设置的第一导电层、第二导电层、第三导电层、第四导电层、第五导电层、第六导电层、第七导电层和第八导电层，阴极电压线 40 可以设置在第八导电层中。

在示例性实施方式中，过渡区域 200 的第二阳极连接线 50、虚设区域 300 的第三阳极连接线和阴极电压线 40 可以同层设置，且通过同一次图案化工艺同时形成。

图 9 为本公开示例性实施例一种驱动电路层的平面结构示意图。在示例性实施方式中，显示区域 100 的驱动电路层可以包括规则排布设置的多个重复单元，重复单元可以包括多个像素驱动电路，图 9 示意了一个重复单元的平面结构。在示例性实施方式中，像素驱动电路可以包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 和存储电容。如图 9 所示，重复单元可以包括沿着第一方向 D1 依次设置的第一电路区 100A 和第二电路区 100B，第一电路区 100A 被配置为设置 P 型的第一晶体管 T1 和第二晶体管 T2，第二电路区 100B 被配置为设置 N 型的第三晶体管 T3。

在示例性实施方式中，第一电路区 100A 可以设置第一晶体管列和第二

晶体管列，第二电路区 100B 可以设置第三晶体管阵列，第二晶体管列可以设置在第一晶体管列的一侧，第三晶体管阵列可以设置在第二晶体管列远离第一晶体管列的一侧。第一晶体管列可以包括沿着第二方向 D2 依次设置的 6 个第一晶体管 T1，第二晶体管列可以包括沿着第二方向 D2 依次设置的 6 个第二晶体管 T2，第三晶体管阵列可以包括沿着第二方向 D2 依次设置的 3 个晶体管行，每个晶体管行可以包括沿着第一方向 D1 依次设置的 2 个第三晶体管 T3，因而形成包括 6 个像素驱动电路的重复单元。本公开通过将相同类型的晶体管设置在同一个区域，将尺寸相对较小的晶体管排成一行，将尺寸相对较大的晶体管排成阵列，可以减少像素驱动电路的占用面积，有利于实现较高的 PPI 和较好的显示品质。

在示例性实施方式中，重复单元中像素驱动电路的排布方式不限于图 9 所示排布方式，可以根据实际需要采用其它合适的排布方式，本公开在此不做限定。

在示例性实施方式中，至少一个像素驱动电路中，第一晶体管 T1 的控制极与扫描信号线连接，第一晶体管 T1 的第一极与数据信号线连接，第二晶体管 T2 的控制极与参考信号线连接，第三晶体管 T3 的控制极与存储电容的第一电容极板连接，存储电容的第二电容极板与阴极电压线连接，第三晶体管 T3 的第一极与第一电源线连接。

在示例性实施方式中，扫描信号线和参考信号线可以设置在第二导电层中，数据信号线可以设置在第三导电层中，第一电源线可以设置在第四导电层中。

在示例性实施方式中，在一个重复单元中，至少一个像素驱动电路的存储电容的第一电容极板设置在第五导电层中，存储电容的第二电容极板设置在第六导电层中。

在示例性实施方式中，在一个重复单元中，至少一个像素驱动电路的存储电容的第一电容极板设置在第七导电层中，存储电容的第二电容极板设置在第六导电层中。

下面通过显示装置的制备过程进行示例性说明。本公开所说的“图案化工艺”，对于金属材料、无机材料或透明导电材料，包括涂覆光刻胶、掩模曝光、

显影、刻蚀、剥离光刻胶等处理，对于有机材料，包括涂覆有机材料、掩模曝光和显影等处理。沉积可以采用溅射、蒸镀、化学气相沉积中的任意一种或多种，涂覆可以采用喷涂、旋涂和喷墨打印中的任意一种或多种，刻蚀可以采用干刻和湿刻中的任意一种或多种，本公开不做限定。“薄膜”是指将某一种材料在基底上利用沉积、涂覆或其它工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需图案化工艺，则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”需图案化工艺，则在图案化工艺前称为“薄膜”，图案化工艺后称为“层”。经过图案化工艺后的“层”中包含至少一个“图案”。本公开所说的“A 和 B 同层设置”是指，A 和 B 通过同一次图案化工艺同时形成，膜层的“厚度”为膜层在垂直于显示装置方向上的尺寸。本公开示例性实施例中，“B 的正投影位于 A 的正投影的范围之内”或者“A 的正投影包含 B 的正投影”是指，B 的正投影的边界落入 A 的正投影的边界范围内，或者 A 的正投影的边界与 B 的正投影的边界重叠。

在示例性实施方式中，硅基 OLED 显示装置可以包括显示区域 100、位于显示区域 100 一侧的过渡区域 200 以及位于过渡区域 200 远离显示区域 100 一侧的虚设区域 300。以显示区域包括一个重复单元为例，显示装置的制备过程可以包括以下步骤。

(1) 形成硅基底。在示例性实施方式中，形成硅基底可以包括：提供 P 型硅材料的硅基底，如 P 型单晶硅，通过对每个重复单元中的第一电路区 100A 进行 N 型掺杂，使得每个重复单元第一电路区 100A 形成 N 型阱区。这样，硅基底上第一电路区 100A 的 N 型阱区可以作为 P 型晶体管（第一晶体管 T1 和第二晶体管 T2）的沟道区，硅基底上第二电路区 100B 的 P 型单晶硅可以作为 N 型晶体管（第三晶体管 T3）的沟道区，有利于发挥 NMOS 器件高速的优势，提高了电路性能。本公开通过在一个重复单元中设置第一电路区 100A 和第二电路区 100B，将相同类型的晶体管设置在同一电路区中，可以在满足设计规则的前提下使得像素驱动电路的排布更加紧凑，有助于提高显示装置的分辨率。

在示例性实施方式中，硅基底可以采用 N 型硅材料，本公开在此不做限定。

(2) 形成第一导电层图案。在示例性实施方式中, 形成第一导电层图案可以包括: 在硅基底上依次沉积第一绝缘薄膜和多晶硅薄膜, 先通过图案化工艺对多晶硅薄膜进行图案化, 形成覆盖硅基底的第一绝缘层以及设置在第一绝缘层上的多晶硅层图案, 然后利用多晶硅层图案作为遮挡进行掺杂工艺, 形成第一导电层和有源层图案, 如图 10 所示。

在示例性实施方式中, 掺杂工艺可以包括 N 型掺杂工艺和 P 型掺杂工艺。N 型掺杂工艺可以针对第一电路区 100A 所在区域, 掺杂元素可以是硼元素等, 在第一电路区 100A 形成第一晶体管 T1 的第一栅电极和第一有源层, 以及第二晶体管 T2 的第二栅电极和第二有源层。P 型掺杂工艺可以针对第二电路区 100B 所在区域, 掺杂元素可以是磷元素等, 在第二电路区 100B 形成第三晶体管 T3 的第三栅电极和第三有源层。

在示例性实施方式中, 掺杂工艺可以采用离子注入工艺, 可以依次进行 N 型掺杂和 P 型掺杂。在针对第一电路区 100A 进行 N 型掺杂工艺时, 可以通过形成阻挡层将不进行 N 型掺杂的区域遮挡起来。在针对第二电路区 100B 进行 P 型掺杂工艺时, 可以通过形成阻挡层将不进行 P 型掺杂的区域遮挡起来。

在示例性实施方式中, 由于多晶硅层为半导体材料, 因而在离子注入工艺中, 一方面可以利用多晶硅层作为遮挡, 使得离子注入到多晶硅层的两侧, 形成多个晶体管的第一区和第二区, 实现自对准, 另一方面可以同时掺杂多晶硅层, 使得电阻较高的多晶硅层变成电阻较低的第一导电层, 形成多个晶体管的栅电极。本公开通过采用多晶硅材料作为第一导电层, 可以节省工艺成本, 降低工艺难度。

在示例性实施方式中, 有源层图案可以至少包括第一晶体管 T1 的第一有源层 111、第二晶体管 T2 的第二有源层 121、第三晶体管 T3 的第三有源层 131、第一接触区 141 和第二接触区 142, 第一导电层图案可以至少包括第一晶体管 T1 的第一栅电极 112、第二晶体管 T2 的第二栅电极 122 和第三晶体管 T3 的第三栅电极 132。

在示例性实施方式中, 第一有源层 111、第一栅电极 112、第二有源层 121、第二栅电极 122 和第一接触区 141 可以设置在第一电路区 100A, 第三

有源层 131、第三栅电极 132 和第二接触区 142 可以设置在第二电路区 100B。

在示例性实施方式中，第一栅电极 112 可以为沿着第二方向 D2 延伸的条形状，使得多个第一晶体管 T1 的栅电极为相互连接的一体结构。第二栅电极 122 可以沿着第二方向 D2 延伸的条形状，使得多个第二晶体管 T2 的栅电极为相互连接的一体结构。多个第三栅电极 132 可以为矩形状，且单独设置。本公开这种设置可以在满足设计规则的前提下，使得像素驱动电路的排布更加紧凑，有助于提高显示装置的分辨率。

在示例性实施方式中，每个第一有源层 111 可以为沿着第一方向 D1 延伸的条形状，多个第一有源层 111 可以沿着第二方向 D2 依次设置，第一栅电极 112 与第一有源层 111 相重叠的区域作为第一有源层 111 的沟道区，第一有源层 111 的第一区 111-1 可以位于沟道区第一方向 D1 的一侧，第一有源层 111 的第二区 111-2 可以位于沟道区第一方向 D1 的反方向的一侧。

在示例性实施方式中，每个第二有源层 121 可以为沿着第一方向 D1 延伸的条形状，多个第二有源层 121 可以沿着第二方向 D2 依次设置，第二栅电极 122 与第二有源层 121 相重叠的区域作为第二有源层 121 的沟道区，第二有源层 121 的第一区 121-1 可以位于沟道区第一方向 D1 的一侧，第二有源层 121 的第二区 121-2 可以位于沟道区第一方向 D1 的反方向的一侧。

在示例性实施方式中，每个第三有源层 131 可以为沿着第一方向 D1 延伸的条形状，多个第三有源层 131 可以沿着第二方向 D2 依次设置，第三栅电极 132 与第三有源层 131 相重叠的区域作为第三有源层 131 的沟道区，第三有源层 131-1 的第一区 131-1 和第一区 131-2 可以位于沟道区的两侧。

在示例性实施方式中，在第一方向 D1 上相邻的两个第三有源层 131 可以为相互连接的一体结构，并使得两个第三有源层 131 的第一区 131-1 可以相互连接，不仅可以简化结构，保证两个第三晶体管 T3 的第一极可以接收到相同的电源电压，而且可以减小第三晶体管 T3 的占用面积，有利于减小像素驱动电路的占用面积，从而实现显示产品的分辨率。

在示例性实施方式中，相对于第一有源层 111 和第二有源层 121，第三有源层 131 的面积较大，可以获得较大的宽长比，有助于提高第三晶体管 T3 的驱动能力，从而提高显示效果。

在示例性实施方式中，第一接触区 141 和第二接触区 142 可以为不同类型的掺杂区。在示例性实施方式中，第一接触区 141 可以为 N 型重掺杂区（N+），第一接触区 141 被配置为对第一晶体管 T1 和第二晶体管 T2 所在的第一电路区 100A 的硅基底进行高压偏置，从而避免硅基底偏置效应等寄生效应引起的阈值电压变化，提高电路的稳定性。第二接触区 142 可以为 P 型重掺杂区（P+），第二接触区 142 被配置为对第三晶体管 T3 所在的第二电路区 100B 的硅基底进行低压偏置，从而避免硅基底偏置效应等寄生效应引起的阈值电压变化，提高电路的稳定性。本公开通过设置第一接触区 141 对第一电路区 100A 的硅基底进行高压偏置，设置第二接触区 142 对第二电路区 100B 的硅基底进行低压偏置，使得二者之间的寄生 PN 结反偏，对器件进行电性隔离，并降低器件之间的寄生效应，可以提高电路的稳定性。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括硅基底和设置在硅基底上的第一绝缘层。

（3）形成第二绝缘层图案。在示例性实施方式中，形成第二绝缘层图案可以包括：在形成前述图案的硅基底上沉积第二绝缘薄膜，通过图案化工艺对第二绝缘薄膜进行图案化，形成覆盖第一导电层图案的第二绝缘层，第二绝缘层上设置有多个过孔，如图 11 所示。

在示例性实施方式中，多个过孔可以包括第一过孔 V1、第二过孔 V2、第三过孔 V3、第四过孔 V4、第五过孔 V5、第六过孔 V6、第七过孔 V7、第八过孔 V8、第九过孔 V9、第十过孔 V10 和第十一过孔 V11。

在示例性实施方式中，第一过孔 V1 在硅基底上的正投影可以位于第一有源层 111 的第一区在硅基底上的正投影的范围之内，第一过孔 V1 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第一有源层的第一区的表面，第一过孔 V1 被配置为使后续形成的第二十一连接电极（作为第一晶体管 T1 的第一极）通过该过孔与第一有源层的第一区连接。

在示例性实施方式中，第二过孔 V2 在硅基底上的正投影可以位于第一有源层的第二区在硅基底上的正投影的范围之内，第二过孔 V2 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第一有源层的第二区的表面，第二过孔 V2 被配置为使后续形成的第二十二连接电极（作为第一晶体管 T1 的第二极）

通过该过孔与第一有源层的第二区连接。

在示例性实施方式中，第三过孔 V3 在硅基底上的正投影可以位于第二有源层的第一区在硅基底上的正投影的范围之内，第三过孔 V3 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第二有源层的第一区的表面，第三过孔 V3 被配置为使后续形成的第二十三连接电极（同时作为第二晶体管 T2 的第一极和第三晶体管 T3 的第二极）通过该过孔与第二有源层的第一区连接。

在示例性实施方式中，第四过孔 V4 在硅基底上的正投影可以位于第二有源层的第二区在硅基底上的正投影的范围之内，第四过孔 V4 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第二有源层的第二区的表面，第四过孔 V4 被配置为使后续形成的第二十四连接电极（作为第二晶体管 T2 的第二极）通过该过孔与第二有源层的第二区连接。

在示例性实施方式中，第五过孔 V5 在硅基底上的正投影可以位于第三有源层的第一区在硅基底上的正投影的范围之内，第三过孔 V3 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第三有源层的第一区的表面，第三过孔 V3 被配置为使后续形成的第二十五连接电极（作为第三晶体管 T3 的第一极）通过该过孔与第三有源层的第一区连接。在示例性实施方式中，第五过孔 V5 可以为多个，以降低接触电阻并提高连接可靠性。

在示例性实施方式中，第六过孔 V6 在硅基底上的正投影可以位于第三有源层的第二区在硅基底上的正投影的范围之内，第六过孔 V6 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第三有源层 131 的第二区的表面，第六过孔 V6 被配置为使后续形成的第二十三连接电极（同时作为第二晶体管 T2 的第一极和第三晶体管 T3 的第二极）通过该过孔与第三有源层的第二区连接。

在示例性实施方式中，第七过孔 V7 在硅基底上的正投影可以位于第一栅电极 112 在硅基底上的正投影的范围之内，第七过孔 V7 内的第二绝缘层被刻蚀掉，暴露出第一栅电极 112 的表面，第七过孔 V7 被配置为使后续形成的扫描信号线通过该过孔与第一栅电极 112 连接。在示例性实施方式中，第七过孔 V7 可以位于第一栅电极 112 第二方向 D2 的反方向的一侧，可以位于两个第一有源层之间。

在示例性实施方式中，第八过孔 V8 在硅基底上的正投影可以位于第二栅电极 122 在硅基底上的正投影的范围之内，第八过孔 V8 内的第二绝缘层被刻蚀掉，暴露出第二栅电极 122 的表面，第八过孔 V8 被配置为使后续形成的参考信号线通过该过孔与第二栅电极 122 连接。在示例性实施方式中，

5 第八过孔 V8 可以位于第二栅电极 122 第二方向 D2 的一侧。

在示例性实施方式中，第九过孔 V9 在硅基底上的正投影可以位于第三栅电极 132 在硅基底上的正投影的范围之内，第九过孔 V9 内的第二绝缘层被刻蚀掉，暴露出第三栅电极 132 的表面，第九过孔 V9 被配置为通过后续形成的第二十六连接电极通过该过孔与第三栅电极 132 连接。在示例性实施方式中，靠近第二晶体管 T2 一侧的第九过孔 V9 可以位于第三栅电极 132 第二方向 D2 的反方向的一侧，远离第二晶体管 T2 一侧的第九过孔 V9 可以位于第三栅电极 132 第二方向 D2 的一侧，每个第三栅电极 132 上的第九过孔 V9 可以为多个，以降低接触电阻并提高连接可靠性。

10

在示例性实施方式中，第十过孔 V10 在硅基底上的正投影可以位于第一接触区 141 在硅基底上的正投影的范围之内，第十过孔 V10 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第一接触区 141 的表面，第十过孔 V10 被配置为使后续形成的第二十七连接电极通过该过孔与第一接触区 141 连接。在示例性实施方式中，第十过孔 V10 可以为多个，以降低接触电阻并提高连接可靠性。

15

在示例性实施方式中，第十一过孔 V11 在硅基底上的正投影可以位于第二接触区 142 在硅基底上的正投影的范围之内，第十一过孔 V11 内的第一绝缘层和第二绝缘层被刻蚀掉，暴露出第二接触区 142 的表面，第十一过孔 V11 被配置为使后续形成的第二十八连接电极通过该过孔与第二接触区 142 连接。在示例性实施方式中，第十一过孔 V11 可以为多个，以降低接触电阻并提高连接可靠性。

20

25

本次工艺后，过渡区域 200 和虚设区域 300 可以包括硅基底以及在硅基底上叠设的第一绝缘层和第二绝缘层。

(4) 形成第二导电层图案。在示例性实施方式中，形成第二导电层图案可以包括：在形成前述图案的硅基底上沉积第二导电薄膜，通过图案化工艺

对第二导电薄膜进行图案化，在第二绝缘层上形成形成第二导电层图案，如图 12a 和图 12b 所示，图 12b 为图 12a 中第二导电层的示意图。在示例性实施方式中，第二导电层可以称为第一金属（Metal1）层。

在示例性实施方式中，第二导电层图案可以至少包括：第二十一连接电极 201、第二十二连接电极 202、第二十三连接电极 203、第二十四连接电极 204、第二十五连接电极 205、第二十六连接电极 206、第二十七连接电极 207、第二十八连接电极 208、扫描信号线 210、参考信号线 220、参考连接线 230、第二过渡线 22 和第二虚设线 32。

在示例性实施方式中，多个第二十一连接电极 201 的形状可以为矩形状或者可以为主体部分沿着第一方向 D1 延伸的条形状，第二十一连接电极 201 可以通过第一过孔 V1 与第一有源层的第一区连接，第二十一连接电极 201 可以作为第一晶体管 T1 的第一极。在示例性实施方式中，由于多个第二十一连接电极 201 被配置为与后续形成的数据信号线 D 连接，因而多个第二十一连接电极 201 的形状是根据所连接的数据信号线 D 的位置排布设置的。

在示例性实施方式中，多个第二十二连接电极 202 的形状可以为矩形状，第二十二连接电极 202 可以通过第二过孔 V2 与第一有源层的第二区连接，第二十二连接电极 202 可以作为第一晶体管 T1 的第二极。在示例性实施方式中，多个第二十二连接电极 202 的形状可以基本上相同。

在示例性实施方式中，多个第二十三连接电极 203 的形状可以为主体部分沿着第一方向 D1 延伸的条形状，第二十三连接电极 203 的第一端可以通过第三过孔 V3 与第二有源层的第一区连接，第二十三连接电极 203 的第二端可以通过第六过孔 V6 与对应的第三有源层的第二区连接，第二十三连接电极 203 可以同时作为第二晶体管 T2 的第一极和第三晶体管 T3 的第二极。在示例性实施方式中，多个第二十三连接电极 203 被配置为与多个第三晶体管 T3 的第二极对应连接，由于三个第三晶体管 T3 的第二极与第二有源层的第一区邻近，另外三个第三晶体管 T3 的第二极与第二有源层的第一区之间的距离较远，因而多个第二十三连接电极 203 的形状和长度是根据所连接的第三晶体管 T3 的位置排布设置的。

在示例性实施方式中，多个第二十四连接电极 204 的形状可以为主体部

分沿着第一方向 D1 延伸的条形状，第二十四连接电极 204 可以通过第四过孔 V4 与第二有源层的第二区连接，第二十三连接电极 203 可以作为第二晶体管 T2 的第二极。由于多个第二十四连接电极 204 被配置为通过后续形成的连接电极与多个阳极对应连接，因而多个第二十四连接电极 204 的形状是
5 根据所连接的多个阳极的位置排布设置的。

在示例性实施方式中，多个第二十五连接电极 205 的形状可以分别为矩形状、“T”形状和“L”形状，第二十五连接电极 205 可以通过第五过孔 V5 与第三有源层的第一区连接，第二十五连接电极 205 可以作为第三晶体管 T3 的第一极。由于多个第二十五连接电极 205 被配置为通过后续形成的连接电
10 极与第一电源线 VDD 连接，因而多个多个第二十五连接电极 205 的形状有所不同。在示例性实施方式中，在第一方向 D1 上相邻的两个第三晶体管 T3 的第一极共用一个第二十五连接电极 205，可以简化制作工艺，降低生产成本，可以减小第三晶体管 T3 的占用面积，有利于减小像素驱动电路的占用面积，从而实现显示产品的分辨率。

15 在示例性实施方式中，多个第二十六连接电极 206 的形状可以为主体部分沿着第一方向 D1 延伸的条形状，第二十六连接电极 206 可以通过第九过孔 V9 与第三栅电极 132 连接，第二十六连接电极 206 被配置为与后续形成的第三十三连接电极 303 连接。在示例性实施方式中，多个第二十六连接电极 206 的形状可以基本上相同，但位置不同。

20 在示例性实施方式中，第二十七连接电极 207 的形状可以为主体部分沿着第一方向 D1 延伸的条形状，第二十七连接电极 207 可以通过多个第十过孔 V10 与第一接触区 141 连接，第二十七连接电极 207 被配置为通过后续形成的连接电极与第三电源线 AVDD 连接，以实现第一区进行高压偏置，实现对器件进行电隔离，降低器件之间的寄生效应，提高像素驱动电路的稳定性，
25 第三电源线 AVDD 的信号可以为持续提供的高电平信号。

在示例性实施方式中，第二十八连接电极 208 的形状可以为主体部分沿着第一方向 D1 延伸的条形状，第二十八连接电极 208 可以通过多个第十一过孔 V11 与第二接触区 142 连接，第二十八连接电极 208 被配置为与后续形成的第二电源线 GND 连接，以实现第二区进行低压偏置，实现对器件进

行电隔离，降低器件之间的寄生效应，提高像素驱动电路的稳定性，第二电源线 GND 的信号可以为持续提供的接地信号。

在示例性实施方式中，扫描信号线 210 的形状可以为主体部分沿着第一方向 D1 延伸的条形状，扫描信号线 210 上设置有扫描块，扫描块可以通过第七过孔 V7 与第一栅电极 112 连接，实现扫描信号线 210 向多个第一晶体管 T1 的栅电极提供扫描信号。由于多个第一晶体管 T1 的栅电极通过同一条扫描信号线 210 控制，有助于减小扫描信号线 210 的占用面积，有利于减小像素驱动电路的占用面积，从而实现显示产品的分辨率，实现对器件进行电隔离，降低器件之间的寄生效应，提高像素驱动电路的稳定性。

在示例性实施方式中，参考信号线 220 的形状可以为主体部分沿着第一方向 D1 延伸的条形状，参考信号线 220 可以通过第八过孔 V8 与第二栅电极 122 连接，实现参考信号线 220 向多个第二晶体管 T2 的栅电极提供参考信号。由于多个第二晶体管 T2 的栅电极为相互连接的一体结构，因而一条参考信号线 220 可以同时控制多个第二晶体管 T2 的栅电极，有助于减小参考信号线 220 的占用面积，有利于减小像素驱动电路的占用面积，从而实现显示产品的分辨率。

在示例性实施方式中，参考连接线 230 的形状可以为主体部分沿着第一方向 D1 延伸的条形状，参考连接线 230 的第一端可以位于参考信号线 220 第一方向 D1 的一侧，参考连接线 230 的第二端向着相邻的重复单元延伸，参考信号线 220 被配置为通过后续形成的连接电极与参考信号线 220 连接，因而可以将参考信号线 220 引出到相邻的重复单元中。

在示例性实施方式中，第二过渡线 22 可以设置在过渡区域 200，可以为沿着第二方向 D2 延伸的条形状。第二虚设线 32 可以设置在虚设区域 300，可以为沿着第二方向 D2 延伸的条形状。在示例性实施方式中，第二过渡线 22 和第二虚设线 32 均可以不连接显示区域的像素驱动电路和相应的信号线，在过渡区域 200 和虚设区域 300 分别设置第二过渡线 22 和第二虚设线 32 可以提高刻蚀均匀性，提高制备显示装置的工艺质量。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，以及设置在第二绝缘层上的第二

过渡线 22 和第二虚设线 32。

(5) 形成第三绝缘层图案。在示例性实施方式中, 形成第三绝缘层图案可以包括: 在形成前述图案的硅基底上沉积第三绝缘薄膜, 通过图案化工艺对第三绝缘薄膜进行图案化, 形成覆盖第二导电层图案的第三绝缘层, 第三绝缘层上设置有多个过孔, 如图 13 所示。

在示例性实施方式中, 多个过孔可以包括第二十一过孔 V21、第二十二过孔 V22、第二十三过孔 V23、第二十四过孔 V24、第二十五过孔 V25、第二十六过孔 V26、第二十七过孔 V27、第二十八过孔 V28、第二十九过孔 V29 和第三十过孔 V30。

10 在示例性实施方式中, 第二十一过孔 V21 在硅基底上的正投影可以位于第二十一连接电极 201 在硅基底上的正投影的范围之内, 第二十一过孔 V21 内的第三绝缘层被刻蚀掉, 暴露出第二十一连接电极 201 的表面, 第二十一过孔 V21 被配置为使后续形成的数据信号线 D 通过该过孔与第二十一连接电极 201 连接。在示例性实施方式中, 多个第二十一过孔 V21 的位置是根据所
15 连接的数据信号线 D 的位置设置的, 可以位于第二十一连接电极 201 第一方向 D1 的端部。

在示例性实施方式中, 第二十二过孔 V22 在硅基底上的正投影可以位于第二十二连接电极 202 在硅基底上的正投影的范围之内, 第二十二过孔 V22 内的第三绝缘层被刻蚀掉, 暴露出第二十二连接电极 202 的表面, 第二十二
20 过孔 V22 被配置为通过后续形成的第三十一连接电极 301 连接。在示例性实施方式中, 第二十二过孔 V22 可以为多个, 以降低接触电阻并提高连接可靠性。

在示例性实施方式中, 第二十三过孔 V23 在硅基底上的正投影可以位于第二十四连接电极 204 在硅基底上的正投影的范围之内, 第二十三过孔 V23
25 内的第三绝缘层被刻蚀掉, 暴露出第二十四连接电极 204 的表面, 第二十三过孔 V23 被配置为与后续形成的第三十二连接电极连接。在示例性实施方式中, 多个第二十三过孔 V23 可以位于第二十四连接电极 204 的端部。

在示例性实施方式中, 第二十四过孔 V24 在硅基底上的正投影可以位于第二十五连接电极 205 在硅基底上的正投影的范围之内, 第二十四过孔 V24

内的第三绝缘层被刻蚀掉，暴露出第二十五连接电极 205 的表面，第二十四过孔 V24 被配置为与后续形成的第三十八连接电极连接。在示例性实施方式中，第二十四过孔 V242 可以为多个，以降低接触电阻并提高连接可靠性。

5 在示例性实施方式中，第二十五过孔 V25 在硅基底上的正投影可以位于第二十六连接电极 206 在硅基底上的正投影的范围之内，第二十五过孔 V25 内的第三绝缘层被刻蚀掉，暴露出第二十六连接电极 206 的表面，第二十五过孔 V25 被配置为与后续形成的第三十三连接电极连接。在示例性实施方式中，第二十五过孔 V25 可以为多个，以降低接触电阻并提高连接可靠性。

10 在示例性实施方式中，第二十六过孔 V26 在硅基底上的正投影可以位于参考信号线 220 在硅基底上的正投影的范围之内，第二十六过孔 V26 内的第三绝缘层被刻蚀掉，暴露出参考信号线 220 的表面，第二十六过孔 V26 被配置为通过后续形成的第三十四连接电极将参考信号线 220 与参考连接线 230 连接起来。在示例性实施方式中，第二十六过孔 V26 可以位于参考信号线 220 第一方向 D1 一侧的端部。

15 在示例性实施方式中，第二十七过孔 V27 在硅基底上的正投影可以位于参考连接线 230 在硅基底上的正投影的范围之内，第二十七过孔 V27 内的第三绝缘层被刻蚀掉，暴露出参考连接线 230 的表面，第二十七过孔 V27 被配置为通过后续形成的第三十四连接电极将参考连接线 230 与参考信号线 220 连接起来。在示例性实施方式中，第二十七过孔 V27 可以位于参考连接线 230
20 第一方向 D1 的反方向一侧的端部。

在示例性实施方式中，第二十八过孔 V28 在硅基底上的正投影可以位于第二十七连接电极 207 在硅基底上的正投影的范围之内，第二十八过孔 V28 内的第三绝缘层被刻蚀掉，暴露出第二十七连接电极 207 的表面，第二十八过孔 V28 被配置为与后续形成的第三十七连接电极连接。在示例性实施方式
25 中，第二十八过孔 V28 可以为多个，以降低接触电阻并提高连接可靠性。

在示例性实施方式中，第二十九过孔 V29 在硅基底上的正投影可以位于第二十八连接电极 208 在硅基底上的正投影的范围之内，第二十九过孔 V29 内的第三绝缘层被刻蚀掉，暴露出第二十八连接电极 208 的表面，第二十九过孔 V29 被配置为与后续形成的第二电源线 GND 连接，以实现第二区进

行低压偏置。在示例性实施方式中，第二十九过孔 V29 可以为多个，以降低接触电阻并提高连接可靠性。

在示例性实施方式中，第三十过孔 V30 在硅基底上的正投影可以位于扫描信号线 210 在硅基底上的正投影的范围之内，第三十过孔 V30 内的第三绝缘层被刻蚀掉，暴露出扫描信号线 210 的表面，第三十过孔 V30 被配置为与后续形成的第三十五连接电极连接。在示例性实施方式中，第三十过孔 V30 可以位于扫描信号线 210 第一方向 D1 一侧的端部。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，以及覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层。

(6) 形成第三导电层图案。在示例性实施方式中，形成第三导电层图案可以包括：在形成前述图案的硅基底上沉积第三导电薄膜，通过图案化工艺对第三导电薄膜进行图案化，在第三绝缘层上形成第三导电层图案，如图 14a 和图 14b 所示，图 14b 为图 14a 中第三导电层的示意图。在示例性实施方式中，第三导电层可以称为第二金属 (Metal2) 层。

在示例性实施方式中，第三导电层图案可以至少包括：第三十一连接电极 301、第三十二连接电极 302、第三十三连接电极 303、第三十四连接电极 304、第三十五连接电极 305、第三十六连接电极 306、第三十七连接电极 307、第三十八连接电极 308、数据信号线 310、第二电源线 320、第三过渡线 23 和第三虚设线 33。

在示例性实施方式中，多个第三十一连接电极 301 的形状可以为矩形状或者“L”形状，第三十一连接电极 301 可以通过第二十二过孔 V22 与第二十二连接电极 202 连接，第三十一连接电极 301 被配置为与后续形成的第四十一连接电极连接。

在示例性实施方式中，多个第三十二连接电极 302 的形状可以为矩形状或者“L”形状，第三十二连接电极 302 可以通过第二十三过孔 V23 与第二十四连接电极 204 连接，第三十二连接电极 302 被配置为与后续形成的第四十二连接电极 402 连接。

在示例性实施方式中,多个第三十三连接电极 303 的形状可以为矩形状,第三十三连接电极 303 可以通过第二十五过孔 V25 与第二十六连接电极 206 连接,第三十三连接电极 303 被配置为与后续形成的第四十一连接电极连接。

5 在示例性实施方式中,第三十四连接电极 304 的形状可以为沿着第一方向 D1 延伸的条形状,第三十四连接电极 304 的第一端可以通过第二十六过孔 V26 与参考信号线 220 连接,第三十四连接电极 304 的第二端通过第二十七过孔 V27 与参考连接线 230 连接,实现了参考信号线 220 和参考连接线 230 之间的连接。

10 在示例性实施方式中,第三十五连接电极 305 的形状可以为沿着第一方向 D1 延伸的条形状,第三十五连接电极 305 可以通过第三十过孔 V30 与扫描信号线 210 连接,第三十五连接电极 305 被配置为与第一方向 D1 相邻的另一个重复单元中的扫描信号线连接,以将扫描信号线 210 引出到第一方向 D1 相邻的另一个重复单元中。

15 在示例性实施方式中,第三十六连接电极 306 的形状可以为沿着第一方向 D1 延伸的条形状,第三十六连接电极 306 可以通过第二十八过孔 V28 与第二十七连接电极 207。

20 在示例性实施方式中,多个第三十七连接电极 307 的形状可以为沿着第二方向 D2 延伸的条形状,第三十七连接电极 307 可以通过第二十八过孔 V28 与第二十七连接电极 207,多个第三十七连接电极 307 被配置为与后续形成的第三电源线 AVDD 连接,同时将第三电源线 AVDD 的高电平电压信号引出到第二方向 D2 相邻的另一个重复单元中。

25 在示例性实施方式中,第三十八连接电极 308 的形状可以为主体部分沿着第二方向 D2 延伸的条形状,第三十八连接电极 308 可以通过多个第二十四过孔 V24 与第二十五连接电极 205 连接,第三十八连接电极 308 被配置为与后续形成的第一电源线 VDD 连接。

在示例性实施方式中,多条数据信号线 310 的形状可以为沿着第二方向 D2 延伸的条形状,数据信号线 310 可以通过第二十一过孔 V21 与第二十一连接电极 201 连接。由于多个第二十一连接电极 201 通过过孔与第一有源层的第一区连接,作为第一晶体管 T1 的第一极,因而实现了多条数据信号线

310 与多个第一晶体管 T1 的第一极的对应连接, 数据信号线 310 可以向相应的第一晶体管 T1 输入数据信号。

在示例性实施方式中, 多条第三十七连接电极 307 和多条数据信号线 310 可以沿着第一方向 D1 交替设置。

- 5 在示例性实施方式中, 第二电源线 320 (可称为接地线 GND) 的形状可以为沿着第二方向 D2 延伸的条形状, 第二电源线 320 可以通过多个第二十九过孔 V29 与第二十八连接电极 208 连接。在示例性实施方式中, 由于第二十八连接电极 208 通过过孔与第二接触区连接, 因而实现了第二电源线 320 通过第二十八连接电极 208 与第二接触区连接, 通过第二电源线 320 提供低
10 电平电压信号, 可以对第二区进行低压偏置, 实现对器件进行电隔离, 降低器件之间的寄生效应, 提高像素驱动电路的稳定性。

- 在示例性实施方式中, 第三过渡线 23 可以设置在过渡区域 200, 可以为沿着第二方向 D2 延伸的条形状。第三虚设线 33 可以设置在虚设区域 300, 可以为沿着第二方向 D2 延伸的条形状。在示例性实施方式中, 第三过渡线
15 23 和第三虚设线 33 均可以不连接显示区域的像素驱动电路和相应的信号线, 在过渡区域 200 设置第三过渡线 23 和在虚设区域 300 设置第三虚设线 33 可以提高刻蚀均匀性, 提高制备显示装置的工艺质量。

- 本次工艺后, 过渡区域 200 和虚设区域 300 可以包括: 硅基底, 在硅基底上叠设的第一绝缘层和第二绝缘层, 设置在第二绝缘层上的第二过渡
20 线 22 和第二虚设线 32, 覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层, 以及设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33。

- (7) 形成第四绝缘层图案。在示例性实施方式中, 形成第四绝缘层图案可以包括: 在形成前述图案的硅基底上沉积第四绝缘薄膜, 通过图案化工艺对第四绝缘薄膜进行图案化, 形成覆盖第三导电层图案的第四绝缘层, 第四
25 绝缘层上设置有多个过孔, 如图 15 所示。

在示例性实施方式中, 多个过孔可以包括: 第四十一过孔 V41、第四十二过孔 V42、第四十三过孔 V43、第四十四过孔 V44、第四十五过孔 V45 和第四十六过孔 V46。

在示例性实施方式中, 第四十一过孔 V41 在硅基底上的正投影位于第三

十一连接电极 301 在硅基底上的正投影的范围之内，第四十一过孔 V41 内的第四绝缘层被刻蚀掉，暴露出第三十一连接电极 301 的表面，第四十一过孔 V41 被配置为与后续形成的第四十一连接电极连接。

5 在示例性实施方式中，第四十二过孔 V42 在硅基底上的正投影位于第三十二连接电极 302 在硅基底上的正投影的范围之内，第四十二过孔 V42 内的第四绝缘层被刻蚀掉，暴露出第三十二连接电极 302 的表面，第四十二过孔 V42 被配置为与后续形成的第四十二连接电极连接。

10 在示例性实施方式中，第四十三过孔 V43 在硅基底上的正投影位于第三十三连接电极 303 在硅基底上的正投影的范围之内，第四十三过孔 V43 内的第四绝缘层被刻蚀掉，暴露出第三十三连接电极 303 的表面，第四十三过孔 V43 被配置为与后续形成的第四十一连接电极连接。

15 在示例性实施方式中，多个第四十四过孔 V44 在硅基底上的正投影位于第二电源线 320 在硅基底上的正投影的范围之内，第四十四过孔 V44 内的第四绝缘层被刻蚀掉，暴露出第二电源线 320 的表面，第四十四过孔 V44 被配置为与后续形成的第四十三连接电极连接。

在示例性实施方式中，多个第四十五过孔 V45 在硅基底上的正投影位于第三十七连接电极 307 在硅基底上的正投影的范围之内，第四十五过孔 V45 内的第四绝缘层被刻蚀掉，暴露出第三十七连接电极 307 的表面，第四十五过孔 V45 被配置为与后续形成的第三电源线 AVDD 连接。

20 在示例性实施方式中，多个第四十六过孔 V46 在硅基底上的正投影位于第三十八连接电极 308 在硅基底上的正投影的范围之内，第四十六过孔 V46 内的第四绝缘层被刻蚀掉，暴露出第三十八连接电极 308 的表面，第四十六过孔 V46 被配置为与后续形成的第一电源线 VDD 连接。

25 本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，以及覆盖第三过渡线 23 和第三虚设线 33 的第四绝缘层。

(8) 形成第四导电层图案。在示例性实施方式中，形成第四导电层图案

可以包括：在形成前述图案的硅基底上沉积第四导电薄膜，通过图案化工艺对第四导电薄膜进行图案化，在第四绝缘层上形成第四导电层图案，如图 16a 和图 16b 所示，图 16b 为图 16a 中第四导电层的示意图。在示例性实施方式中，第四导电层可以称为第三金属（Metal3）层。

- 5 在示例性实施方式中，第四导电层图案可以至少包括：第四十一连接电极 401、第四十二连接电极 402、第四十三连接电极 403、第一电源线 410、第三电源线 420、第四过渡线 24 和第四虚设线 34。

10 在示例性实施方式中，第四十一连接电极 401 的形状可以为沿着第一方向 D1 延伸的条形状，第四十一连接电极 401 的第一端可以通过第四十一过孔 V41 与第三十一连接电极 301 连接，第四十一连接电极 401 的第二端可以通过第四十三过孔 V43 与第三十三连接电极 303 连接，3 个第四十一连接电极 401 被配置为与后续形成的第一极板连接，三个第四十一连接电极 401 被配置为与后续形成的第五十一连接电极连接。由于第三十一连接电极 301 通过过孔与第二十二连接电极 202 连接，第二十二连接电极 202 通过过孔与第一有源层 111 的第二区 111-2 连接，第三十三连接电极 303 通过过孔与第二十六连接电极 206 连接，第二十六连接电极 206 通过过孔与第三栅电极 132 连接，因而实现了第一晶体管 T1 的第二极与第三晶体管 T3 的第三栅电极 132 之间的连接，两者具有相同的电位（第一节点 N1）。

20 在示例性实施方式中，第四十二连接电极 402 的形状可以为沿着第一方向 D1 延伸的条形状，第四十二连接电极 402 可以通过第四十二过孔 V42 与第三十二连接电极 302 连接，第四十二连接电极 402 被配置为与后续形成的第五十二连接电极连接。

25 在示例性实施方式中，第四十三连接电极 403 的形状可以为沿着第一方向 D1 延伸的条形状，第四十三连接电极 403 可以通过多个第四十四过孔 V44 与第二电源线 320 连接。在示例性实施方式中，第四十三连接电极 403 在硅基底上的正投影与扫描信号线 210 在硅基底上的正投影至少部分交叠，由于第四十三连接电极 403 与提供低电平电压信号的第二电源线 320 连接，因而第四十三连接电极 403 可以作为屏蔽电极，屏蔽扫描信号线 210 传输的跳变信号，提高像素驱动电路的稳定性。

在示例性实施方式中，第一电源线 410 的形状可以为沿着第一方向 D1 延伸的条形状，第一电源线 410 可以通过第四十六过孔 V46 与第三十八连接电极 308 连接。由于第三十八连接电极 308 通过过孔与第二十五连接电极 205 连接，第二十五连接电极 205 通过过孔与第三有源层的第一区连接，因而实现了第一电源线 410 与第三晶体管 T3 的第一极的连接，第一电源线 410 可以向第三晶体管 T3 提供电源电压。在示例性实施方式中，一个重复单元可以设置 2 条第一电源线 410，多个第三晶体管 T3 的第一极可以分别与 2 条第一电源线 410 连接，以降低第一电源线 410 的电阻，提高连接可靠性并提高电源电压的均一性。

在示例性实施方式中，第一电源线 410 可以位于扫描信号线 210 与参考信号线 220 之间。由于第一电源线 410 传输的信号为直流信号，而扫描信号线 210 和参考信号线 220 传输的信号为跳变信号，因而第一电源线 410 可以有效屏蔽参考信号线 220 与扫描信号线 210 之间的相互干扰，可以提高电路的稳定性。

在示例性实施方式中，第三电源线 420（可以称为高压线 AVDD）的形状可以为沿着第一方向 D1 延伸的条形状，第三电源线 420 可以通过多个第四十五过孔 V45 与多个第三十七连接电极 307 连接。由于多个第三十七连接电极 307 通过过孔与第二十七连接电极 207 连接，第二十七连接电极 207 通过过孔与第一接触区 141 连接，因而实现了第三电源线 420 通过第二十七连接电极 207 和第三十七连接电极 307 与第一接触区 141 连接，通过第三电源线 420 提供高电平电压信号，可以对第一区进行高压偏置，实现对器件进行电隔离，降低器件之间的寄生效应，提高像素驱动电路的稳定性。

在示例性实施方式中，第三电源线 420 在硅基底上的正投影与参考信号线 220 在硅基底上的正投影至少部分重叠。由于第三电源线 420 传输的信号为直流信号，而参考信号线 220 传输的信号为跳变信号，因而第三电源线 420 可以有效屏蔽参考信号线 220 对像素驱动电路的干扰，可以提高像素驱动电路的稳定性。

在示例性实施方式中，第四过渡线 24 可以设置在过渡区域 200，可以为沿着第二方向 D2 延伸的条形状。第四虚设线 34 可以设置在虚设区域 300，

可以为沿着第二方向 D2 延伸的条形状。在示例性实施方式中，第四过渡线 24 和第四虚设线 34 均可以不连接显示区域的像素驱动电路和相应的信号线，在过渡区域 200 设置第四过渡线 24 和在虚设区域 300 设置第四虚设线 34 可以提高刻蚀均匀性，提高制备显示装置的工艺质量。

- 5 本次工艺后，过渡区域 200 和虚设区域 300 可以可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23 和第三虚设线 33 的第四绝缘层，以及设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34。
- 10

(9) 形成第五绝缘层图案。在示例性实施方式中，形成第五绝缘层图案可以包括：在形成前述图案的硅基底上沉积第五绝缘薄膜，通过图案化工艺对第五绝缘薄膜进行图案化，形成覆盖第四导电层图案的第五绝缘层，第五绝缘层上设置有多个过孔，如图 17 所示。

- 15 在示例性实施方式中，多个过孔可以包括：第五十一过孔 V51 和第五十二过孔 V52。

在示例性实施方式中，第五十一过孔 V51 在硅基底上的正投影位于第四十一连接电极 401 在硅基底上的正投影的范围之内，第五十一过孔 V51 内的第五绝缘层被刻蚀掉，暴露出第四十一连接电极 401 的表面，3 个第五十一过孔 V51 被配置为与后续形成的第一极板连接，3 个第五十一过孔 V51 被配置为与后续形成的第五十一连接电极连接。

20

在示例性实施方式中，第五十二过孔 V52 在硅基底上的正投影位于第四十二连接电极 402 在硅基底上的正投影的范围之内，第五十二过孔 V52 内的第五绝缘层被刻蚀掉，暴露出第四十二连接电极 402 的表面，第五十二过孔 V52 被配置为与后续形成的第五十二连接电极连接。

25

本次工艺后，过渡区域 200 和虚设区域 300 可以可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23

和第三虚设线 33 的第四绝缘层，设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34，以及覆盖第四过渡线 24 和第四虚设线 34 的第五绝缘层。

5 (10) 形成第五导电层图案。在示例性实施方式中，形成第五导电层图案可以包括：在形成前述图案的硅基底上沉积第五导电薄膜，通过图案化工艺对第五导电薄膜进行图案化，在第五绝缘层上形成第五导电层图案，如图 18a 和图 18b 所示，图 18b 为图 18a 中第五导电层的示意图。在示例性实施方式中，第五导电层可以称为第四金属 (Metal4) 层。

10 在示例性实施方式中，第五导电层图案可以至少包括：第五十一连接电极 501、第五十二连接电极 502、第一极板 510、第五过渡线 25 和第五虚设线 35。

在示例性实施方式中，3 个第五十一连接电极 501 的形状可以为矩形状，3 个第五十一连接电极 501 可以分别通过 3 个第五十一过孔 V51 与第四十一连接电极 401 连接，3 个第五十一连接电极 501 被配置为与后续形成的第六十一连接电极连接。

15 在示例性实施方式中，第五十二连接电极 502 的形状可以为矩形状，第五十二连接电极 502 可以通过第五十二过孔 V52 与第四十二连接电极 402 连接，第五十二连接电极 502 被配置为与后续形成的第六十二连接电极连接。

20 在示例性实施方式中，第一极板 510 的形状可以为环形状，3 个第一极板 510 可以分别通过 3 个第五十一过孔 V51 与第四十一连接电极 401 连接，第一极板 510 被配置为作为三个存储电容的第一电容极板。由于第四十一连接电极 401 作为第一节点 N1，第一节点 N1 与第一晶体管 T1 的第二极和第三晶体管 T3 的第三栅电极 132 连接，因而实现了第一晶体管 T1 的第二极、第三晶体管 T3 的第三栅电极 132 和第一极板 510 之间的相互连接，三者具有相同的电位。

25 在示例性实施方式中，至少一个第一极板 510 在硅基底上的正投影与第一栅电极 112 在硅基底上的正投影至少部分重叠，至少一个第一极板 510 在硅基底上的正投影与第二栅电极 122 在硅基底上的正投影至少部分重叠，至少一个第一极板 510 在硅基底上的正投影与至少一个第三栅电极 132 在硅基底上的正投影至少部分重叠。

在示例性实施方式中，根据存储电容的电容值可以设置第一极板 510 的尺寸，由于第一极板 510 的尺寸较大，因而一个重复单元内的第五导电层仅设置 3 个作为存储电容第一电容极板的第一极板 510，另外 3 个作为存储电容第一电容极板的第三极板可以设置在第七导电层中。

5 在示例性实施方式中，第五过渡线 25 可以设置在过渡区域 200，可以为沿着第二方向 D2 延伸的条形状。第五虚设线 35 可以设置在虚设区域 300，可以为沿着第二方向 D2 延伸的条形状。在示例性实施方式中，第五过渡线 25 和第五虚设线 35 均可以不连接显示区域的像素驱动电路和相应的信号线，在过渡区域 200 设置第五过渡线 25 和在虚设区域 300 设置第五虚设线 35 可
10 以提高刻蚀均匀性，提高制备显示装置的工艺质量。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23
15 和第三虚设线 33 的第四绝缘层，设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34，覆盖第四过渡线 24 和第四虚设线 34 的第五绝缘层，以及设置在第五绝缘层上的第五过渡线 25 和第五虚设线 35。

(11) 形成第六绝缘层图案。在示例性实施方式中，形成第六绝缘层图案可以包括：在形成前述图案的硅基底上沉积第六绝缘薄膜，通过图案化工
20 艺对第六绝缘薄膜进行图案化，形成覆盖第五导电层图案的第六绝缘层，第六绝缘层上设置有多个过孔，如图 19 所示。

在示例性实施方式中，多个过孔可以包括：第六十一过孔 V61 和第六十二过孔 V62。

在示例性实施方式中，第六十一过孔 V61 在硅基底上的正投影位于第五
25 十一连接电极 501 在硅基底上的正投影的范围之内，第六十一过孔 V61 内的第六绝缘层被刻蚀掉，暴露出第五十一连接电极 501 的表面，第六十一过孔 V61 被配置为与后续形成的第六十一连接电极连接。

在示例性实施方式中，第六十二过孔 V62 在硅基底上的正投影位于第五十二连接电极 502 在硅基底上的正投影的范围之内，第六十二过孔 V62 内的

第六绝缘层被刻蚀掉，暴露出第五十二连接电极 502 的表面，第六十二过孔 V62 被配置为与后续形成的第六十二连接电极连接。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23 和第三虚设线 33 的第四绝缘层，设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34，覆盖第四过渡线 24 和第四虚设线 34 的第五绝缘层，设置在第五绝缘层上的第五过渡线 25 和第五虚设线 35，以及覆盖第五过渡线 25 和第五虚设线 35 的第六绝缘层。

(12) 形成第六导电层图案。在示例性实施方式中，形成第六导电层图案可以包括：在形成前述图案的硅基底上沉积第六导电薄膜，通过图案化工艺对第六导电薄膜进行图案化，在第六绝缘层上形成第六导电层图案，如图 20 所示。在示例性实施方式中，第六导电层可以为金属-绝缘体-金属 (Metal-Insulator-Metal，简称 MIM) 结构，第六导电层可以称为 MIM 层。

在示例性实施方式中，第六导电层图案可以至少包括：第六十一连接电极 601、第六十二连接电极 602、第二极板 610、第六过渡线 26 和第六虚设线 36。

在示例性实施方式中，3 个第六十一连接电极 601 的形状可以为矩形状，第六十一连接电极 601 可以分别通过 3 个第六十一过孔 V61 与第五十一连接电极 501 连接，3 个第六十一连接电极 601 被配置为与后续形成的第七十一连接电极连接。

在示例性实施方式中，第六十二连接电极 602 的形状可以为矩形状，第六十二连接电极 602 可以通过第六十二过孔 V62 与第五十二连接电极 502 连接，第六十二连接电极 602 被配置为与后续形成的第七十二连接电极连接。

在示例性实施方式中，第二极板 610 的形状可以为矩形状，第二极板 610 在硅基底上的正投影与 3 个第一极板 510 在硅基底上的正投影至少部分交叠，第二极板 610 可以通过相应的连接线与后续形成的阴极电压线 VSS 连接，第二极板 610 被配置为作为存储电容的第二电容极板，3 个第一极板 510 分别

和第二极板 610 构成 3 个存储电容。

在示例性实施方式中，第六过渡线 26 可以设置在过渡区域 200，可以为沿着第二方向 D2 延伸的条形状。第六虚设线 36 可以设置在虚设区域 300，可以为沿着第二方向 D2 延伸的条形状。在示例性实施方式中，第六过渡线 26 和第六虚设线 36 均可以不连接显示区域的像素驱动电路和相应的信号线，在过渡区域 200 设置第六过渡线 26 和在虚设区域 300 设置第六虚设线 36 可以提高刻蚀均匀性，提高制备显示装置的工艺质量。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23 和第三虚设线 33 的第四绝缘层，设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34，覆盖第四过渡线 24 和第四虚设线 34 的第五绝缘层，设置在第五绝缘层上的第五过渡线 25 和第五虚设线 35，覆盖第五过渡线 25 和第五虚设线 35 的第六绝缘层，以及设置在第六绝缘层上的第六过渡线 26 和第六虚设线 36。

(13) 形成第七绝缘层图案。在示例性实施方式中，形成第七绝缘层图案可以包括：在形成前述图案的硅基底上沉积第七绝缘薄膜，通过图案化工艺对第七绝缘薄膜进行图案化，形成覆盖第六导电层图案的第七绝缘层，第七绝缘层上设置有多个过孔，如图 21 所示。

在示例性实施方式中，多个过孔可以包括：第七十一过孔 V71 和第七十二过孔 V72。

在示例性实施方式中，第七十一过孔 V71 在硅基底上的正投影位于第六十一连接电极 601 在硅基底上的正投影的范围之内，第七十一过孔 V71 内的第七绝缘层被刻蚀掉，暴露出第六十一连接电极 601 的表面，第七十一过孔 V71 被配置为与后续形成的第七十一连接电极连接。

在示例性实施方式中，第七十二过孔 V72 在硅基底上的正投影位于第六十二连接电极 602 在硅基底上的正投影的范围之内，第七十二过孔 V72 内的第七绝缘层被刻蚀掉，暴露出第六十二连接电极 602 的表面，第七十二过孔

V72 被配置为与后续形成的第七十二连接电极连接。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23 和第三虚设线 33 的第四绝缘层，设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34，覆盖第四过渡线 24 和第四虚设线 34 的第五绝缘层，设置在第五绝缘层上的第五过渡线 25 和第五虚设线 35，覆盖第五过渡线 25 和第五虚设线 35 的第六绝缘层，设置在第六绝缘层上的第六过渡线 26 和第六虚设线 36，以及覆盖第六过渡线 26 和第六虚设线 36 的第七绝缘层。

(14) 形成第七导电层图案。在示例性实施方式中，形成第七导电层图案可以包括：在形成前述图案的硅基底上沉积第七导电薄膜，通过图案化工艺对第七导电薄膜进行图案化，在第七绝缘层上形成第七导电层图案，如图 22 所示。在示例性实施方式中，第七导电层可以称为第五金属 (Metal5) 层。

在示例性实施方式中，第七导电层可以至少包括：第七十一连接电极 701、第七十二连接电极 702、第三极板 710、第七过渡线 27 和第七虚设线 37。

在示例性实施方式中，第七十一连接电极 701 的形状可以为矩形状，第七十一连接电极 701 可以通过第七十一过孔 V71 与第六十一连接电极 601 连接，第七十一连接电极 701 被配置为与后续形成的第八十一连接电极连接。

在示例性实施方式中，第七十二连接电极 702 的形状可以为矩形状，第七十二连接电极 702 可以通过第七十二过孔 V72 与第六十二连接电极 602 连接，第七十二连接电极 702 被配置为与后续形成的阳极连接电极连接。

在示例性实施方式中，第三极板 710 的形状可以为矩形状，3 个第三极板 710 在硅基底上的正投影与第二极板 610 在硅基底上的正投影至少部分交叠，3 个第三极板 710 被配置为作为三个存储电容的第一电容极板，3 个第三极板 710 分别和第二极板 610 构成 3 个存储电容。

在示例性实施方式中，第七过渡线 27 可以设置在过渡区域 200，可以为沿着第二方向 D2 延伸的条形状。第七虚设线 37 可以设置在虚设区域 300，可以为沿着第二方向 D2 延伸的条形状。在示例性实施方式中，第七过渡线

27和第七虚设线37均可以不连接显示区域的像素驱动电路和相应的信号线，在过渡区域200设置第七过渡线27和在虚设区域300设置第七虚设线37可以提高刻蚀均匀性，提高制备显示装置的工艺质量。

本次工艺后，过渡区域200和虚设区域300可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线22和第二虚设线32，覆盖第二过渡线22和第二虚设线32的第三绝缘层，设置在第三绝缘层上的第三过渡线23和第三虚设线33，覆盖第三过渡线23和第三虚设线33的第四绝缘层，设置在第四绝缘层上的第四过渡线24和第四虚设线34，覆盖第四过渡线24和第四虚设线34的第五绝缘层，设置在第五绝缘层上的第五过渡线25和第五虚设线35，覆盖第五过渡线25和第五虚设线35的第六绝缘层，设置在第六绝缘层上的第六过渡线26和第六虚设线36，覆盖第六过渡线26和第六虚设线36的第七绝缘层，以及设置在第七绝缘层上的第七过渡线27和第七虚设线37。

(15)形成第八绝缘层图案。在示例性实施方式中，形成第八绝缘层图案可以包括：在形成前述图案的硅基底上沉积第八绝缘薄膜，通过图案化工艺对第八绝缘薄膜进行图案化，形成覆盖第七导电层图案的第八绝缘层，第八绝缘层上设置有多个过孔，如图23所示。

在示例性实施方式中，多个过孔可以包括：第八十一过孔V71、第八十二过孔V72和第八十三过孔V83。

在示例性实施方式中，第八十一过孔V81在硅基底上的正投影位于第七十一连接电极701在硅基底上的正投影的范围之内，第八十一过孔V81内的第八绝缘层被刻蚀掉，暴露出第七十一连接电极701的表面，第八十一过孔V81被配置为与后续形成的第八十一连接电极连接。

在示例性实施方式中，第八十二过孔V82在硅基底上的正投影位于第七十二连接电极702在硅基底上的正投影的范围之内，第八十二过孔V82内的第八绝缘层被刻蚀掉，暴露出第七十二连接电极702的表面，第八十二过孔V82被配置为与后续形成的阳极连接电极连接。

在示例性实施方式中，第八十三过孔V83在硅基底上的正投影位于第三极板710在硅基底上的正投影的范围之内，第八十三过孔V83内的第八绝缘

层被刻蚀掉，暴露出第三极板 710 的表面，第八十三过孔 V83 被配置为与后续形成的第八十一连接电极连接。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23 和第三虚设线 33 的第四绝缘层，设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34，覆盖第四过渡线 24 和第四虚设线 34 的第五绝缘层，设置在第五绝缘层上的第五过渡线 25 和第五虚设线 35，覆盖第五过渡线 25 和第五虚设线 35 的第六绝缘层，设置在第六绝缘层上的第六过渡线 26 和第六虚设线 36，覆盖第六过渡线 26 和第六虚设线 36 的第七绝缘层，设置在第七绝缘层上的第七过渡线 27 和第七虚设线 37，以及覆盖第七过渡线 27 和第七虚设线 37 的第八绝缘层。

(16) 形成第八导电层图案。在示例性实施方式中，形成第八导电层图案可以包括：在形成前述图案的硅基底上沉积第七导电薄膜，通过图案化工艺对第八导电薄膜进行图案化，在第八绝缘层上形成第八导电层图案，如图 24 所示。在示例性实施方式中，第八导电层可以称为第六金属 (Metal6) 层。

在示例性实施方式中，第八导电层可以至少包括：第八十一连接电极 801、阳极连接电极 810、第二阳极连接线 50、第三阳极连接线 60 和阴极电压线 40。

在示例性实施方式中，第八十一连接电极 801 的形状可以为沿着第一方向 D1 延伸的折线状，第八十一连接电极 801 的第一端通过第八十一过孔 V81 与第七十一连接电极 701 连接，第八十一连接电极 801 的第二端通过第八十三过孔 V83 与第三极板 710 连接。由于第七十一连接电极 701 通过过孔与第六十一连接电极 601 连接，第六十一连接电极 601 通过过孔与第五十一连接电极 501 连接，第五十一连接电极 501 通过过孔与第四十一连接电极 401 连接，第四十一连接电极 401 作为第一节点 N1，第一节点 N1 与第一晶体管 T1 的第二极和第三晶体管 T3 的第三栅电极 132 连接，因而实现了第一晶体管 T1 的第二极、第三晶体管 T3 的第三栅电极 132 和第三极板 710 之间的相

互连接，三者具有相同的电位。

在示例性实施方式中，位于第五导电层中的 3 个第一极板 510 作为 3 个存储电容的第一电容极板，位于第七导电层中的 3 个第三极板 710 作为另外 3 个存储电容的第一电容极板，位于第六导电层中的第二极板 610 作为 6 个存储电容的第二电容极板，因而实现了在一个重复单元中形成 6 个存储电容，每个存储电容的第一电容极板与第一晶体管 T1 的第二极和第三晶体管 T3 的第三栅电极 132 连接，每个存储电容的第二电容极板与阴极电压线 40 连接。

在示例性实施方式中，多个阳极连接电极 810 可以位于显示区域 100，多个阳极连接电极 810 分别通过多个第八十二过孔 V82 与多个第七十二连接电极 701 对应连接，多个阳极连接电极 810 被配置为与显示区域 100 后续形成的多个第一阳极对应连接。

在示例性实施方式中，第二阳极连接线 50 可以位于过渡区域 200，第二阳极连接线 50 可以为沿着第二方向 D2（列方向）延伸的整面金属层，第二阳极连接线 50 被配置为与过渡区域 200 后续形成的多个第二阳极对应连接。

在示例性实施方式中，第三阳极连接线 60 可以位于虚设区域 300，第三阳极连接线 60 可以为主体部分沿着第一方向 D1 延伸的条形状，多个第三阳极连接线 60 可以沿着第二方向 Y 依次设置，多个第三阳极连接线 60 被配置为与虚设区域 300 的多个第三阳极对应连接。

在示例性实施方式中，阴极电压线 40 可以位于虚设区域 300，阴极电压线 40 的形状可以为环绕过渡区域 200 的环形状，阴极电压线 40 被配置为提供公共电压（VCOM）。

在示例性实施方式中，阴极电压线 40 与第二阳极连接线 50 和第三阳极连接线 60 的连接关系可以包括如下任意一种或多种：第二阳极连接线 50 通过相应的连接线与阴极电压线 40 连接，第三阳极连接线 60 通过相应的连接线与阴极电压线 40 连接，第二阳极连接线 50 与阴极电压线 40 之间没有连接，第三阳极连接线 60 与阴极电压线 40 之间没有连接。

在示例性实施方式中，第二阳极连接线 50 的第二宽度 B2 可以大于阴极电压线 40 的第一宽度 B1，第一宽度 B1 和第二宽度 B2 均为图 24 中第一方向 D1 的尺寸。

在示例性实施方式中，第二阳极连接线 50 的第二宽度 B2 可以大于第三阳极连接线 60 的第三宽度 B3，第三宽度 B3 为图 24 中第二方向 D2 的尺寸。

在示例性实施方式中，第二阳极连接线 50 的第二长度 L2 可以小于阴极电压线 40 的第一延伸长度 L1，第二长度 L2 均为图 24 中第二方向 D2 的尺寸，第一延伸长度 L1 为阴极电压线 40 在虚设区域的延伸长度。

在示例性实施方式中，第二阳极连接线 50 的第二长度 L2 可以大于第三阳极连接线 60 的第三延伸长度 L3 和第四延伸长度 L4，第三延伸长度 L3 和第四延伸长度 L4 分别为第三阳极连接线 60 在虚设区域的延伸长度。

在示例性实施方式中，第三阳极连接线 60 包括具有第三延伸长度 L3 的第一连接线和具有第四延伸长度 L4 的第二连接线，第一连接线和第二连接线沿着第二延伸方向交替设置。例如，图 24 中沿着第一方向 D1 延伸的两条具有不同延伸长度的第三阳极连接线 60，在第二方向 D2 上交替设置。

在示例性实施方式中，第三阳极连接线 60 的第三宽度 B3 可以小于阴极电压线 40 的第一宽度 B1。

本次工艺后，过渡区域 200 和虚设区域 300 可以包括：硅基底，在硅基底上叠设的第一绝缘层和第二绝缘层，设置在第二绝缘层上的第二过渡线 22 和第二虚设线 32，覆盖第二过渡线 22 和第二虚设线 32 的第三绝缘层，设置在第三绝缘层上的第三过渡线 23 和第三虚设线 33，覆盖第三过渡线 23 和第三虚设线 33 的第四绝缘层，设置在第四绝缘层上的第四过渡线 24 和第四虚设线 34，覆盖第四过渡线 24 和第四虚设线 34 的第五绝缘层，设置在第五绝缘层上的第五过渡线 25 和第五虚设线 35，覆盖第五过渡线 25 和第五虚设线 35 的第六绝缘层，设置在第六绝缘层上的第六过渡线 26 和第六虚设线 36，覆盖第六过渡线 26 和第六虚设线 36 的第七绝缘层，设置在第七绝缘层上的第七过渡线 27 和第七虚设线 37，覆盖第七过渡线 27 和第七虚设线 37 的第八绝缘层，以及设置在第七绝缘层上的第二阳极连接线 50、第三阳极连接线 60 和阴极电压线 40。

(17) 形成阳极导电层图案。在示例性实施方式中，形成阳极导电层图案可以包括：先在形成前述图案的硅基底上涂覆平坦薄膜，通过图案化工艺对平坦薄膜进行图案化，形成覆盖第八导电层图案的平坦层，平坦层上设置

有多个过孔，多个过孔可以包括：在硅基底上的正投影位于阳极连接电极 810 在硅基底上的正投影的范围之内的显示阳极过孔 K1，在硅基底上的正投影位于第二阳极连接线 50 在硅基底上的正投影的范围之内的过渡阳极过孔 K2，以及在硅基底上的正投影位于第三阳极连接线 60 在硅基底上的正投影的范围之内的虚设阳极过孔 K3，多个显示阳极过孔 K1、多个过渡阳极过孔 K2 和多个虚设阳极过孔 K3 内的平坦层被去掉，分别暴露出阳极连接电极 810、第二阳极连接线 50 和第三阳极连接线 60 的表面。随后，在形成前述图案的硅基底上沉积阳极导电薄膜，通过图案化工艺对阳极导电薄膜进行图案化，形成设置在平坦层上的阳极导电层图案，阳极导电层图案至少包括第一阳极 10 910、第二阳极 920 和第三阳极 930，如图 25 所示。

在示例性实施方式中，多个第一阳极 910 可以位于显示区域 100，多个第一阳极 910 分别通过多个显示阳极过孔 K1 与多个阳极连接电极 810 对应连接。由于阳极连接电极 810 通过过孔与第七十二连接电极 701 连接，第七十二连接电极 701 通过过孔与第六十二连接电极 602 连接，第六十二连接电极 602 通过过孔与第五十二连接电极 502 连接，第五十二连接电极 502 通过过孔与第四十二连接电极 402 连接，第四十二连接电极 402 通过过孔与第三十二连接电极 302 连接，第三十二连接电极 302 通过过孔与第二十四连接电极 204 连接，第二十四连接电极 204 通过过孔与第二有源层的第二区连接，因而实现了多个第一阳极 910 与多个第二晶体管 T2 的第二极的对应连接，20 可以将第二晶体管 T2 输出的电流输出给显示区域 100 的第一阳极 910。

在示例性实施方式中，多个第二阳极 920 可以位于过渡区域 200，多个第二阳极 920 分别通过多个过渡阳极过孔 K2 与多个第二阳极连接线 50 连接。当第二阳极连接线 50 与阴极电压线 40 连接时，阴极电压线 40 向多个第二阳极 920 提供公共电压，当第二阳极连接线 50 与阴极电压线 40 没有连接时，25 多个第二阳极 920 处于浮设状态。

在示例性实施方式中，多个第三阳极 930 可以位于虚设区域 300，多个第三阳极 930 分别通过多个虚设阳极过孔 K3 与多个第三阳极连接线 60 连接。当第三阳极连接线 60 与阴极电压线 40 连接时，阴极电压线 40 向多个第三阳极 930 提供公共电压，当第三阳极连接线 60 与阴极电压线 40 没有连接时，

多个第三阳极 930 处于浮设状态。

在示例性实施方式中，虚设区域 300 中第三阳极 930 的数量与过渡区域 200 中第二阳极 920 的数量不同，即虚设区域 300 中虚设发光器件的数量与过渡区域 200 中过渡发光器件的数量不同。

- 5 在示例性实施方式中，虚设区域 300 中第三阳极 930 的数量大于过渡区域 200 中第二阳极 920 的数量，即虚设区域 300 中虚设发光器件的数量大于过渡区域 200 中过渡发光器件的数量。

- 10 在示例性实施方式中，虚设区域 300 中至少一个第三阳极 930 在显示装置平面上的正投影与第二阳极连接线 50 在显示装置平面上的正投影至少部分交叠，即虚设区域 300 中至少一个虚设发光器件在显示装置平面上的正投影与第二阳极连接线 50 在显示装置平面上的正投影至少部分交叠。

- 15 在示例性实施方式中，过渡区域 200 中至少一个第二阳极 920 在显示装置平面上的正投影与第三阳极连接线 60 在显示装置平面上的正投影不交叠，即过渡区域 200 中至少一个过渡发光器件在显示装置平面上的正投影与第三阳极连接线 60 在显示装置平面上的正投影不交叠。

在示例性实施方式中，沿着第一方向 D1（行方向），虚设阳极过孔 K3 和过渡阳极过孔 K2 不在同一直线上。

- 20 在示例性实施方式中，在显示装置第一方向 D1（行方向）的两侧，过渡区域 200 中的多个第二阳极 920 和虚设区域 300 中的多个第三阳极 930 可以形成 3 个阳极列，每个阳极列包括多个沿着第二方向 D2（列方向）依次设置的多个第二阳极 920 或者多个第三阳极 930。因此，过渡区域 200 和虚设区域 300 包括 3 个发光器件列，每个发光器件列包括多个沿着列方向依次设置的多个虚设发光器件或者多个过渡发光器件。

- 25 在示例性实施方式中，在显示装置第二方向 D2（列方向）的两侧，虚设区域 300 中的多个第三阳极 930 可以形成 2 个阳极行，每个阳极行包括多个沿着第一方向 D1（行方向）依次设置的多个第三阳极 930。因此，虚设区域 300 包括 2 个发光器件行，每个发光器件行包括多个沿着行方向依次设置的多个虚设发光器件。

在示例性实施方式中，第二阳极连接线 50 的第二宽度 B2 可以大于第一阳极 910 的第一阳极宽度 C1，第二阳极连接线 50 的第二宽度 B2 可以大于第二阳极 920 的第二阳极宽度 C2，第二阳极连接线 50 的第二宽度 B2 可以大于第三阳极 930 的第三阳极宽度 C3，第一阳极宽度 C1、第二阳极宽度 C2 和第三阳极宽度 C3 均为图 24 中第一方向 D1 的尺寸。因而，第二阳极连接线 50 的第二宽度 B2 可以大于显示区域中像素开口的宽度，可以大于过渡区域中像素开口的宽度，可以大于虚设区域中像素开口的宽度。

在示例性实施方式中，第一阳极 910 的第一阳极宽度 C1、第二阳极 920 的第二阳极宽度 C2 和第三阳极 930 的第三阳极宽度 C3 可以基本上相同。

后续制备过程可以包括形成像素定义层、有机发光层、阴极、第一封装层、彩膜结构层和第二封装层等工艺。

在示例性实施方式中，形成像素定义层、有机发光层和阴极图案可以包括：先在形成前述图案的硅基底上涂覆像素定义薄膜，通过图案化工艺对像素定义薄膜进行图案化，形成覆盖阳极导电层图案的像素定义层，像素定义层形成有多个像素开口，显示区域 100 的像素开口暴露出第一阳极 910，过渡区域 200 的像素开口暴露出第二阳极 920，虚设区域 300 的像素开口暴露出第三阳极 930。随后，采用蒸镀工艺或者喷墨打印工艺形成有机发光层图案，有机发光层图案可以包括位于显示区域 100 的第一发光层、位于过渡区域 200 的第二发光层以及位于虚设区域 300 的第三发光层，第一发光层通过像素开口与第一阳极 910 连接，第二发光层通过像素开口与第二阳极 920 连接，第三发光层通过像素开口与第三阳极 930 连接。随后，采用蒸镀工艺形成阴极图案，阴极图案可以包括位于显示区域 100 的第一阴极、位于过渡区域 200 的第二阴极以及位于虚设区域 300 的第三阴极，第一阴极与第一发光层和阴极电压线 40 连接，第二阴极与第二发光层和阴极电压线 40 连接，第三阴极与第三发光层和阴极电压线 40 连接。在示例性实施方式中，第一阴极、第二阴极和第三阴极可以是相互连接的一体结构，即阴极图案可以为整面结构，且与阴极电压线 40 连接。随后，进行第一封装层、彩膜结构层和第二封装层等工艺，这里不再赘述。

本公开示例性实施例显示装置的结构及其制备过程仅仅是一种示例性说

明，可以根据实际情况变更相应结构以及增加或减少构图工艺，本公开在此不做限定。

在示例性实施方式中，第一绝缘薄膜至第八绝缘薄膜可以采用硅氧化物 SiO_x 、硅氮化物 SiN_x 或氮氧化硅 SiON 等，可以是单层结构，或者可以是多层复合结构。第一金属层至第六金属层可以采用金属材料，如银（Ag）、铜（Cu）、铝（Al）或钼（Mo）等，或者可以采用由金属组成的合金材料，如铝钽合金（AlNd）或钼铌合金（MoNb）等，合金材料可以是单层结构，或者可以是多层复合结构，如 Mo 层、Cu 层和 Mo 层组成的复合结构等。

在示例性实施方式中，过孔的平面形状可以为矩形、圆形或者椭圆等，多个过孔的尺寸可以相同，或者可以不同，本公开在此不做限定。

一种显示装置中，通常设置虚设发光器件的阳极与接地线连接，虚设发光器件的阴极与阴极电压线连接。研究发现，该设计结构存在边缘区域漏光等问题。在高跨压设计结构中，如跨压为 9.5V 左右，会将阴极电压线的电位设置到 -7.5V，因而使得虚设发光器件的阴极与阳极之间的电压差会达到 7.5V，超过有机发光层的起亮电压，导致因虚设发光器件发光的边缘区域漏光问题。

通过本公开示例性实施例显示装置的结构及其制备过程可以看出，本公开通过在过渡区域和虚设区域设置阳极连接线，阳极连接线与过渡区域和虚设区域的阳极连接，有效改善了边缘区域的漏光。在一个示例性实施例中，阳极连接线可以与阴极电压线连接，使得过渡发光器件和虚设发光器件的阳极和阴极具有相同的电位，即使在高跨压情况下，由于阳极和阴极之间的跨压为零，可以保证过渡发光器件和虚设发光器件不会发光。在另一个示例性实施例中，阳极连接线可以处于浮设状态，使得过渡发光器件和虚设发光器件的阳极和阴极之间不会形成电压差，即使在高跨压情况下，可以保证过渡区域发光器件和虚设发光器件不会发光。本公开有效改善了边缘区域的漏光，有效避免了因漏光造成的显示水纹（mura），有利于提高显示装置的显示均一性，有利于实现均一性较高的显示效果，提高了显示装置的显示品质，提升了客户的观感体验。本公开通过在一个重复单元中设置 6 个像素驱动电路，不仅集成度高，使得像素布局更加紧凑，提高空间的利用率，提高了显示装置的分辨率，而且可以提高工艺误差的均一性，提高产品的良率。本公开通

过像素驱动电路布局的优化设计,充分发挥布局空间,合理优化晶体管排布,实现了较小的版图面积,可以减少像素驱动电路的占用面积,可以实现较高的 PPI 和较好的显示品质。

5 在示例性实施方式中,本公开显示装置可以包括但不限于为 OLED 显示装置或者 QLED 显示装置,可以用于虚拟现实设备或增强显示设备等,显示装置可以包括但不限于为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪或者任何具有显示功能的产品或部件。

10 本公开示例性实施例还提供了一种显示装置的制备方法。在示例性实施方式中,所述显示装置包括显示区域和位于所述显示区域至少一侧的虚设区域,所述制备方法可以包括:

在所述虚设区域形成阴极电压线、至少一个虚设阳极连接线和多个虚设发光器件,所述虚设发光器件包括虚设阳极、虚设阴极以及设置在所述虚设阳极和虚设阴极之间的虚设发光层,所述虚设阴极与所述阴极电压线连接,所述虚设阳极与所述虚设阳极连接线连接。

15 虽然本公开所揭露的实施方式如上,但上述的内容仅为便于理解本公开而采用的实施方式,并非用以限定本公开。任何本公开所属领域内的技术人员,在不脱离本公开所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本公开的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1、一种显示装置，包括显示区域和位于所述显示区域至少一侧的虚设区域；所述显示区域包括多个像素驱动电路和多个显示发光器件，所述显示发光器件包括显示阳极、显示阴极以及设置在所述显示阳极和显示阴极之间的显示发光层；所述虚设区域包括阴极电压线、至少一个虚设阳极连接线和多个虚设发光器件，所述虚设发光器件包括虚设阳极、虚设阴极以及设置在所述虚设阳极和虚设阴极之间的虚设发光层；所述显示阴极和虚设阴极均与所述阴极电压线连接，所述显示阳极与所述像素驱动电路连接，所述虚设阳极与
5 所述虚设阳极连接线连接，所述虚设阳极连接线被配置为使所述虚设阳极与虚设阴极的电压差小于所述虚设发光器件的起亮电压。

2、根据权利要求1所述的显示装置，其中，所述虚设阳极连接线与所述阴极电压线连接。

3、根据权利要求1所述的显示装置，其中，所述虚设阳极连接线为沿着第一延伸方向延伸的条形状，多个虚设阳极连接线沿着第二延伸方向依次设置，所述第一延伸方向是远离所述显示区域的方向，所述第二延伸方向是垂直于所述第一延伸方向的方向。
15

4、根据权利要求3所述的显示装置，其中，所述虚设阳极连接线包括具有不同延伸长度的第一连接线和第二连接线，所述第一连接线和第二连接线沿着第二延伸方向交替设置。

5、根据权利要求1所述的显示装置，其中，所述显示装置还包括过渡区域，所述过渡区域位于所述显示区域和所述虚设区域之间，所述过渡区域包括过渡阳极连接线和多个过渡发光器件，所述过渡发光器件包括第二阳极、过渡阴极以及设置在所述过渡阳极和过渡阴极之间的过渡发光层，所述过渡阴极与
20 所述阴极电压线连接，所述过渡阳极与所述过渡阳极连接线连接，所述过渡阳极连接
25 所述过渡阳极连接为沿着列方向延伸的整面金属层，所述过渡阳极连接线被配置为使所述过渡阳极与过渡阴极的电压差小于所述过渡发光器件的起亮电压。

6、根据权利要求5所述的显示装置，其中，所述过渡阳极连接线与所述阴极电压线连接。

7、根据权利要求5所述的显示装置，其中，所述过渡阳极连接线的宽度大于所述阴极电压线的宽度。

8、根据权利要求5所述的显示装置，其中，所述过渡阳极连接线的宽度大于所述虚设阳极连接线的宽度。

5 9、根据权利要求5所述的显示装置，其中，所述过渡阳极连接线的宽度大于所述过渡阳极的宽度。

10、根据权利要求5所述的显示装置，其中，所述过渡阳极连接线的长度小于所述阴极电压线的延伸长度。

11、根据权利要求5所述的显示装置，其中，所述过渡阳极连接线的长度大于所述虚设阳极连接线的延伸长度。

12、根据权利要求5所述的显示装置，其中，所述虚设阳极连接线的宽度小于所述阴极电压线的宽度。

13、根据权利要求5所述的显示装置，其中，所述虚设区域中虚设发光器件的数量与所述过渡区域中过渡发光器件的数量不同。

15 14、根据权利要求13所述的显示装置，其中，所述虚设区域中虚设发光器件的数量大于所述过渡区域中过渡发光器件的数量。

15、根据权利要求5所述的显示装置，其中，至少一个虚设发光器件在显示装置平面上的正投影与所述过渡阳极连接线在显示装置平面上的正投影至少部分交叠。

20 16、根据权利要求5所述的显示装置，其中，至少一个过渡发光器件在显示装置平面上的正投影与所述虚设阳极连接线在显示装置平面上的正投影不交叠。

17、根据权利要求5所述的显示装置，其中，所述过渡阳极通过过渡阳极过孔与所述过渡阳极连接线连接，所述虚设阳极通过虚设阳极过孔与所述虚设阳极连接线连接，沿着行方向，所述虚设阳极过孔和所述过渡阳极过孔不在同一直线上。

18、根据权利要求5所述的显示装置，其中，在显示装置行方向的两侧，所述过渡区域和虚设区域包括3个发光器件列，每个发光器件列包括沿着列

方向依次设置的多个虚设发光器件或者多个过渡发光器件。

19、根据权利要求 5 所述的显示装置，其中，在显示装置列方向的两侧，所述虚设区域包括 2 个发光器件行，每个发光器件行包括多个沿着行方向依次设置的多个虚设发光器件。

5 20、根据权利要求 1 至 19 任一项所述的显示装置，其中，在垂直于所述显示装置的平面上，所述显示装置包括硅基底、设置在所述硅基底上的驱动电路层以及设置在所述驱动电路层远离硅基底一侧的发光结构层；所述驱动电路层包括在所述硅基底上依次设置的第一导电层、第二导电层、第三导电层、第四导电层、第五导电层、第六导电层、第七导电层和第八导电层，所述
10 所述阴极电压线设置在所述第八导电层中。

21、根据权利要求 20 所述的显示装置，其中，所述过渡阳极连接线、虚设阳极连接线和阴极电压线同层设置。

22、根据权利要求 20 所述的显示装置，其中，所述显示区域的驱动电路层包括多个重复单元，至少一个重复单元包括多个像素驱动电路，至少一个
15 像素驱动电路包括第一晶体管、第二晶体管、第三晶体管和存储电容，所述第一晶体管的控制极与扫描信号线连接，所述第一晶体管的第一极与数据信号线连接，所述第二晶体管的控制极与参考信号线连接，所述第三晶体管的控制极与所述存储电容的第一电容极板连接，所述第三晶体管的第一极与第一电源线连接，所述存储电容的第二电容极板与阴极电压线连接；所述扫描
20 信号线和参考信号线设置在所述第二导电层中，所述数据信号线设置在所述第三导电层中，所述第一电源线设置在所述第四导电层中。

23、根据权利要求 22 所述的显示装置，其中，在所述重复单元中，至少一个像素驱动电路的存储电容的第一电容极板设置在所述第五导电层中，存储电容的第二电容极板设置在所述第六导电层中。

25 24、根据权利要求 22 所述的显示装置，其中，在所述重复单元中，至少一个像素驱动电路的存储电容的第一电容极板设置在所述第七导电层中，存储电容的第二电容极板设置在所述第六导电层中。

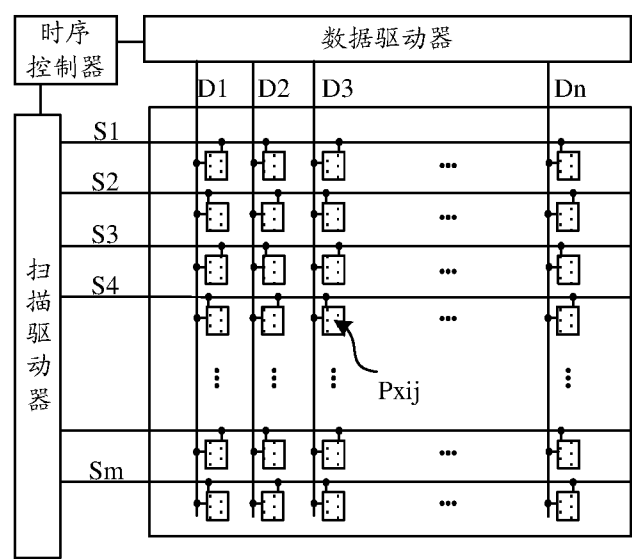


图1

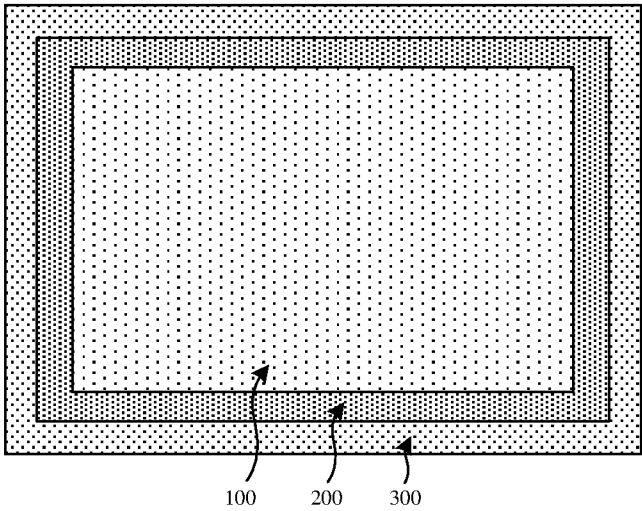


图2

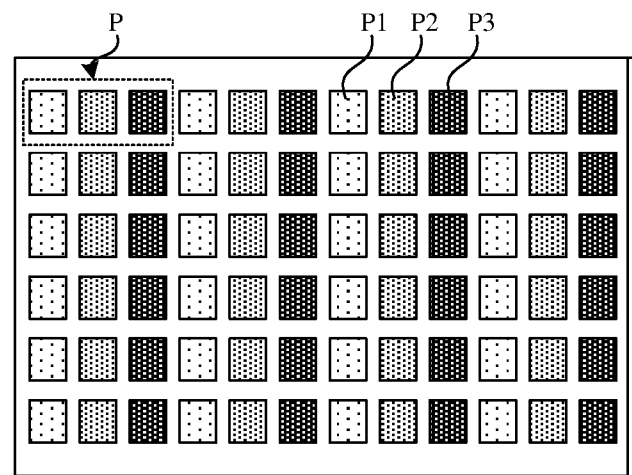


图3

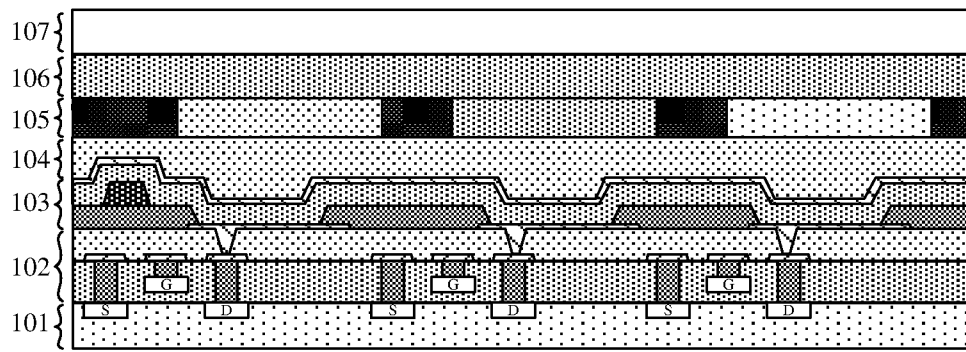


图4

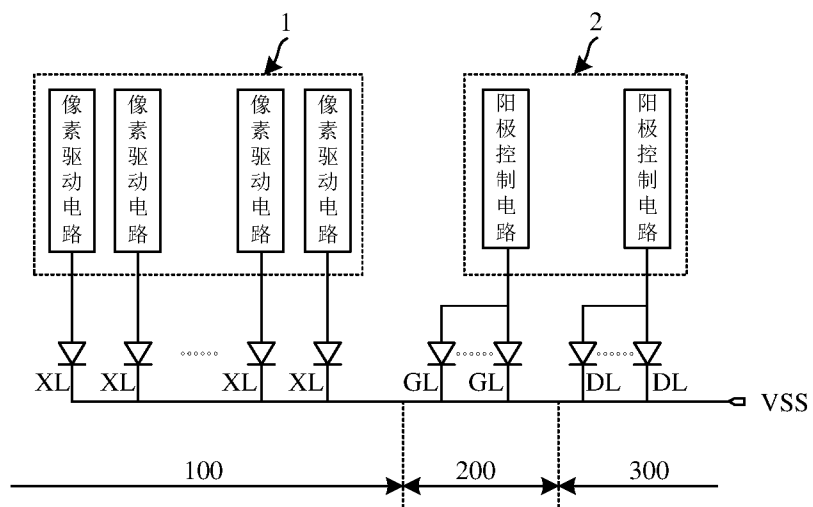


图5

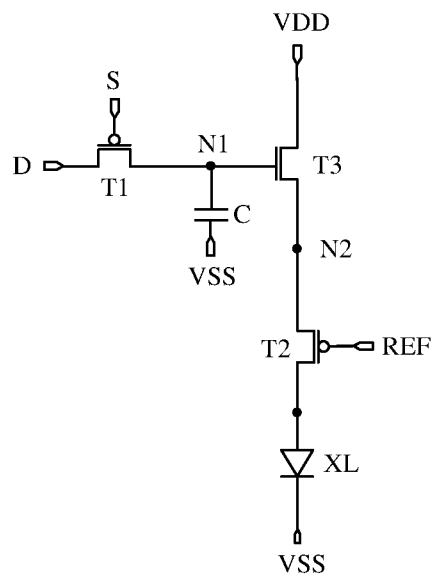


图6

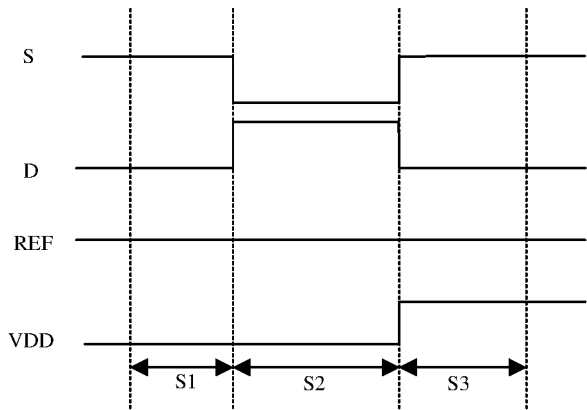


图7

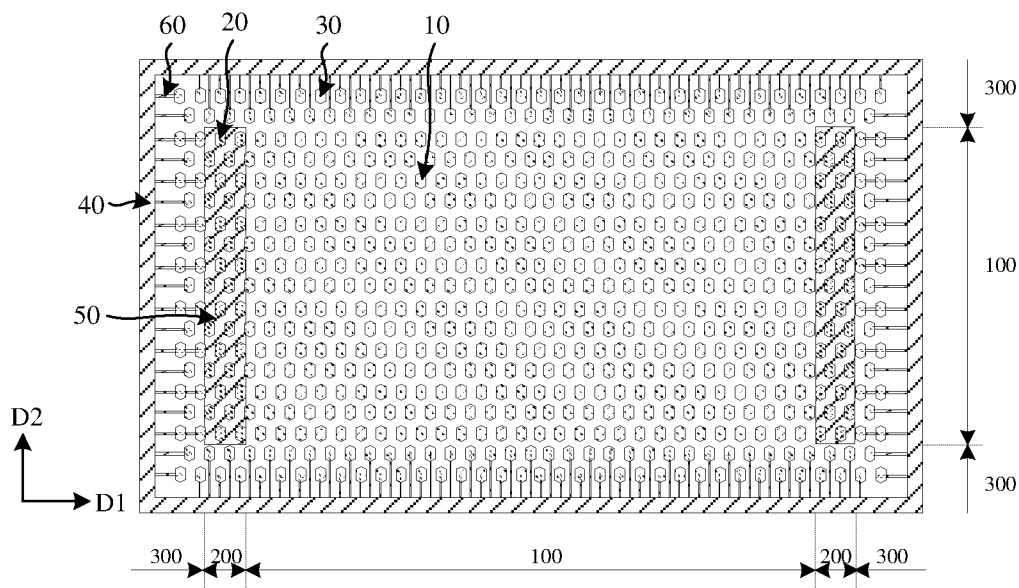


图8

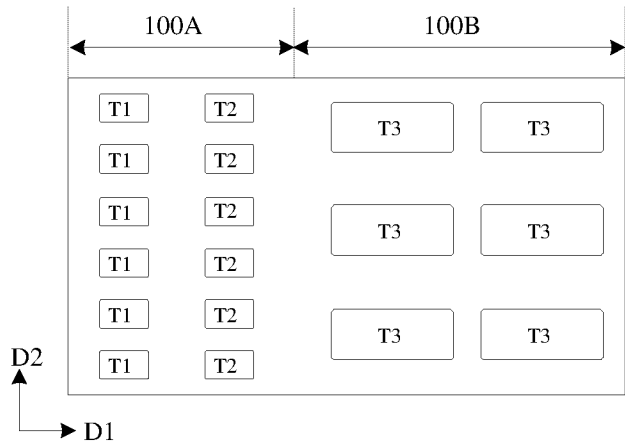


图9

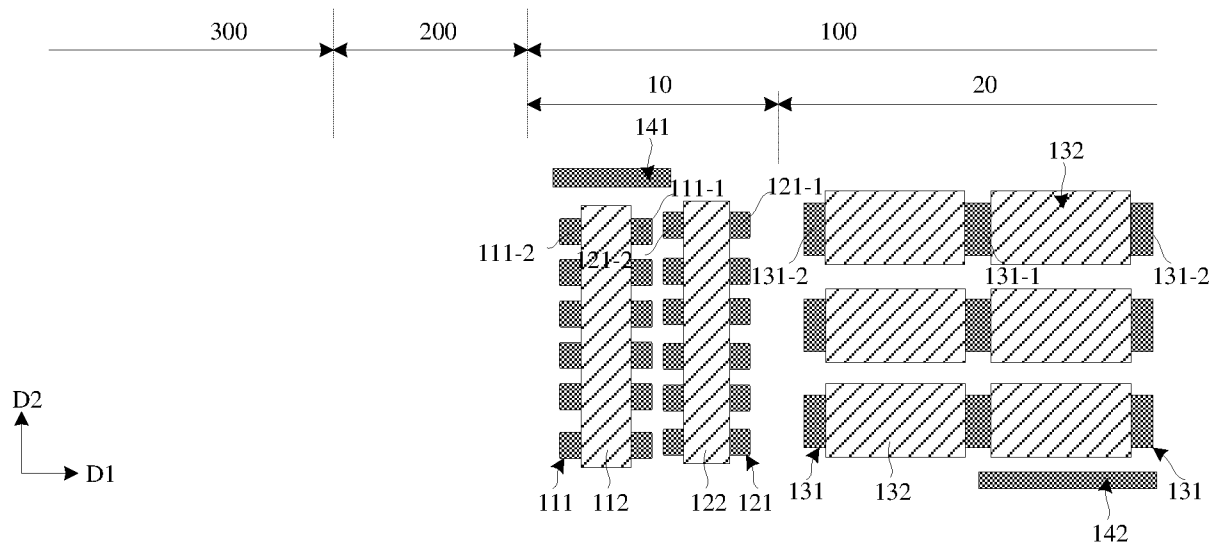


图10

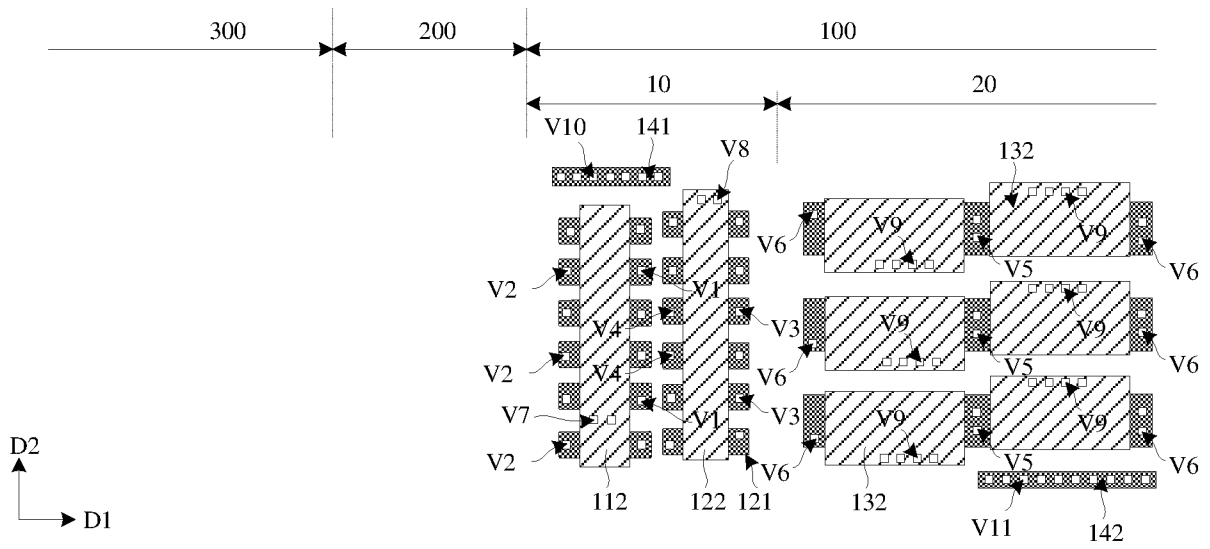


图11

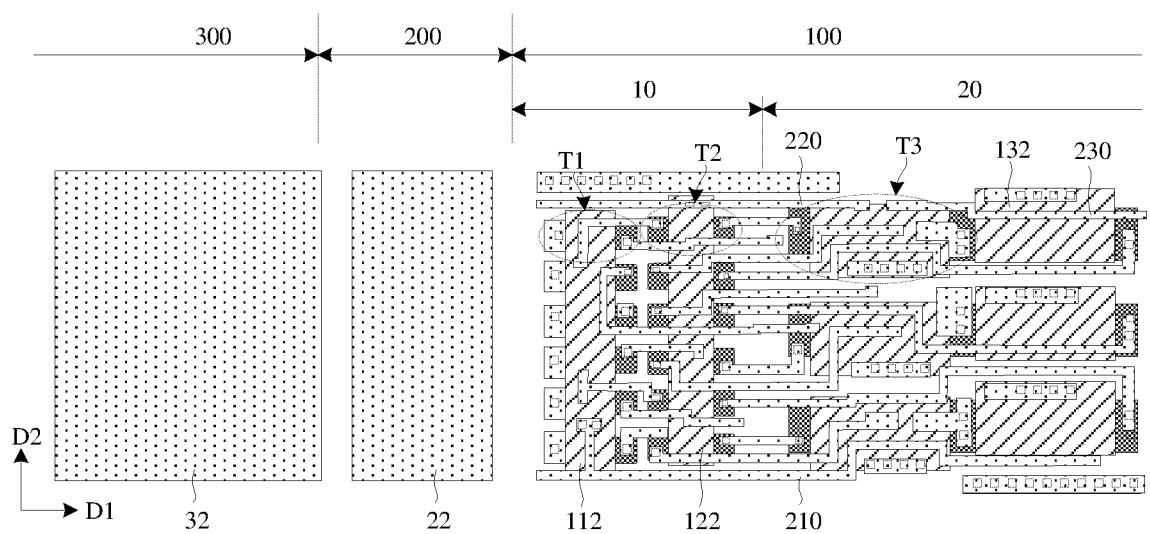


图12a

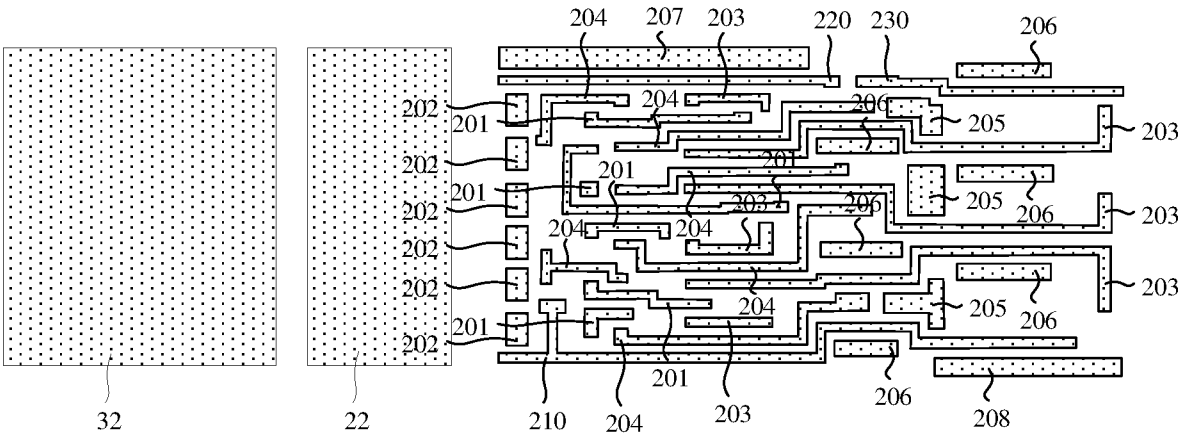
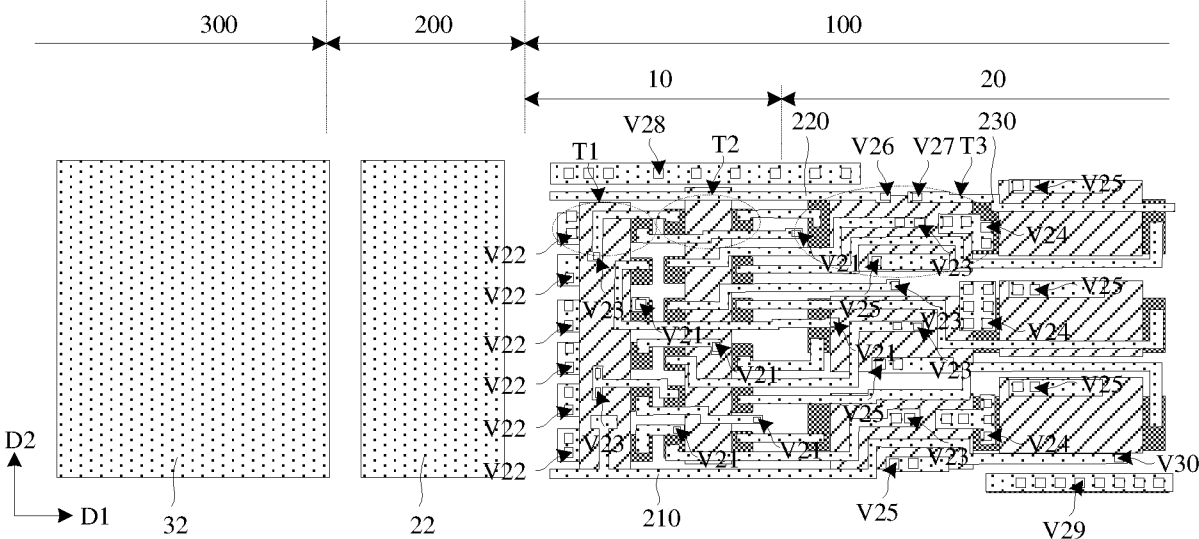


图12b



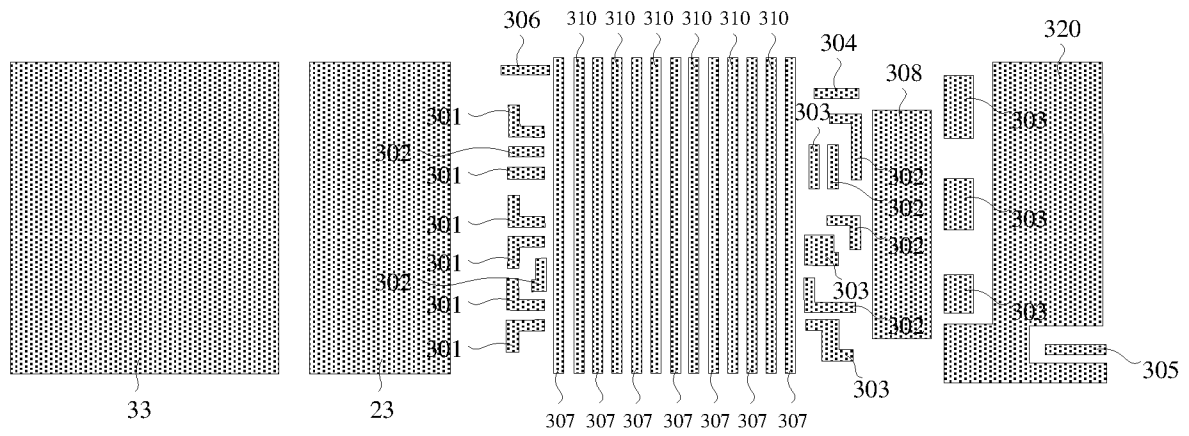


图14b

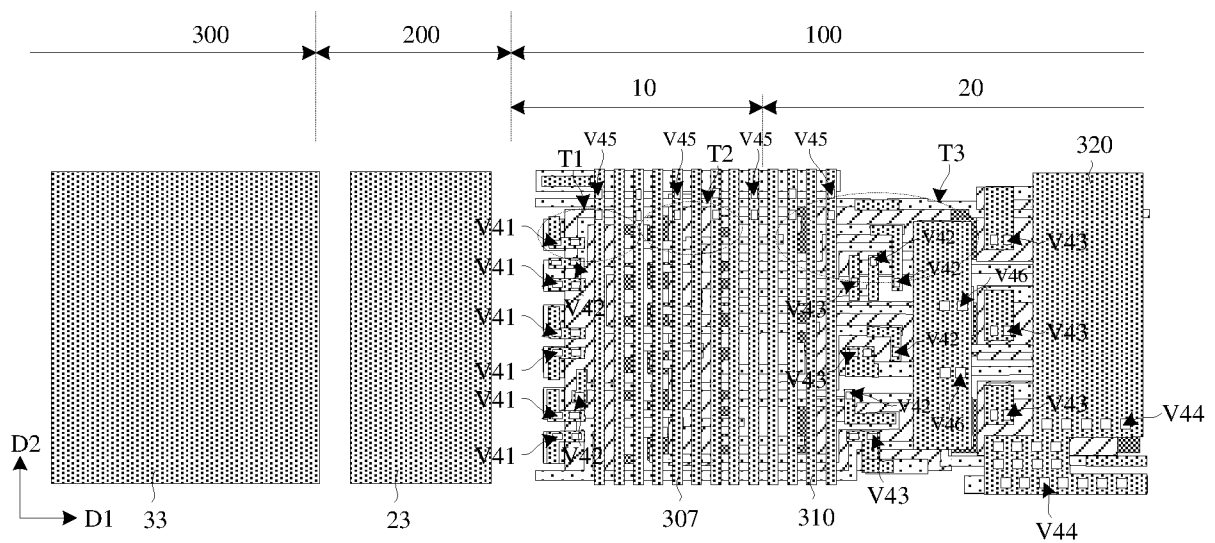


图15

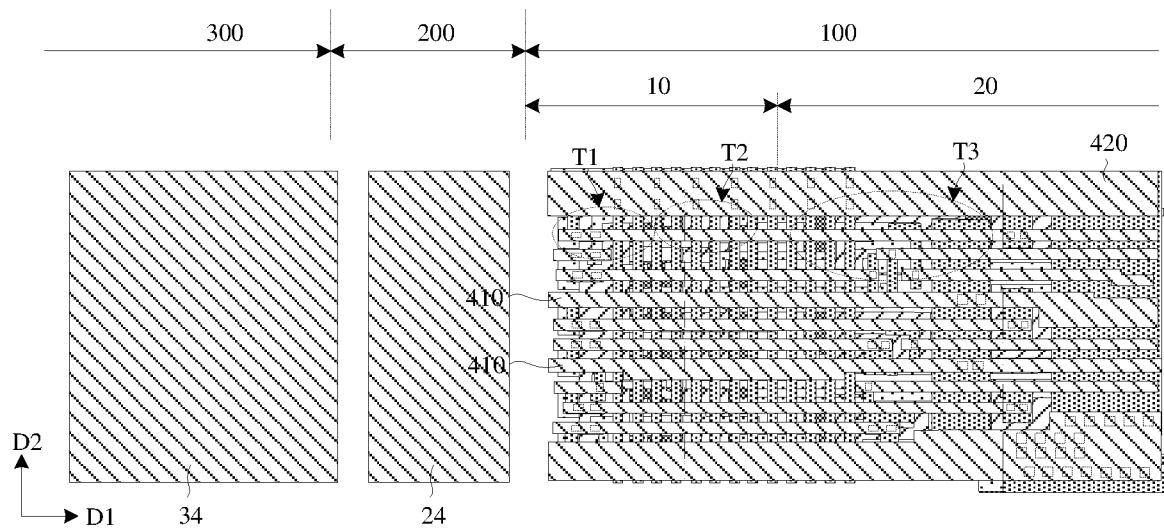


图16a

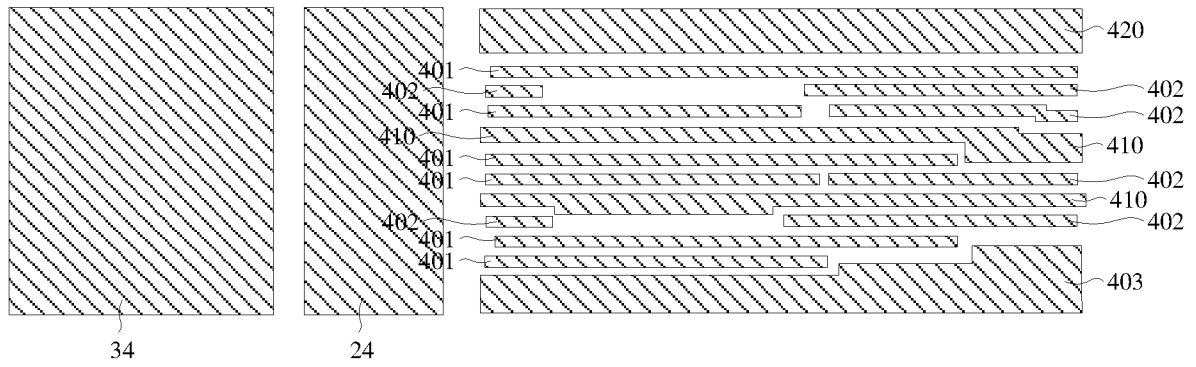


图16b

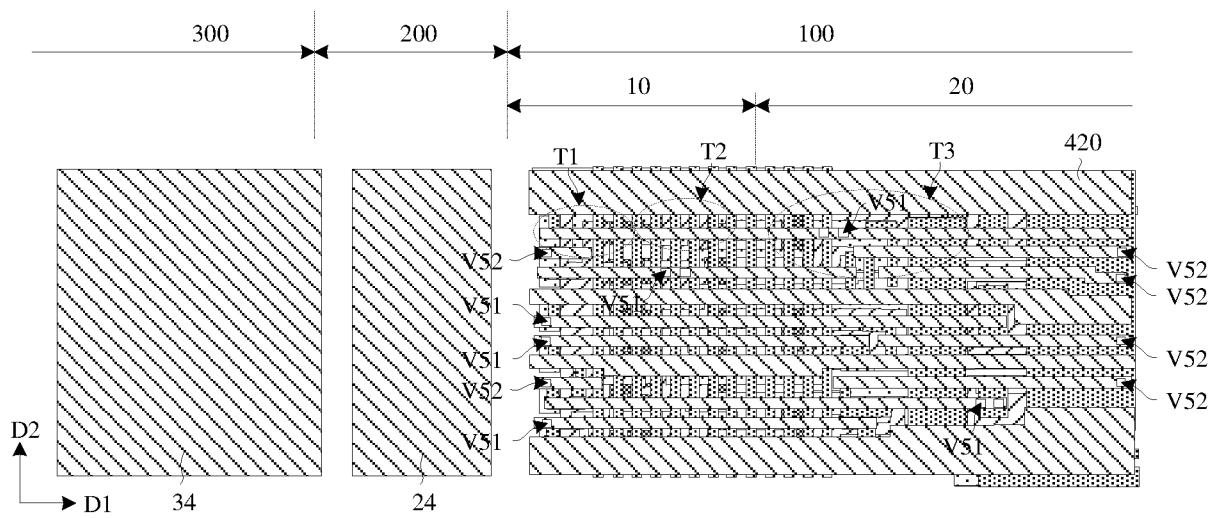


图17

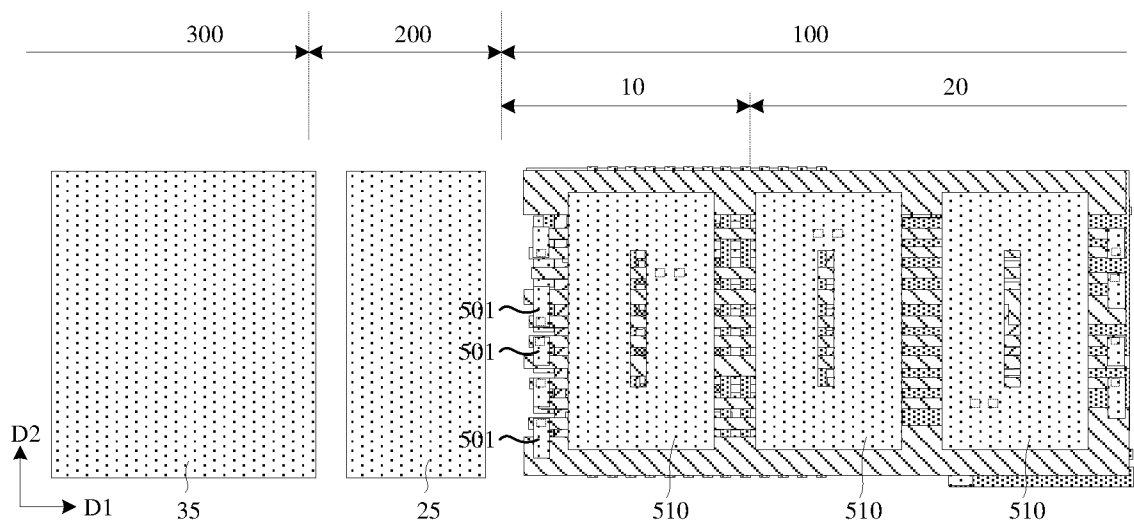


图18a

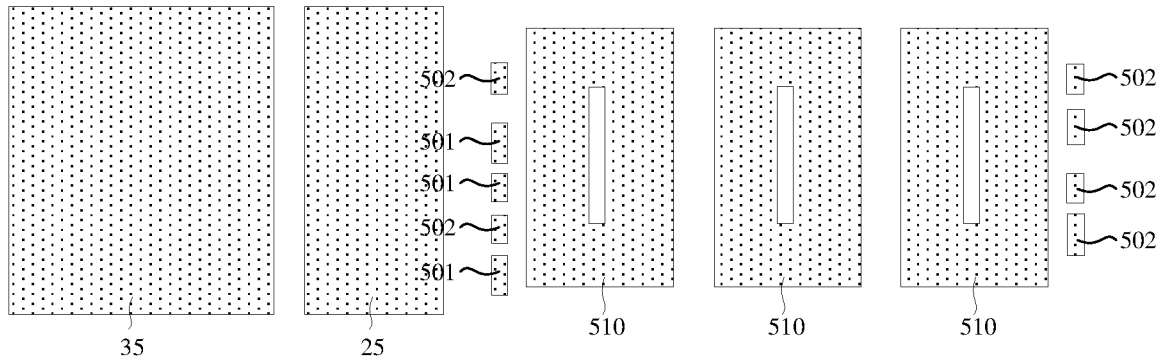


图18b

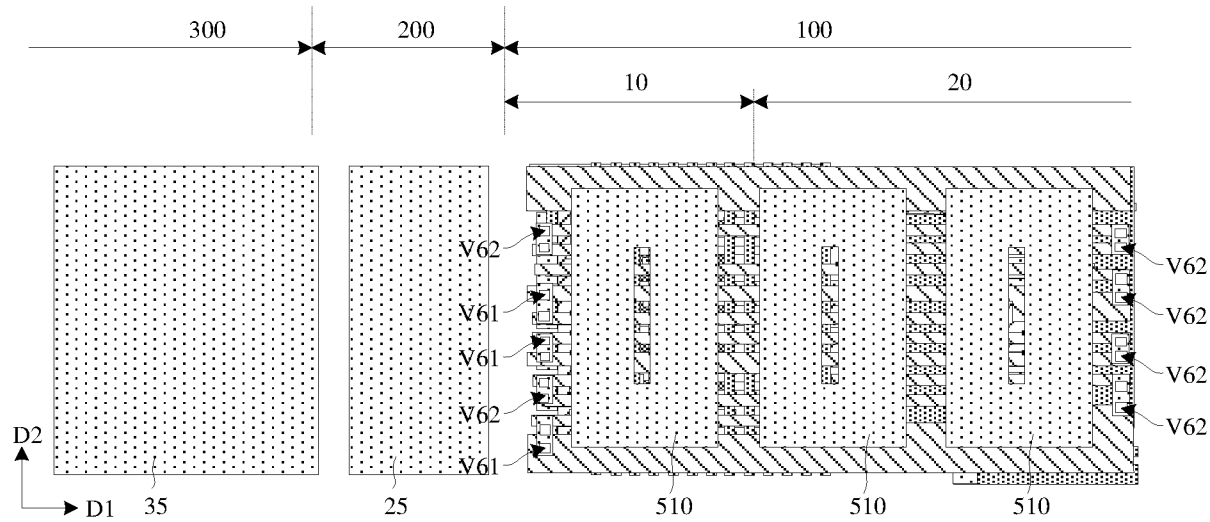


图19

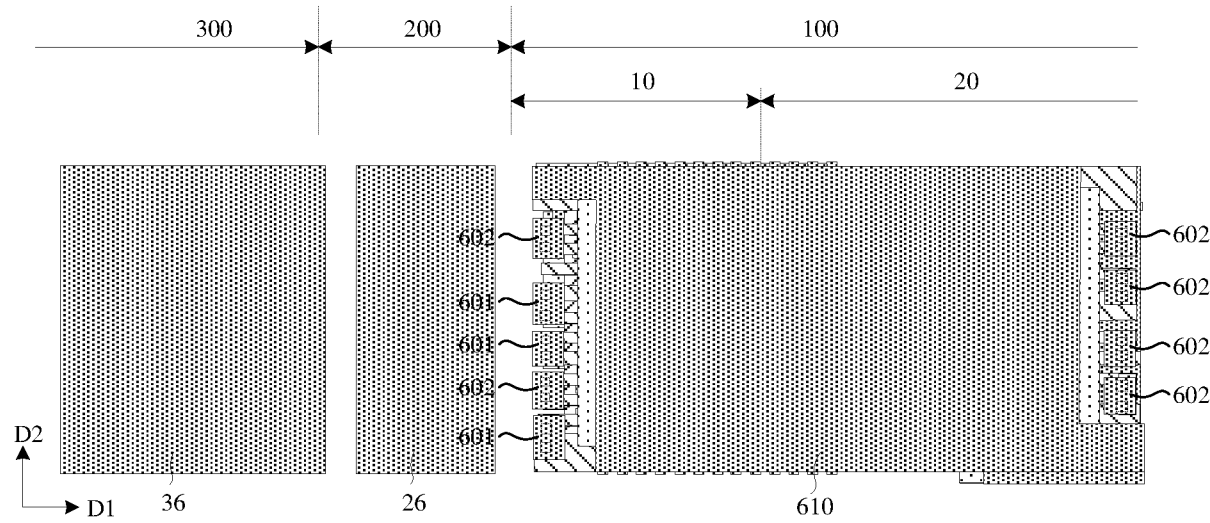


图20

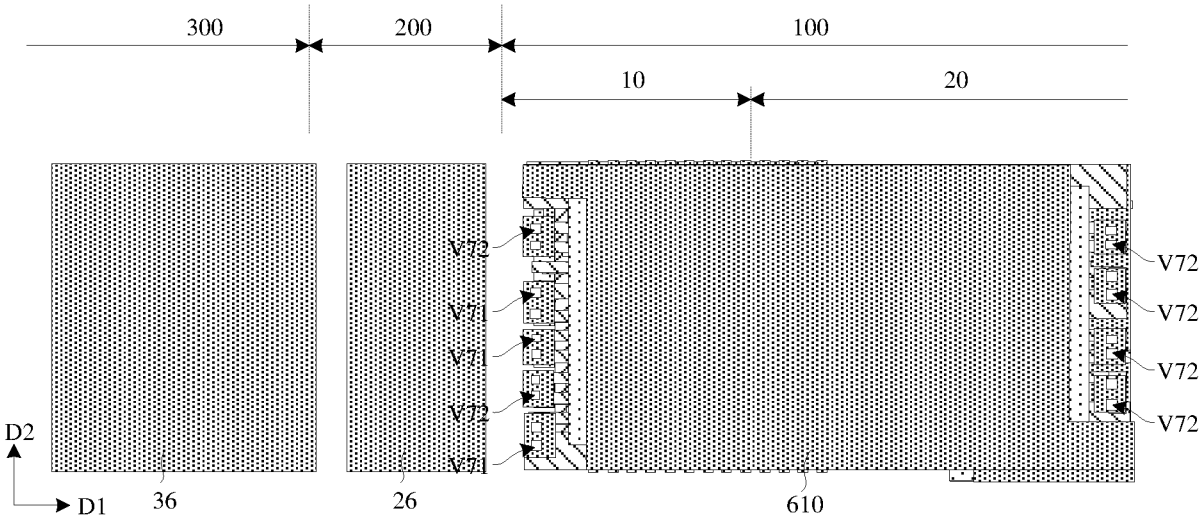


图21

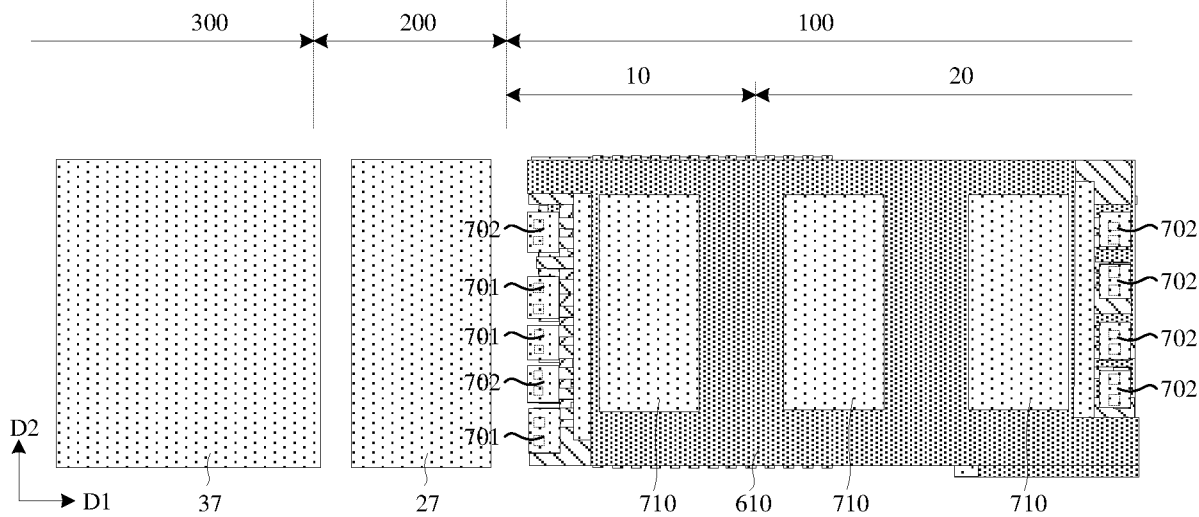


图22

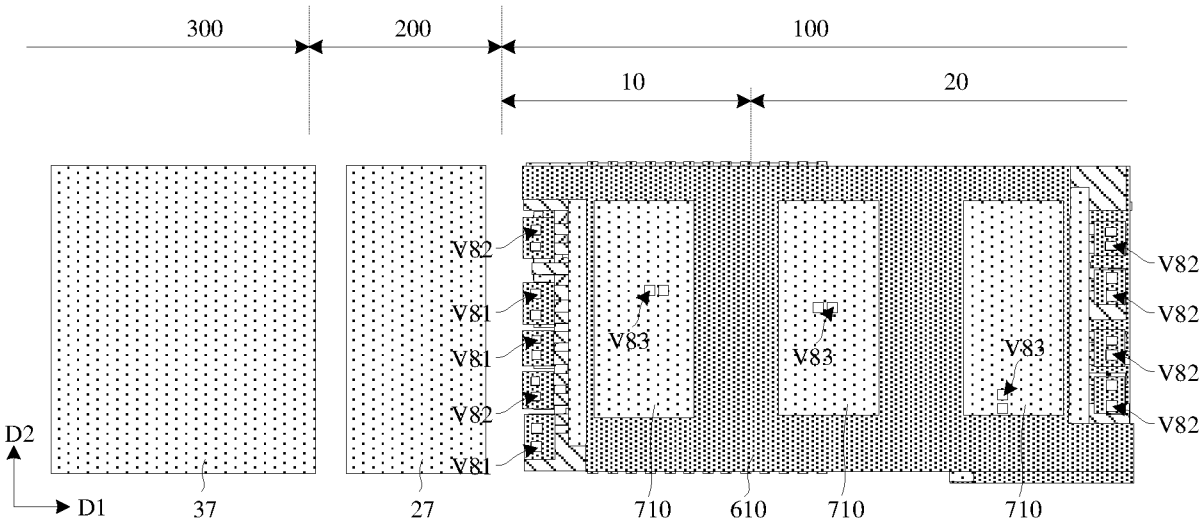


图23

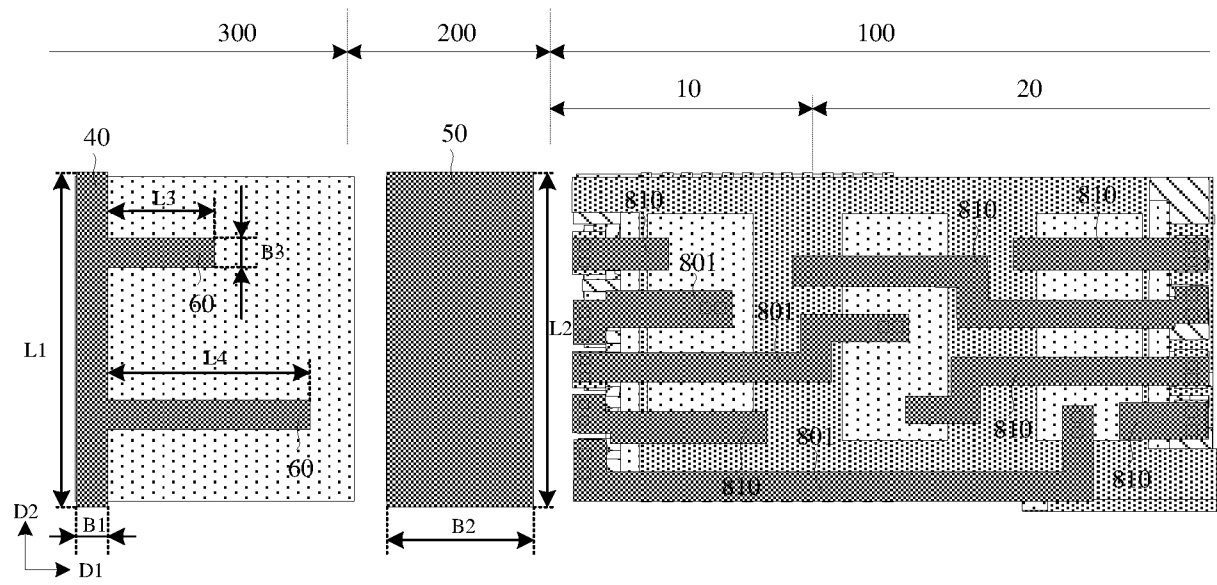


图24

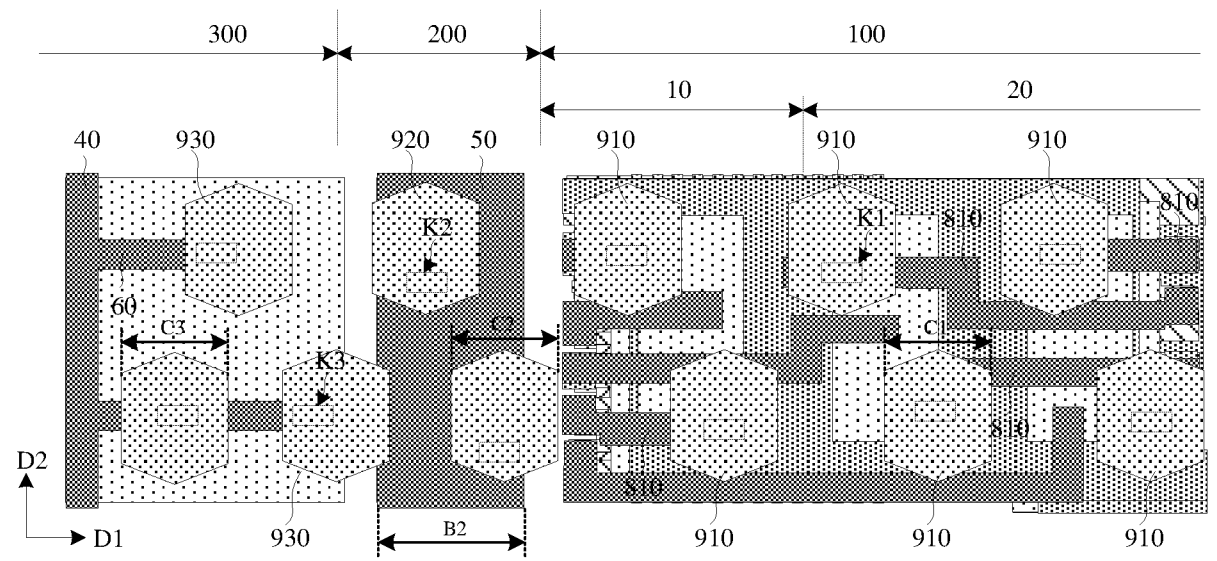


图25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/140892

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2016.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; WOTXT; EPTXT; USTXT; VEN; CNKI: 显示, 虚设, 虚拟, 像素, 不发光, 启亮, 起亮, 断开, 浮设, 浮接, 浮置, 浮动, 电位, 漏光, display, dummy, pixel, not emit, light emit, disconnect, float, voltage, anode, leakage, mura

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 111223450 A (CANON KK) 02 June 2020 (2020-06-02) description, paragraphs [0038]-[0128], and figures 1-20	1-24
X	US 2018315357 A1 (APPLE INC.) 01 November 2018 (2018-11-01) description, paragraphs [0017]-[0039], and figures 4-7	1-24
X	WO 2021203358 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 14 October 2021 (2021-10-14) description, page 6, line 22-page 25, line 11, and figures 3-30	1-24
A	CN 111653601 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 11 September 2020 (2020-09-11) entire document	1-24
A	WO 2021207930 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 21 October 2021 (2021-10-21) entire document	1-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 August 2022

Date of mailing of the international search report

17 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/140892

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111223450	A	02 June 2020	JP	2020076974	A	21 May 2020
				US	2020143741	A1	07 May 2020
				US	11087680	B2	10 August 2021
				JP	6818837	B2	20 January 2021
US	2018315357	A1	01 November 2018	None			
WO	2021203358	A1	14 October 2021	CN	113811940	A	17 December 2021
CN	111653601	A	11 September 2020	None			
WO	2021207930	A1	21 October 2021	WO	2021207930	A9	18 November 2021
				CN	215578564	U	18 January 2022

国际检索报告

国际申请号

PCT/CN2021/140892

A. 主题的分类 G09G 3/32 (2016.01) i; H01L 27/32 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNTXT; CNABS; WOTXT; EPTXT; USTXT; VEN; CNKI: 显示, 虚设, 虚拟, 像素, 不发光, 启亮, 起亮, 断开, 浮设, 浮接, 浮置, 浮动, 电位, 漏光, display, dummy, pixel, not emit, light emit, disconnect, float, voltage, anode, leakage, mura																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 111223450 A (佳能株式会社) 2020年6月2日 (2020 - 06 - 02) 说明书第[0038]-[0128]段, 附图1-20</td> <td>1-24</td> </tr> <tr> <td>X</td> <td>US 2018315357 A1 (APPLE INC) 2018年11月1日 (2018 - 11 - 01) 说明书第[0017]-[0039]段, 附图4-7</td> <td>1-24</td> </tr> <tr> <td>X</td> <td>W0 2021203358 A1 (京东方科技集团股份有限公司 等) 2021年10月14日 (2021 - 10 - 14) 说明书第6页第22行-第25页第11行, 附图3-30</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 111653601 A (昆山国显光电有限公司) 2020年9月11日 (2020 - 09 - 11) 全文</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>W0 2021207930 A1 (京东方科技集团股份有限公司 等) 2021年10月21日 (2021 - 10 - 21) 全文</td> <td>1-24</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 111223450 A (佳能株式会社) 2020年6月2日 (2020 - 06 - 02) 说明书第[0038]-[0128]段, 附图1-20	1-24	X	US 2018315357 A1 (APPLE INC) 2018年11月1日 (2018 - 11 - 01) 说明书第[0017]-[0039]段, 附图4-7	1-24	X	W0 2021203358 A1 (京东方科技集团股份有限公司 等) 2021年10月14日 (2021 - 10 - 14) 说明书第6页第22行-第25页第11行, 附图3-30	1-24	A	CN 111653601 A (昆山国显光电有限公司) 2020年9月11日 (2020 - 09 - 11) 全文	1-24	A	W0 2021207930 A1 (京东方科技集团股份有限公司 等) 2021年10月21日 (2021 - 10 - 21) 全文	1-24
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 111223450 A (佳能株式会社) 2020年6月2日 (2020 - 06 - 02) 说明书第[0038]-[0128]段, 附图1-20	1-24																		
X	US 2018315357 A1 (APPLE INC) 2018年11月1日 (2018 - 11 - 01) 说明书第[0017]-[0039]段, 附图4-7	1-24																		
X	W0 2021203358 A1 (京东方科技集团股份有限公司 等) 2021年10月14日 (2021 - 10 - 14) 说明书第6页第22行-第25页第11行, 附图3-30	1-24																		
A	CN 111653601 A (昆山国显光电有限公司) 2020年9月11日 (2020 - 09 - 11) 全文	1-24																		
A	W0 2021207930 A1 (京东方科技集团股份有限公司 等) 2021年10月21日 (2021 - 10 - 21) 全文	1-24																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2022年8月5日		国际检索报告邮寄日期 2022年8月17日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 张弓 电话号码 (86-512) 88995669																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/140892

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111223450	A	2020年6月2日	JP	2020076974	A	2020年5月21日
				US	2020143741	A1	2020年5月7日
				US	11087680	B2	2021年8月10日
				JP	6818837	B2	2021年1月20日
US	2018315357	A1	2018年11月1日	无			
WO	2021203358	A1	2021年10月14日	CN	113811940	A	2021年12月17日
CN	111653601	A	2020年9月11日	无			
WO	2021207930	A1	2021年10月21日	WO	2021207930	A9	2021年11月18日
				CN	215578564	U	2022年1月18日