

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6863033号
(P6863033)

(45) 発行日 令和3年4月21日(2021.4.21)

(24) 登録日 令和3年4月5日(2021.4.5)

(51) Int. Cl.	F I				
HO2M 1/08 (2006.01)	HO2M	1/08	3 4 1 B		
HO3K 17/12 (2006.01)	HO2M	1/08	A		
	HO3K	17/12			

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2017-82003 (P2017-82003)	(73) 特許権者	000004260
(22) 出願日	平成29年4月18日 (2017.4.18)		株式会社デンソー
(65) 公開番号	特開2018-182953 (P2018-182953A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成30年11月15日 (2018.11.15)	(74) 代理人	110000567
審査請求日	令和2年3月23日 (2020.3.23)		特許業務法人 サトー国際特許事務所
		(72) 発明者	池川 幸平
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 電圧駆動型半導体素子の並列駆動回路

(57) 【特許請求の範囲】

【請求項1】

電圧駆動型半導体素子(20, 21)を駆動対象とするもので、
高電位側端子(VB2)とハイ側駆動端子(PD)との間に接続されるハイ側スイッチング素子(7)と、このハイ側スイッチング素子の導通制御端子に印加するハイレベル駆動電圧が変更可能であるハイ側ブリドライバ(8)とを有するハイレベル駆動部(3)と

、
ロー側駆動端子(ND)と低電位側端子(NS)との間に接続されるロー側スイッチング素子(10)と、このロー側スイッチング素子の導通制御端子にローレベル駆動電圧を印加するロー側ブリドライバ(12)とを有するローレベル駆動部(4)とを備え、前記低電位側端子がグランド端子(GND)とは別個に設けられている二値レベル駆動部(2)と、

入力される駆動制御信号に応じて、前記ハイレベル駆動部及び前記ローレベル駆動部にそれぞれ出力する駆動信号を生成する駆動信号生成部(6)とを備え、

前記二値レベル駆動部を複数備えてなる電圧駆動型半導体素子の並列駆動回路。

【請求項2】

前記ローレベル駆動部は、入力される駆動信号のレベルをシフトするレベルシフタ(11)と、

前記低電位側端子の電位を基準として生成した電圧を、前記ロー側ブリドライバ及び前記レベルシフタに供給する駆動部用電源(13)とを備える請求項1記載の電圧駆動型半

導体素子の並列駆動回路。

【請求項 3】

前記ローレベル駆動電圧として与える負電圧を生成する負電源回路(14)と、前記負電圧が供給される負電圧供給端子(VSS)とを備える請求項2記載の電圧駆動型半導体素子の並列駆動回路。

【請求項 4】

前記負電源回路は、前記負電圧のレベルが変更可能である請求項3記載の電圧駆動型半導体素子の並列駆動回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、複数の電圧駆動型半導体素子を並列に駆動する回路に関する。

【背景技術】

【0002】

特許文献1には、ワイドバンドギャップ半導体スイッチング素子であるSiC(シリコン・カーバイド)-MOSFET1とSi-IGBT2とを並列接続したパワー半導体モジュールにおいて、前者のチップ面積が後者よりも小さくなるように構成したものが開示されている。そして、特許文献1の図10には、パワー半導体モジュールのゲート駆動回路が開示されている。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献1】特開2013-59190号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1では上記のゲート駆動回路について、並列素子のターンオン、ターンオフタイミングをどのように設定するか、のみが説明されている。SiC-MOSFET1とSi-IGBT2とでは、最適な駆動電圧が異なる場合があるが、特許文献1ではその点については言及されておらず、両者の駆動電圧は同等に設定されている。

30

【0005】

例えば、SiC-MOSFETについては、オン抵抗が低いという特性を活かすためオン電圧をSi-IGBTよりも高く設定することがある。また、SiC-MOSFETは閾値電圧が低いことから、オフ状態における誤オンを防止するためオフ電圧を負電位に設定することがある。したがって、特許文献1に開示されているゲート駆動回路を用いた場合、SiC-MOSFETとSi-IGBTとを並列接続して駆動することで得られる損失低減効果を十分に得ることができない。

【0006】

また、SiC-MOSFETとSi-IGBTとのそれぞれに対応したゲート駆動回路を用意するのであれば、それぞれ専用の駆動ICが必要になり、回路基板への実装面積が大きくなってコストが増加してしまう。

40

【0007】

本発明は上記事情に鑑みてなされたものであり、その目的は、複数の素子を柔軟な形態で駆動できる汎用性が高い電圧駆動型半導体素子の並列駆動回路を提供することにある。

【課題を解決するための手段】

【0008】

請求項1記載の電圧駆動型半導体素子の並列駆動回路によれば、ハイレベル駆動部は、高電位側端子とハイ側駆動端子との間に接続されるハイ側スイッチング素子の導通制御端子に、ハイ側プリドライバによってハイレベル駆動電圧を印加する。そして、ハイ側プリドライバを、ハイレベル駆動電圧を変更可能となるように構成する。ローレベル駆動部は

50

、ロー側駆動端子と低電位側端子との間に接続されるロー側スイッチング素子の導通制御端子に、ロー側プリドライバによってローレベル駆動電圧を印加する。前記低電位側端子はグランド端子と別個に設けられている。

【0009】

このように構成し、ハイ側及びロー側駆動端子を駆動対象とする電圧駆動型半導体素子の導通制御端子に接続すれば、ハイ側スイッチング素子をオンすることで、高電位側端子に供給されている電圧に基づき調整したハイレベル駆動電圧を印加できる。したがって、駆動対象とする半導体素子の種類に応じて適切な電圧を与えることができる。

【0010】

また、ロー側スイッチング素子をオンすることで、電圧駆動型半導体素子の導通制御端子に、低電位側端子に供給されている電圧をローレベル駆動電圧として印加することができる。この際に、低電位側端子はグランド端子と独立しているため、ローレベル駆動電圧としては、グランド電位のみならず例えば負電圧を供給することも可能である。

【0011】

そして、ハイレベル駆動部及びローレベル駆動部からなる二値レベル駆動部を複数備えるので、複数種類の電圧駆動型半導体素子を並列駆動するのに際して、それぞれの種類に応じて適切となるハイレベル及びローレベル駆動電圧を印加できる。これにより、複数の電圧駆動型半導体素子を並列に駆動することによるメリットを十分に享受できる。また、前記半導体素子の種類に応じた専用の駆動回路を設ける必要が無いので、汎用性を高めることができる。

【図面の簡単な説明】

【0012】

【図1】第1実施形態であり、ゲート駆動回路にSi-IGBT及びSiC-MOSFETを接続した状態を示す回路図

【図2】ゲート駆動回路に対するSi-IGBT及びSiC-MOSFETの接続を入れ替えた状態を示す回路図

【図3】第2実施形態であり、ゲート駆動回路にSi-IGBT及びSiC-MOSFETを接続した状態を示す回路図

【図4】ゲート駆動回路に対するSi-IGBT及びSiC-MOSFETの接続を入れ替えた状態を示す回路図

【発明を実施するための形態】

【0013】

(第1実施形態)

図1に示すように、本実施形態のゲート駆動回路1は、第1駆動部2(1)及び第2駆動部2(2)を備えている。各駆動部2は、PCH駆動部3及びNCH駆動部4を有している。ゲート駆動回路1は、信号入力端子IN、2つの電源端子VB1及びVB2、グランド端子GNDを備えている。また、ゲート駆動回路1は、第1駆動部2(1)に接続されるハイ側駆動端子PD1、ロー側駆動端子ND1及び低電位側端子NS1と、第2駆動部2(2)に接続されるハイ側駆動端子PD2、ロー側駆動端子ND2及び低電位側端子NS2とを備えている。低電位側端子NS1は、ゲート駆動回路1の外部でグランド端子GNDに接続されている。

【0014】

さらに、ゲート駆動回路1は、負電圧供給端子VSSを備えている。電源端子VB1及びVB2は、外部の直流電源5の正側端子に接続されており、ロー側駆動端子ND2及び負電圧供給端子VSSは、直流電源5の負側端子に共通に接続されている。グランド端子GNDは、グランド電位である0Vに設定されている。信号入力端子INには外部より駆動制御信号が与えられ、その駆動制御信号は駆動信号生成部6に入力される。駆動信号生成部6は、前記駆動制御信号に基づいてPCH駆動部3及びNCH駆動部4にそれぞれに対応した駆動制御信号を入力する。

【0015】

10

20

30

40

50

第1駆動部2(1)及び第2駆動部2(2)は対称に構成されており、以下では第1駆動部2(1)について説明する。PCH駆動部3は、電源端子VB2にソースが接続され、ハイ側駆動端子PD1にドレインが接続されるPチャンネルMOSFET7を備えている。FET7のゲートには、ハイ側プリドライバ8の出力端子が接続されている。ゲートは導通制御端子に相当する。プリドライバ8の反転入力端子には、駆動信号生成部6からの駆動制御信号が入力される。前記反転入力端子と同じシンボルで示される基準電圧入力端子には、可変電圧源9の正側端子が接続されている。プリドライバ8の非反転入力端子はFET7のドレインに接続されている。プリドライバ8の負側端子及び可変電圧源9の負側端子は、グランド端子GNDに接続されている。

【0016】

NCH駆動部4は、ドレインがロー側駆動端子ND1に接続され、ソースが低電位側端子NS1に接続されるNチャンネルMOSFET10を備えている。FET10のゲートには、駆動信号生成部6からの駆動制御信号がレベルシフタ11及びロー側プリドライバ12を介して与えられている。駆動部用電源13の正側端子は電源端子VB1に、負側端子は低電位側端子NS1にそれぞれ接続されている。電源13は、FET10のゲートに印加するハイレベル駆動電圧を生成してレベルシフタ11及びロー側プリドライバ12に供給する。レベルシフタ11の入力負側端子はゲート駆動回路1の内部でグランド端子GNDに接続されており、レベルシフタ11の出力負側端子及びプリドライバ12の負側端子は低電位側端子NS1に接続されている。

【0017】

また、ゲート駆動回路1は、負電源回路14を備えている。負電源回路14は、電源端子VB1と負電圧供給端子VSSとの間に接続されるNチャンネルMOSFET15、抵抗素子16及び17の直列回路と、オペアンプ18とを備えている。オペアンプ18の非反転入力端子には可変電圧源19の正側端子が接続され、可変電圧源19の負側端子は負電圧供給端子VSSに接続されている。オペアンプ18の反転入力端子は抵抗素子16及び17の共通接続点に接続されており、オペアンプ18の出力端子はFET15のゲートに接続されている。FET15のソースはグランド端子GNDに接続されている。

【0018】

ゲート駆動回路1のハイ側駆動端子PD1及びロー側駆動端子ND1は、それぞれゲート抵抗を介してSi-IGBT20のゲートに接続されている。また、ハイ側駆動端子PD2及びロー側駆動端子ND2は、それぞれゲート抵抗を介してSiC-MOSFET21のゲートに接続されている。IGBT20のコレクタはFET21のドレインに接続されており、これらには図示しない駆動用電源が供給される。また、IGBT20のエミッタはFET21のソースと共に、ゲート駆動回路1のグランド端子GNDに接続されている。そして、グランド端子GNDと負電圧供給端子VSSとの間には、コンデンサ22が接続されている。

【0019】

尚、駆動部2(2)側のレベルシフタ11の入力負側端子はグランド端子GNDに接続されており、出力負側端子は低電位側端子NS2を介して負電圧供給端子VSSに接続されている。

【0020】

ここで、FET7はハイ側スイッチング素子に相当し、FET10はロー側スイッチング素子に相当する。また、駆動部2は二値レベル駆動部に相当し、PCH駆動部3はハイレベル駆動部、NCH駆動部4はローレベル駆動部に相当する。また、IGBT20及びFET21は電圧駆動型半導体素子に相当する。ゲート駆動回路1は、並列駆動回路に相当する。

【0021】

次に、本実施形態の作用について説明する。上述した接続形態において、IGBT20とFET21とを並列駆動する際の各電位設定の一例を示す。直流電源5より供給される電圧が例えば25Vであるとする。第1駆動部2(1)のPCH駆動部3では、FET7

10

20

30

40

50

がオンした際に I G B T 2 0 のゲートに印加されるハイレベル駆動電圧が 1 5 V となるように可変電圧源 9 の基準電圧を調整する。また、第 2 駆動部 2 (2) の P C H 駆動部 3 では、F E T 7 がオンした際に F E T 2 1 のゲートに印加されるハイレベル駆動電圧が 2 0 V となるように可変電圧源 9 の基準電圧を調整する。負電源回路 1 4 では、負電圧供給端子 V S S の電位が、グランド端子 G N D の電位に対して - 5 V となるように可変電圧源 1 9 の基準電圧を調整する。

【 0 0 2 2 】

以上のように設定することで、I G B T 2 0 , F E T 2 1 のゲートに印加される二値レベル駆動電圧は以下ようになる。

	ハイレベル駆動電圧	ローレベル駆動電圧
I G B T 2 0	1 5 V	0 V
F E T 2 1	2 0 V	- 5 V

10

【 0 0 2 3 】

このように、F E T 2 1 のハイレベル駆動電圧を I G B T 2 0 よりも高く設定することで、低オン抵抗という特性を活かして消費電力を低減できる。また、F E T 2 1 のローレベル駆動電圧を負電圧にすることで、オフ状態においてノイズ等の影響をうけることで誤オンが発生することを防止できる。

【 0 0 2 4 】

図 2 は、第 1 駆動部 2 (1) に F E T 2 1 を接続し、第 2 駆動部 2 (2) に I G B T 2 0 を接続するように入れ替えた場合を示す。この時、第 1 駆動部 2 (1) の P C H 駆動部 3 により印加するハイレベル駆動電圧を 2 0 V に設定し、第 2 駆動部 2 (2) の P C H 駆動部 3 により印加するハイレベル駆動電圧を 1 5 V に設定する。そして、低電位側端子 N S 1 を負電圧供給端子 V S S に接続し、低電位側端子 N S 2 をグランド端子 G N D に接続する。このように、I G B T 2 0 , F E T 2 1 の接続関係を入れ替えても、それに応じて各部の電圧設定を調整し、ゲート駆動回路 1 の外部端子の接続状態を変更することで対応できる。

20

【 0 0 2 5 】

以上のように本実施形態によれば、ゲート駆動回路 1 の P C H 駆動部 3 は、高電位側端子 V B 2 とハイ側駆動端子 P D との間に接続される P チャネル M O S F E T 7 のゲートに、ハイ側ブリドライバ 8 によって変更可能なハイレベル駆動電圧を印加する。N C H 駆動部 4 は、ロー側駆動端子 N D と低電位側端子 N S との間に接続される N チャネル M O S F E T 1 0 のゲートに、ロー側ブリドライバ 1 2 によってローレベル駆動電圧を印加する。低電位側端子 N S は、グランド端子 G N D と別個に設けた。

30

【 0 0 2 6 】

そして、第 1 駆動部 2 (1) 及び第 2 駆動部 2 (2) を備え、第 1 駆動部 2 (1) のハイ側駆動端子 P D 1 及びロー側駆動端子 N D 1 を I G B T 2 0 のゲートに接続し、第 2 駆動部 2 (2) のハイ側駆動端子 P D 2 及びロー側駆動端子 N D 2 を F E T 2 1 のゲートに接続した。これにより、F E T 7 をオンすることで高電位側端子 V B 2 に供給されている電圧に基づいて調整したハイレベル駆動電圧をそれぞれのゲートに印加できる。ハイレベル駆動電圧はブリドライバ 8 により変更可能であるから、駆動対象とする半導体素子の種類に応じて適切な電圧を与えることができる。

40

【 0 0 2 7 】

また、F E T 1 0 をオンすることで、I G B T 2 0 , F E T 2 1 のゲートに、低電位側端子 N S 1 , N S 2 に供給されている電圧をローレベル駆動電圧としてそれぞれ印加できる。この際に、低電位側端子 N S はグランド端子 G N D と独立であるから、ローレベル駆動電圧として、グランド電位のみならず例えば負電圧を供給することも可能になる。すなわち、並列に接続した I G B T 2 0 及び F E T 2 1 を駆動するに際して、それぞれの種類に応じて適切となるハイレベル及びローレベル駆動電圧を印加できる。これにより、I G B T 2 0 及び F E T 2 1 を並列に駆動することによるメリットを十分に享受できる。また、駆動対象とする半導体素子の種類に応じた専用の駆動回路を設ける必要が無いので、汎

50

用性を高めることができる。

【0028】

また、NCH駆動部4にレベルシフト11を備え、駆動部用電源13が低電位側端子NSの電位を基準として生成した電源電圧を、レベルシフト11及びロー側プリドライバ12に供給するようにした。これにより、ローレベル駆動電圧として負電圧を供給する際に、駆動信号生成部6より入力される駆動信号のレベルを負電圧にシフトして出力できる。

【0029】

また、ゲート駆動回路1に負電源回路14を備えて、負電源回路14が生成した負電圧を負電圧供給端子VSSに供給するようにした。これにより、駆動部2(1)、2(2)の何れによりFET21を駆動する場合でも、低電位側端子NS1、NS2とグランド端子GND、負電圧供給端子VSSとの接続を、ゲート駆動回路1の外部で入れ替えることで駆動できる。更に、負電源回路14を、負電圧レベルを変更可能に構成したので、駆動対象とする半導体素子の種類に応じて適切な負電圧を設定できる。

【0030】

(第2実施形態)

以下、第1実施形態と同一部分には同一符号を付して説明を省略し、異なる部分について説明する。図3に示すように、第2実施形態のゲート駆動回路31は、第1実施形態のゲート駆動回路1より負電源回路14及び負電圧供給端子VSSを削除したものである。ゲート駆動回路31の外部では、直流電源5に対して5Vの直流電源32を直列に接続しており、直流電源32の負側端子を駆動部2(2)の低電位側端子NS2に接続している。

【0031】

このように、負電圧を外部の直流電源32により供給することで、第1実施形態と同様に、ローレベル駆動電圧として-5Vをロー側駆動端子ND2に供給できる。また、図4は、第1実施形態の図2に示したものと同様に、ゲート駆動回路31に対するIGBT20、FET21の接続関係を入れ替えた場合を示す。この場合も第1実施形態と同様に、第1駆動部2(1)のPCH駆動部3により印加するハイレベル駆動電圧を20Vに設定し、第2駆動部2(2)のPCH駆動部3により印加するハイレベル駆動電圧を15Vに設定する。そして、低電位側端子NS1を直流電源32の負側端子に接続し、低電位側端子NS2をグランド端子GNDに接続することで対応できる。

【0032】

(その他の実施形態)

電源端子VB1、VB2を共通化しても良い。

二値レベル駆動部を3つ以上備えて、電圧駆動型半導体素子を3並列以上駆動しても良い。

各電圧は、個別の設計に応じて適宜設定すれば良い。

負電源回路は、必ずしも出力電圧を可変に構成する必要はない。また、ローレベル駆動電圧を負電圧にする必要が無ければ、ローレベル駆動部にレベルシフトを設ける必要はない。

電圧駆動型の半導体素子は、Si-IGBT、SiC-MOSFETに限ることはない。

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

【符号の説明】

【0033】

図面中、1はゲート駆動回路、2(1)は第1駆動部、2(2)は第2駆動部、3はPCH駆動部、4はNCH駆動部、5は直流電源、6は駆動信号生成部、7はPチャンネルMOSFET、8はハイ側プリドライバ、10はNチャンネルMOSFET、11はレベルシ

10

20

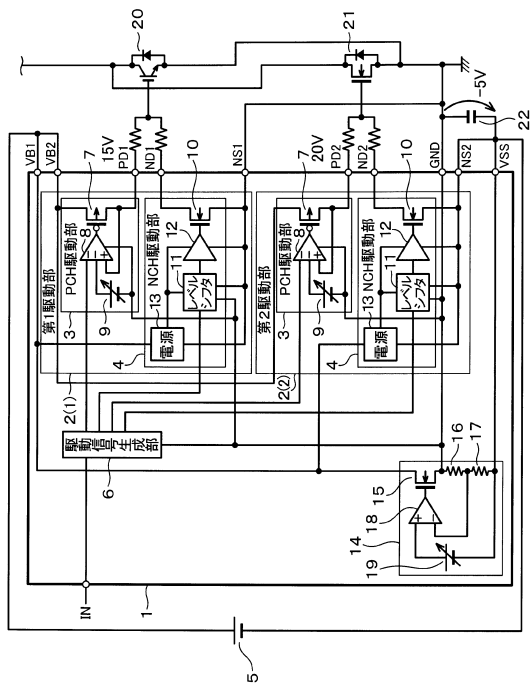
30

40

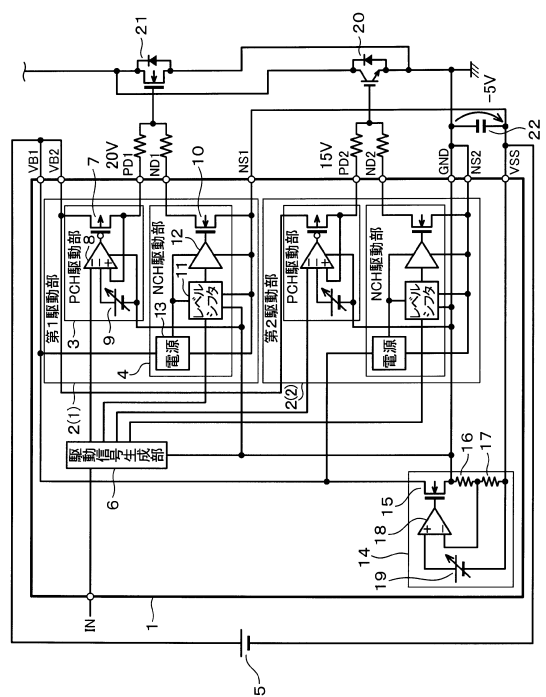
50

フタ、12はロー側プリドライバ、14は負電源回路、20はSi-IGBT、21はSiC-MOSFETを示す。

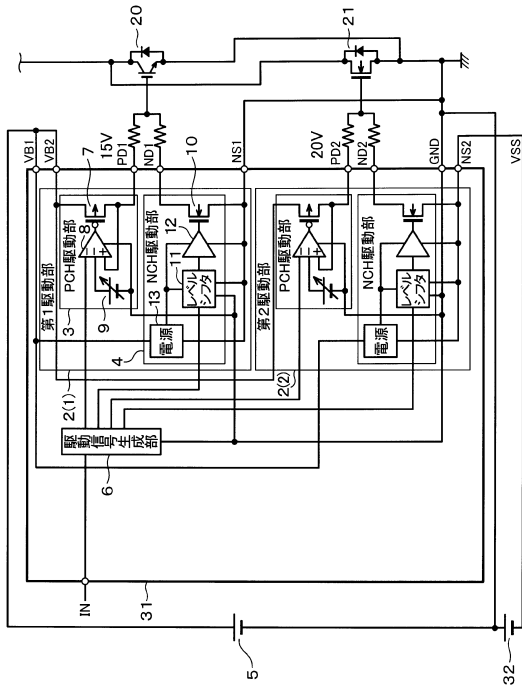
【図1】



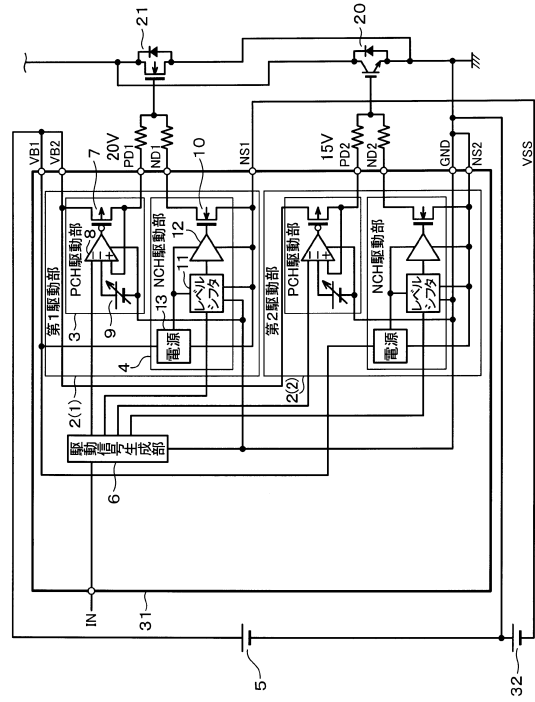
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2017-028779(JP,A)
特開2009-142070(JP,A)
国際公開第2017/057079(WO,A1)
特開2002-369497(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02M 1/08
H03K 17/12