

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-258366

(P2010-258366A)

(43) 公開日 平成22年11月11日(2010.11.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	5 F 1 3 6
HO 1 L 25/18 (2006.01)	HO 1 L 21/60 3 2 1 E	
HO 1 L 21/60 (2006.01)	HO 1 L 23/34 A	
HO 1 L 23/34 (2006.01)		

審査請求 未請求 請求項の数 13 O L (全 13 頁)

(21) 出願番号 特願2009-109518 (P2009-109518)
 (22) 出願日 平成21年4月28日 (2009. 4. 28)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 川島 徹也
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内
 (72) 発明者 橋本 貴之
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内
 Fターム(参考) 5F136 DA04

(54) 【発明の名称】 半導体装置

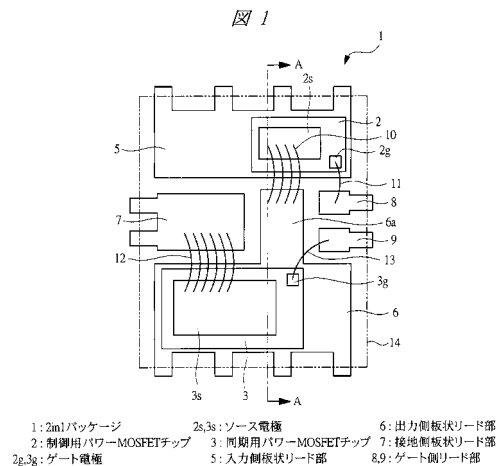
(57) 【要約】 (修正有)

【課題】 2つの半導体チップが封止体に封入された半導体装置の放熱性の向上を図る手段を提供する。

【解決手段】 入力側板状リード部 5 上に制御用パワー MOSFET チップ 2 が配置され、このチップの主面にはソース電極 2 s およびゲート電極 2 g が形成され、このソース電極と出力側板状リード部 6 とが接続されており、また、出力側板状リード部 6 上に同期用パワー MOSFET チップ 3 が配置されており、このチップの主面にはソース電極 3 s およびゲート電極 3 g が形成されており、このソース電極と接地側板状リード部 7 とが接続されている。この接地側板状リード部 7 と、それぞれのチップのゲート電極 2 g、3 g と接続されているゲート側リード部 8、9 が、入力側板状リード部 5 と出力側板状リード部 6 の間に存在している。これにより、基板実装時の配線を介した放熱経路を広く確保することができ、2 in 1 パッケージ 1 の放熱性を改善することができる。

。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

1つのパッケージに形成される半導体装置であって、
 第1、第2、第3、第4および第5の外部端子を備え、
 それぞれが第1、第2および第3の電極を有する第1のトランジスタおよび第2のトランジスタを備え、
 前記第1および第2のトランジスタは封止体によって封止され、
 前記第1のトランジスタは前記第1の外部端子を含む板状の第1の導体部材上に搭載され、
 前記第2のトランジスタは前記第2の外部端子を含む板状の第2の導体部材上に搭載され、
 前記第1のトランジスタの前記第1の電極は、前記第1の外部端子に電氣的に接続され、
 前記第2のトランジスタの前記第1の電極は、前記第2の外部端子に電氣的に接続され、
 前記第1のトランジスタの前記第2の電極は、前記第2の外部端子に電氣的に接続され、
 前記第2のトランジスタの前記第2の電極は、前記第3の外部端子に電氣的に接続され、
 前記第1のトランジスタの前記第3の電極は、前記第4の外部端子に電氣的に接続され、
 前記第2のトランジスタの前記第3の電極は、前記第5の外部端子に電氣的に接続され、
 前記第3、第4および第5の外部端子は、前記第1、第2の外部端子の間に存在することを特徴とする半導体装置。

【請求項 2】

前記第1および第2のトランジスタのそれぞれの主面に前記第2および第3の電極が形成され、前記第1および第2のトランジスタの裏面に前記第1の電極が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記第2の導体部材の一部が、前記第1の導体部材の近傍に延在していることを特徴とする請求項1記載の半導体装置。

【請求項 4】

前記第1のトランジスタの第2の電極は、前記第2の外部端子と延在部において電氣的に接続されていることを特徴とする請求項3記載の半導体装置。

【請求項 5】

前記半導体装置は、プリント配線板上に実装され、
 前記第1の導体部材は、前記プリント配線板の第1の配線パターンと接続され、
 前記第2の導体部材は、前記プリント配線板の第2の配線パターンと接続され、
 前記第3、第4および第5の外部端子は、前記第1、第2の配線パターンの間に存在する前記プリント配線板の第3、第4および第5の配線パターンとそれぞれ接続されることを特徴とする請求項1記載の半導体装置。

【請求項 6】

前記第1のトランジスタと、前記第2のトランジスタによって、DC/DCコンバータが構成されていることを特徴とする請求項1記載の半導体装置。

【請求項 7】

前記第1の導体部材の裏面と、前記第2の導体部材の裏面は、前記パッケージから露出していることを特徴とする請求項1記載の半導体装置。

【請求項 8】

前記パッケージの第1の側面に存在する外部端子は、全て前記第1の導体部材の一部で

あり、

前記第1の側面に対向する第2の側面に存在する外部端子は、全て前記第2の導体部材の一部であることを特徴とする請求項1記載の半導体装置。

【請求項9】

前記第1の導体部材と、前記パッケージの4辺のうち3辺との間には、前記第1の導体部材の一部、あるいは前記第1の導体部材と電氣的に接続された端子と、前記封止体のみが存在し、

前記第2の導体部材と、前記パッケージの4辺のうち3辺との間には、前記第2の導体部材の一部、あるいは前記第2の導体部材と電氣的に接続された端子と、前記封止体のみが存在することを特徴とする請求項1記載の半導体装置。

10

【請求項10】

前記第1のトランジスタの第2の電極と前記第2の導体部材は、金属ワイヤによって電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項11】

前記第1のトランジスタの第2の電極と前記第2の導体部材は、金属リボンによって電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項12】

前記第2のトランジスタの第2の電極と前記第3の外部端子は、金属ワイヤによって電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項13】

前記第2のトランジスタの第2の電極と前記第3の外部端子は、金属リボンによって電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、複数の半導体チップが封止体に封入された半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

2つの半導体チップが1つのパッケージに封止され、DC/DCコンバータとして動作する半導体装置では、従来、各半導体チップは電流が直線的な経路となるように配置されている。つまり、第1のチップが搭載されたフレーム、第1のチップのソース電極と接続され、かつ第2のチップが搭載されたフレーム、第2のチップのソース電極と接続されたフレームの順に一列に並んで配置されている（たとえば、特許文献1参照）。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-37245号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0004】

パーソナルコンピュータのCPUなどの電源に広く用いられる絶縁型DC/DCコンバータは、制御用と同期用のパワーMOSFET（Metal Oxide Semiconductor Field Effect Transistor）と、これらのON/OFFを行うドライバIC（integrated Circuit）と、その他チョークコイルやコンデンサなどによって構成される。

【0005】

近年、上記のような電源の小型化が進められており、DC/DCコンバータを構成する2つのパワーMOSFETを1つの樹脂パッケージに封止した製品（2in1パッケージ）の開発が進められている。

【0006】

50

2 in 1 パッケージの特徴として、実装面積の低減、小型化による原料コストの低減というメリットの他に、集積化による放熱性の悪化というデメリットがある。

【0007】

放熱性の悪化により、最大出力電流の低下、信頼性の低下などの様々な問題が生じる。

【0008】

本発明の目的は、2 in 1 パッケージのプリント実装基板搭載時における放熱性の改善を図ることにある。

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】

本発明の一実施の形態による半導体装置は、

1つのパッケージに形成される半導体装置であって、

第1、第2、第3、第4および第5の外部端子を備え、

それぞれが第1、第2および第3の電極を有する第1のトランジスタおよび第2のトランジスタを備え、

前記第1および第2のトランジスタは封止体によって封止され、

前記第1のトランジスタは前記第1の外部端子を含む板状の第1の導体部材上に搭載され、

前記第2のトランジスタは前記第2の外部端子を含む板状の第2の導体部材上に搭載され、

前記第1のトランジスタの前記第1の電極は、前記第1の外部端子に電氣的に接続され、

前記第2のトランジスタの前記第1の電極は、前記第2の外部端子に電氣的に接続され、

前記第1のトランジスタの前記第2の電極は、前記第2の外部端子に電氣的に接続され、

前記第2のトランジスタの前記第2の電極は、前記第3の外部端子に電氣的に接続され、

前記第1のトランジスタの前記第3の電極は、前記第4の外部端子に電氣的に接続され、

前記第2のトランジスタの前記第3の電極は、前記第5の外部端子に電氣的に接続され、

前記第3、第4および第5の外部端子は、前記第1、第2の外部端子の間に存在するものである。

【発明の効果】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】

2つの半導体チップを搭載する2つの板状導体部材を、プリント実装基板の配線を介した放熱経路を広くすることが出来るように配置することにより、従来構造に比べて半導体装置における放熱性の向上を図ることができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施の形態1の半導体装置の構造の一例を封止体を透過して示す平面図

10

20

30

40

50

である。

【図 2】図 1 に示す A - A 線に沿って切断した断面の構造を示す断面図である。

【図 3】図 1 に示す半導体装置の構造を示す裏面図である。

【図 4】図 1 に示す半導体装置の構造を示す外観斜視図である。

【図 5】本発明の実施 1 の形態の変形例の半導体装置の構造の一例を封止体を透過して示す平面図である。

【図 6】図 1 に示す半導体装置における実装時の回路の一例を示す回路図である。

【図 7】図 1 に示す半導体装置における実装時の配線形状の一例を示す平面図である。

【図 8】半導体装置（単体パッケージ）の構造の一例を封止体を透過して示す平面図である。

10

【図 9】図 8 に示す半導体装置における実装時の配線形状の一例を示す平面図である。

【図 10】半導体装置の構造の一例を封止体を透過して示す平面図である。

【図 11】図 10 に示す半導体装置における実装時の配線形状の一例を示す平面図である。

【図 12】図 1 に示す半導体装置の構造を封止体を透過して示す斜視図である。

【図 13】本発明の実施の形態 2 の半導体装置の構造の一例を封止体を透過して示す平面図である。

【図 14】図 13 に示す B - B 線に沿って切断した断面の構造を示す断面図である。

【図 15】図 13 に示す半導体装置の構造を示す裏面図である。

【発明を実施するための形態】

20

【0015】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0016】

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0017】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

30

【0018】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

（実施の形態 1）

図 1 は本発明の実施の形態 1 の半導体装置（非絶縁型 DC / DC コンバータ用 2 in 1 パッケージ）の構造の一例を封止体 14 を透過して示す平面図、図 2 は図 1 に示す 2 in 1 パッケージ 1 を A - A 線に沿って切断した断面の構造を示す断面図、図 3 は図 1 に示す半導体装置の構造を示す裏面図、図 4 は図 1 に示す半導体装置の構造を示す外観斜視図である。また、図 12 は図 1 に示す半導体装置の封止体 14 を透過して示す斜視図である。なお、図 1 においては 2 in 1 パッケージ 1 の内部構造をわかりやすくするため、封止体 14 の外形を二点鎖線で示す。

40

【0020】

図 1 ~ 図 4 および図 12 に示す本実施の形態の半導体装置は、2 つの半導体チップが 1 つの封止体（封入用絶縁樹脂）14 に封入されたものであり、本実施の形態では、前記半導体装置の一例として、非絶縁型 DC / DC コンバータ用の 2 in 1 パッケージ 1 を取り

50

上げて説明する。

【0021】

なお、2in1パッケージ1は、図3および図4に示すように、封止体14の裏面および周縁部に複数の外部接続端子が配置された構造のものである。

【0022】

本実施の形態の2in1パッケージ1の基本構造は、トランジスタ回路を有する2つの半導体チップと、この2つの半導体チップを搭載する2つの板状導体部材と、前記半導体チップのうち少なくとも1つの電極と電氣的に接続する複数の板状導体部材と、前記2つの半導体チップを封止する封止体14からなり、前記板状導体部材の一部が封止体14から露出し、外部接続端子を形成している。

10

【0023】

なお、2in1パッケージ1は、第1の半導体チップである制御用パワーMOSFETチップ2と、この制御用パワーMOSFETチップ2と導体部材によって電氣的に接続された第2の半導体チップである同期用パワーMOSFETチップ3とを有しており、これら2つの半導体チップが封止体14に封止（封入）されている。

【0024】

本実施の形態の2in1パッケージ1の詳細な構造について説明すると、図1、図2に示すように、入力側板状リード部（第1の板状導体部材）5上に制御用パワーMOSFETチップ（第1のトランジスタ）2が配置されている。すなわち、制御用パワーMOSFETチップ2の裏面2bには、制御用パワーMOSFETのドレイン電極（第1の電極）2dとなる端子部が形成されており、このドレイン電極2dに第1の板状導体部材である入力側板状リード部5が、例えば、ハンダ15などのダイボンディング材により電氣的に接続されている。

20

【0025】

一方、制御用パワーMOSFETチップ2の主面2aには、制御用パワーMOSFETのソース電極（第2の電極）2s、およびゲート電極（第3の電極）2gとなる端子部が形成されている。

【0026】

また、出力側板状リード部（第2の板状導体部材）6上には同期用パワーMOSFETチップ（第2のトランジスタ）3が配置されている。すなわち、同期用パワーMOSFETチップ3の裏面3bには、同期用パワーMOSFETのドレイン電極（第1の電極）3dとなる端子部が形成されており、このドレイン電極3dに第2の板状導体部材である出力側板状リード部6が、例えば、ハンダ15などのダイボンディング材により電氣的に接続されている。

30

【0027】

一方、同期用パワーMOSFETチップ3の主面3aには、同期用パワーMOSFETのソース電極（第2の電極）3s、およびゲート電極（第3の電極）3gとなる端子部が形成されている。

【0028】

また、2in1パッケージ1は、接地側板状リード部7とゲート側リード部8、9を有しており、制御用パワーMOSFETチップ2の主面2aのソース電極2sと、出力側板状リード部6とが導体のワイヤ10を介して電氣的に接続されており、同期用パワーMOSFETチップ3の主面3aのソース電極3sと、接地側板状リード部7とが導体のワイヤ12を介して電氣的に接続されている。さらに、制御用パワーMOSFETチップ2のゲート電極2gとゲート側リード部8が導体のワイヤ11を介して電氣的に接続されており、同様に同期用パワーMOSFETチップ3のゲート電極3gとゲート側リード部9が導体のワイヤ13を介して電氣的に接続されている。

40

【0029】

このとき、図1に示すように、接地側板状リード部7とゲート側リード部8、9は、入力側板状リード部5と、出力側板状リード部6の間に挟まれる形で構成されている。

50

【0030】

すなわち、図3の裏面端子形状において、入力側板状リード部5の上方向および左右方向には他の端子は存在せず、また出力側板状リード部6の下方向および左右方向には他の端子は存在しない。ここで、入力側板状リード部5、出力側板状リード部6、接地側板状リード部7、ゲート側リード部8およびゲート側リード部9の裏面は、プリント実装基板に実装した際の放熱性を向上させる目的で、封止体14から露出させている。

【0031】

なお、図5の変形例に示すように、MOSFETのソース電極とフレーム間はりボン状導体10a、12aを用いてもよい。また、同様に板状の導体を用いてもよい。なお、図5においては2in1パッケージ1の内部構造をわかりやすくするため、封止体14の外形を二点鎖線で示す。

10

【0032】

次に、図6は2in1パッケージ1の実装時の回路の一例を示すものである。2in1パッケージ1がドライバIC4、コイル20、コンデンサ22、23、さらに負荷24、入力電源21などと配線で接続されており、非絶縁型DC/DCコンバータ回路を構成している。本回路において、生じる発熱のうち大部分は制御用パワーMOSFETチップ2および同期用パワーMOSFETチップ3で発生する。

【0033】

図7は、2in1パッケージ1をプリント実装基板上に搭載した場合の配線形状の一例である。入力側板状リード部5は入力側配線40と、出力側板状リード部6は出力側配線41と、接地側板状リード部7は接地側配線42と、ゲート側リード部8、9はゲート配線43、44とハンダなどを用いてそれぞれ接続されている。なお、各配線が形成されているプリント実装基板は図示していない。

20

【0034】

このとき、制御用パワーMOSFETチップ2および同期用パワーMOSFETチップ3で発生する熱は、主にプリント実装基板の配線を介して放熱される。図7において、制御用パワーMOSFETチップ2で発生する熱は図の上方向および左右方向に主な放熱経路が存在し、また同期用パワーMOSFETチップ3で発生する熱は図の下方向および左右方向に主な放熱経路が存在している。なお、図7においては2in1パッケージ1の内部構造をわかりやすくするため、封止体14の外形を二点鎖線で示す。

30

【0035】

ここで、比較のために従来構造による実装状態を示す。図8は1つのパワーMOSFETチップ32のみを封止体14に封入した個別パッケージ31の一例を封止体を透過して示す平面図であり、図9はDC/DCコンバータを構成する2つの個別パッケージ31a、31bをプリント実装基板上に搭載した場合の配線形状の一例である。なお、図8、図9においては2in1パッケージ1の内部構造をわかりやすくするため、封止体14の外形を二点鎖線で示す。

【0036】

個別パッケージ31の詳細な構造について説明すると、図8に示すように、ドレイン側板状リード部33上にパワーMOSFETチップ32が配置されている。すなわち、パワーMOSFETチップ32の裏面には、パワーMOSFETのドレイン電極(第1の電極)となる端子部が形成されており、このドレイン電極にドレイン側板状リード部33が、例えば、ハンダなどのダイボンディング材により電氣的に接続されている。

40

【0037】

一方、パワーMOSFETチップ32の主面には、パワーMOSFETのソース電極(第2の電極)32s、およびゲート電極(第3の電極)32gとなる端子部が形成されており、それぞれワイヤ36、37などの導体を用いて、ソース側リード部34、およびゲート側リード部35と電氣的に接続されている。

【0038】

プリント実装基板上に搭載する場合、図9に示すように制御用パワーMOSFETを有

50

する個別パッケージ 3 1 a のドレイン側板状リード部 3 3 a は入力側配線 4 0 と、ソース側リード部 3 4 a は出力側配線 4 1 と、ゲート側リード部 3 5 a は制御用パワー MOS F E T のゲート配線 4 3 とハンダなどを用いてそれぞれ接続される。また、同期用パワー MOS F E T を有する個別パッケージ 3 1 b のドレイン側板状リード部 3 3 b は出力側配線 4 1 と、ソース側リード部 3 4 b は接地側配線 4 2 と、ゲート側リード部 3 5 b は同期用パワー MOS F E T のゲート配線 4 4 とハンダなどを用いてそれぞれ接続される。なお、各配線が形成されているプリント実装基板は図示していない。

【 0 0 3 9 】

このとき、図 9 において、制御用パワー MOS F E T チップ 2 で発生する熱は図の上方および左方向に主な放熱経路が存在し、また同期用パワー MOS F E T チップ 3 で発生する熱は図の下方および右方向に主な放熱経路が存在している。この場合、図 7 で示した 2 i n 1 パッケージ 1 の場合と比べて放熱経路が狭く、制御用パワー MOS F E T チップ 2 および同期用パワー MOS F E T チップ 3 から発生する熱の放熱性が悪いという問題がある。

10

【 0 0 4 0 】

次に、図 1 0 は、従来構造の 2 i n 1 パッケージ 3 0 の一例を封止体を透過して示す平面図である。パワー MOS F E T チップ 2、3 と各リード部との電気的な接続関係は本実施の形態の 2 i n 1 パッケージ 1 と同様であるが、各リードの位置関係が異なり、入力側板状リード部 5、出力側板状リード部 6、接地側板状リード部 7 の順に並んでいる。なお、図 1 0 においては 2 i n 1 パッケージ 3 0 の内部構造をわかりやすくするため、封止体 1 4 の外形を二点鎖線で示す。

20

【 0 0 4 1 】

従来構造の 2 i n 1 パッケージ 3 0 をプリント実装基板上に搭載する場合、主な放熱経路である入力側配線 4 0、出力側配線 4 1 の形状は図 1 1 のようになる。なお、図 1 1 においては 2 i n 1 パッケージ 3 0 の内部構造をわかりやすくするため、封止体 1 4 の外形を二点鎖線で示す。

【 0 0 4 2 】

このとき、図 1 1 において、制御用パワー MOS F E T チップ 2 で発生する熱は図の上方および左方向に主な放熱経路が存在し、また同期用パワー MOS F E T チップ 3 で発生する熱は図の右方向のみに主な放熱経路が存在している。図 7 で示した本発明の実施の形態 1 である 2 i n 1 パッケージ 1 の場合と比べて放熱経路が狭く、図 9 の例と同様に、制御用パワー MOS F E T チップ 2 および同期用パワー MOS F E T チップ 3 から発生する熱の放熱性が悪いという問題がある。なお、各配線が形成されているプリント実装基板は図示していない。

30

【 0 0 4 3 】

また、図 1、および図 5 において、制御用パワー MOS F E T チップ 2 のソース電極 2 s は、ワイヤ 1 0 あるいはリボン状導体 1 0 a などを介して、出力側板状リード部 6 の延在部 6 a で接続されている。これはワイヤ 1 0 あるいはリボン状導体 1 0 a などの長さを短くすることで、製造の容易さを確保し、導通電流による損失を小さくするとともに、熱源である 2 つのパワー MOS F E T チップ 2、3 を離して配置することを実現している。

40

【 0 0 4 4 】

以上のことから、本実施の形態の 2 i n 1 パッケージ 1 は、各半導体チップをパッケージ内の対向する両端に配置することにより、熱源である 2 つの各半導体チップを離し、パッケージをより広い放熱経路を有する配線配線プリント実装基板に搭載することを可能としているため、実装基板に搭載した際の放熱性を改善することができる。

【 0 0 4 5 】

(実施の形態 2)

図 1 3 は本発明の実施の形態 2 の半導体装置 (非絶縁型 D C / D C コンバータ用 2 i n 1 パッケージ) の構造の一例を封止体を透過して示す平面図である。図 1 4 は図 1 3 に示す B - B 線に沿って切断した断面の構造を示す断面図である。図 1 5 は図 1 3 に示す半導

50

体装置の構造を示す裏面図である。なお、図 1 3 においては 2 i n 1 パッケージ 1 の内部構造をわかりやすくするため、封止体 1 4 の外形を二点鎖線で示す。

【 0 0 4 6 】

図 1 3 ~ 図 1 5 に示す本実施の形態の半導体装置は、実施の形態 1 と同様に 2 つの半導体チップが 1 つの封止体（封入用絶縁樹脂）1 4 に封入されたものであり、前記半導体装置の一例として、非絶縁型 D C / D C コンバータ用の 2 i n 1 パッケージ 1 を取り上げて説明する。

【 0 0 4 7 】

本実施の形態の 2 i n 1 パッケージ 1 の基本構造は、実施の形態 1 と同様に、トランジスタ回路を有する 2 つの半導体チップと、この 2 つの半導体チップを搭載する 2 つの板状導体部材と、前記半導体チップのうち少なくとも 1 つの電極と電氣的に接続する複数の板状導体部材と、前記 2 つの半導体チップを封止する封止体 1 4 からなり、前記板状導体部材の一部が封止体 1 4 から露出し、外部接続端子を形成している。

10

【 0 0 4 8 】

一方、実施の形態 1 とは異なり、同期用パワー M O S F E T チップ（第 2 のトランジスタ）3 は、接地側板状リード部 7 である第 2 の板状導体部材上に配置されている。すなわち、同期用パワー M O S F E T チップ 3 の裏面 3 b には、同期用パワー M O S F E T チップ 3 のドレイン電極（第 1 の電極）3 d となる端子部が形成されており、このドレイン電極 3 d に第 2 の板状導体部材である接地側板状リード部 7 が、例えば、ハンダ 1 5 などのダイボンディング材により電氣的に接続されている。

20

【 0 0 4 9 】

また、同期用パワー M O S F E T チップ 3 の主面 3 a には、同期用パワー M O S F E T のソース電極（第 2 の電極）3 s が形成されており、導体のワイヤ 1 2 を介して出力側板状リード部 6 と電氣的に接続されている。

【 0 0 5 0 】

このとき、図 1 3 に示すように、出力側板状リード部 6 とゲート側リード部 8、9 は、入力側板状リード部 5 と、接地側板状リード部 7 の間に挟まれる形で形成されている。

【 0 0 5 1 】

このような構造は、例えば、制御用パワー M O S F E T チップ（第 1 のトランジスタ）2 に n チャネル M O S F E T を、同期用パワー M O S F E T チップ（第 2 のトランジスタ）3 に p チャネル M O S F E T を用いることで実現することができる。

30

【 0 0 5 2 】

本実施の形態の 2 i n 1 パッケージ 1 では、実施の形態 1 と比較して板状リードの延在部 6 a が存在しないため、リードの構造を単純化することができ、またワイヤ 1 0、1 2 のリードへのボンディング位置を広くとる事ができるため、加工が容易になる。

【 0 0 5 3 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【産業上の利用可能性】

40

【 0 0 5 4 】

本発明は、半導体装置および電子装置に好適である。

【符号の説明】

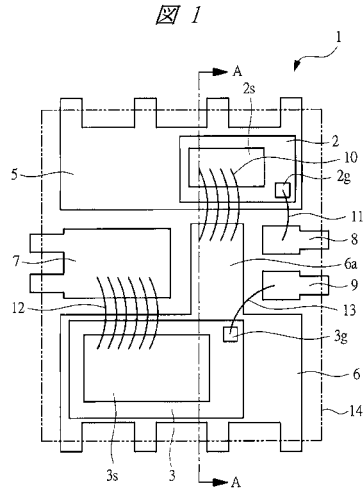
【 0 0 5 5 】

- 1 : 2 i n 1 パッケージ
- 2 : 制御用パワー M O S F E T チップ
- 2 a : 主面
- 2 b : 裏面
- 2 d : ドレイン電極
- 2 s : ソース電極

50

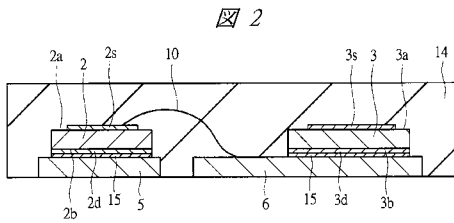
2 g : ゲート電極	
3 : 同期用パワー MOS F E T チップ	
3 a : 主面	
3 b : 裏面	
3 d : ドレイン電極	
3 s : ソース電極	
3 g : ゲート電極	
4 : ドライバ I C	
5 : 入力側板状リード部	
6 : 出力側板状リード部	10
6 a : 延在部	
7 : 接地側板状リード部	
8 : ゲート側リード部	
9 : ゲート側リード部	
10 ~ 13 : ワイヤ	
10 a、12 a : リボン状導体	
14 : 封止体 (封止用絶縁樹脂)	
15 : ハンダ	
20 : コイル	
21 : 入力電源	20
22、23 : コンデンサ	
24 : 負荷	
30 : 2 i n 1 パッケージ	
31 : 個別パッケージ	
31 a : 個別パッケージ	
31 b : 個別パッケージ	
32 : パワー MOS F E T チップ	
32 s : ソース電極	
32 g : ゲート電極	
33 : ドレイン側板状リード部	30
33 a : ドレイン側板状リード部	
33 b : ドレイン側板状リード部	
34 : ソース側リード部	
34 a : ソース側リード部	
34 b : ソース側リード部	
35 : ゲート側リード部	
35 a : ゲート側リード部	
35 b : ゲート側リード部	
36、37 : ワイヤ	
40 : 入力側配線	40
41 : 出力側配線	
42 : 接地側配線	
43 : ゲート配線	
44 : ゲート配線	

【 図 1 】

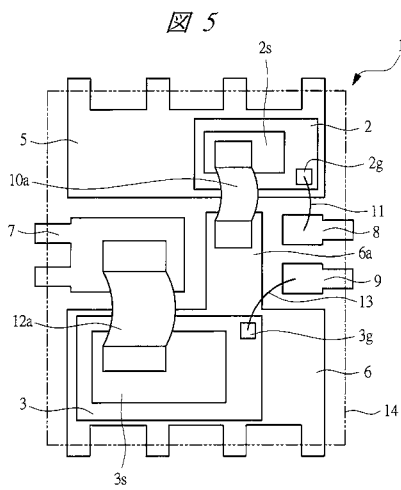


1: 2in1パッケージ 2s,3s: ソース電極 6: 出力側板状リード部
 2: 制御用パワーMOSFETチップ 3: 同期用パワーMOSFETチップ 7: 接地側板状リード部
 2g,3g: ゲート電極 5: 入力側板状リード部 8,9: ゲート側リード部

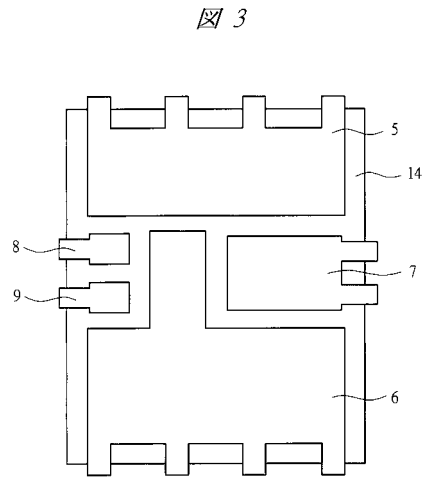
【 図 2 】



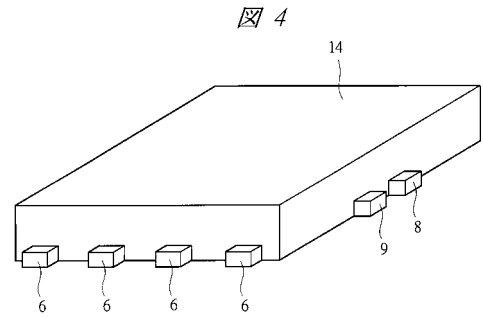
【 図 5 】



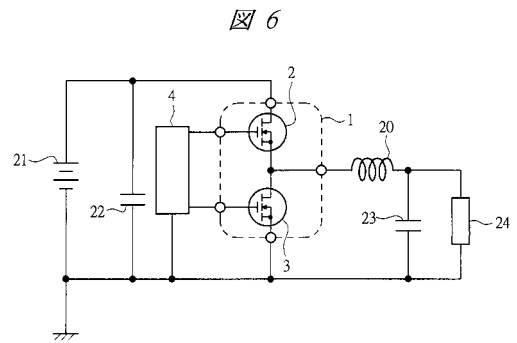
【 図 3 】



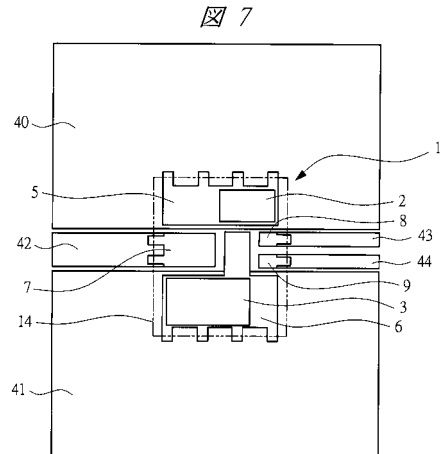
【 図 4 】



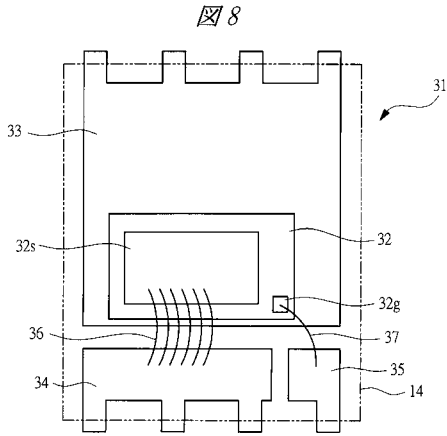
【 図 6 】



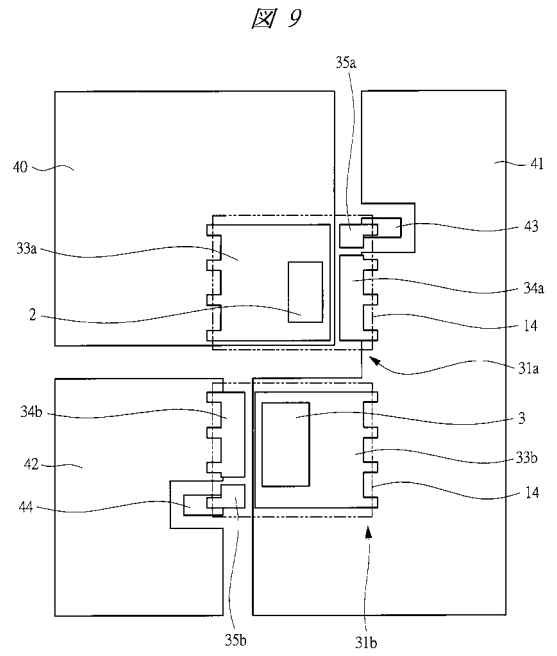
【 図 7 】



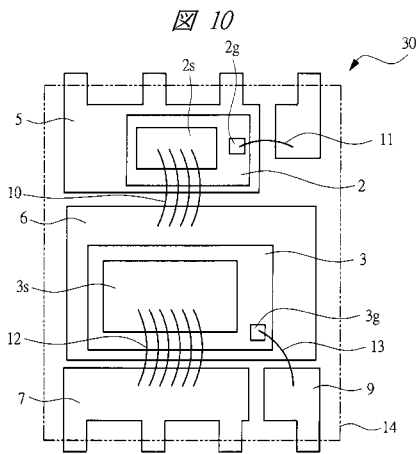
【 図 8 】



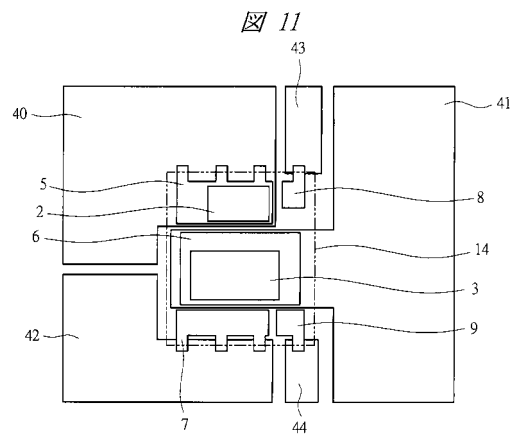
【 図 9 】



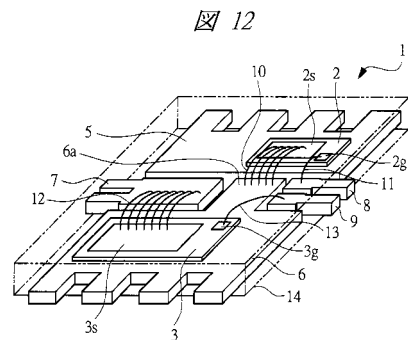
【 図 10 】



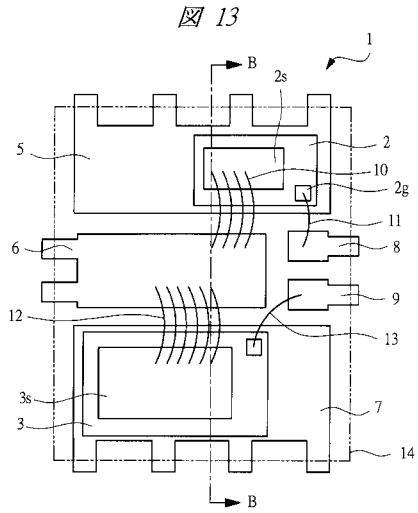
【 図 11 】



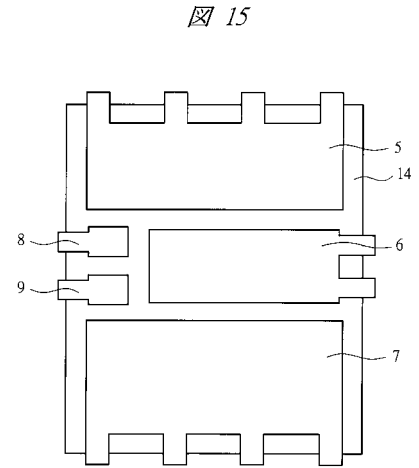
【 図 12 】



【 図 1 3 】



【 図 1 5 】



【 図 1 4 】

