(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 12 月 15 日(15.12.2011)

PCT

(10) 国際公開番号
WO 2011/155044 A1

(51) 国際特許分類:
*G01R 31/00* (2006.01) *G01N 23/225* (2006.01)

(21) 国際出願番号: PCT/JP2010/059846

(22) 国際出願日: 2010 年 6 月 10 日(10.06.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社島津製作所(SHIMADZU CORPORATION) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町１番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 西原 隆治(NISHIHARA, Takaharu) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町１番地 株式会社島津製作所内 Kyoto (JP).

(74) 代理人: 塩野入 章夫(SHIONOIRI, Akio); 〒2510024 神奈川県藤沢市鵠沼橘１丁目１番４号 藤沢セントラルビル６階 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: ELECTRON BEAM SCANNING METHOD FOR TFT ARRAY INSPECTION AND TFT ARRAY INSPECTION DEVICE

(54) 発明の名称 : ＴＦＴアレイ検査の電子線走査方法およびＴＦＴアレイ検査装置

図6

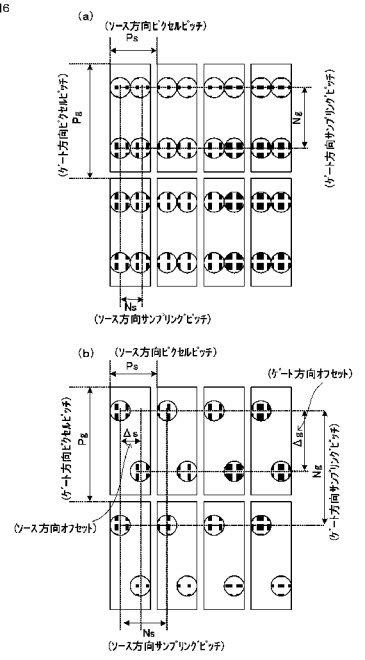



FIG. 6:
Ps SOURCE DIRECTION PIXEL PITCH
Pg GATE DIRECTION PIXEL PITCH
Ng GATE DIRECTION SAMPLING PITCH
Ns SOURCE DIRECTION SAMPLING PITCH
Δg GATE DIRECTION OFFSET
Δs SOURCE DIRECTION OFFSET

(57) **Abstract**: An electron beam scanning method for a TFT array inspection pertains to electron beam scanning for a TFT array inspection in which an array is driven by applying an inspection signal with a predetermined voltage to a panel of a TFT substrate, scanning is performed by applying an electron beam onto the panel, and the array of the TFT substrate is inspected on the basis of a detection signal detected by the electron beam scanning. A pixel row arranged in the source direction of the TFT array or a pixel row arranged in the gate direction thereof is scanned by the electron beam in the same direction as the direction of arrangement of the pixel row, and in each pixel in the pixel row to be scanned, the first application position of the electron beam and the second application position of the electron beam are located to face each other across a center line of the pixel row on a diagonal line in the pixel, and the pixel row is two-dimensionally scanned while the pixel row is scanned once. Consequently, the influence of the afterglow time of a secondary electron detector is reduced, the deterioration of detection accuracy of defect detection is reduced, and the occurrence of erroneous detection of a defect due to noise is reduced.

(57) 要約: ＴＦＴ基板のパネルに所定電圧の検査信号を印加してアレイを駆動し、パネル上に電子線を照射して走査し、この電子線走査で検出される検出信号に基づいてＴＦＴ基板のアレイを検査するＴＦＴアレイ検査の電子線走査に係わり、ＴＦＴアレイのソース方向に配列されるピクセル列、又はゲート方向に配列されるピクセル列に対して、ピクセル列の配列方向と同方向に電子線を走査すると共に、走査するピクセル列中の各ピクセルにおいて、１点目の電子線の照射位置と２点目の電子線の照射位置をそのピクセル内において対角線上においてピクセル列の中心線を挟んで対向する位置として、ピクセル列を一回走査する間にそのピクセル列を二次元的に走査する。これにより、二次電子検出器の残光時間の影響を低減し、欠陥検出の検出精度の低下を低減し、ノイズによる欠陥の誤検出の発生を低減する。

WO 2011/155044 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

# 明　細　書

## 発明の名称 ：

## ＴＦＴアレイ検査の電子線走査方法およびＴＦＴアレイ検査装置

## 技術分野

[0001] 本発明は、液晶基板等の製造過程等で行われるＴＦＴアレイ検査に関し、特に、ＴＦＴアレイ検査において行う電子線走査に関する。

## 背景技術

[0002] 液晶基板や有機ＥＬ基板等のＴＦＴアレイが形成された半導体基板の製造過程では、製造過程中にＴＦＴアレイ検査工程を含み、このＴＦＴアレイ検査工程において、ＴＦＴアレイの欠陥検査が行われている。

[0003] ＴＦＴアレイは、例えば液晶表示装置の画素電極を選択するスイッチング素子として用いられる。ＴＦＴアレイを備える基板は、例えば、走査線として機能する複数本のゲートラインが平行に配設されると共に、信号線として記載する複数本のソースラインがゲートラインに直交して配設され、両ラインが交差する部分の近傍にＴＦＴ（Thin film transistor）が配設され、このＴＦＴに画素電極が接続される。

[0004] 液晶表示装置は、上記したＴＦＴアレイが設けられた基板と対向基板との間に液晶層を挟むことで構成され、対向基板が備える対向電極と画素電極との間に画素容量が形成される。画素電極には、上記の画素容量以外に付加容量（Ｃｓ）が接続される。この付加容量（Ｃｓ）の一方は画素電極に接続され、他方は共通ラインあるいはゲートラインに接続される。共通ラインに接続される構成のＴＦＴアレイはCs on Com型ＴＦＴアレイと呼ばれ、ゲートラインに接続される構成のＴＦＴアレイはCs on Gate型ＴＦＴアレイと呼ばれる。

[0005] ＴＦＴアレイには、その製造プロセス中に様々な欠陥が発生する可能性があり、走査線（ゲートライン）や信号線（ソースライン）の断線、走査線（ゲートライン）と信号線（ソースライン）の短絡、画素を駆動するＴＦＴの

特性不良による画素欠陥等の欠陥検査が行われる。

[0006] 欠陥検査では、例えば、検査対象である基板のＴＦＴアレイに検査信号を印加してアレイを所定電位状態とし、基板上に電子ビームやイオンビーム等の荷電ビームを二次元的に照射して走査し、このビーム走査で二次電子等をフォトマルチプライヤなどによってアナログ信号に変換して検出し、この検出信号の信号強度に基づいてアレイ欠陥を判定している。

[0007] ＴＦＴ基板のアレイとピクセルは対応して形成されており、アレイに駆動信号を印加することによって特定のピクセルを駆動することができる。ＴＦＴアレイ検査において、一般に、アレイに所定パターンの駆動信号を印加して基板内に形成されたパネルの各ピクセルを所定パターンで駆動し、これらのピクセルに電子線を照射し、照射点から放出される二次電子を検出する。この電子線照射をパネル内で走査して行うことによって、パネル内の各ピクセルから検出信号を取得している。

[0008] ピクセルに対する荷電ビームの走査において、従来、各ピクセルに対して例えば４×４点あるいは４×３点の荷電ビームを照射して照射点をサンプリング点とし、一ピクセルについて複数のサンプリング点の検出信号を検出し、この検出信号を用いてピクセルに対応するアレイの欠陥を検出するための信号強度を算出している。

[0009] 各ピクセルに照射する電子線の照射点数はピクセルサイズ等に依存するが、従来の電子線照射では１ピクセル当たり電子線を最低でも４点としている。

[0010] 図６（ａ）は、１ピクセル当たりの電子線の照射点数を４点とする例を示している。各ピクセルのソース方向（図面の横方向）のピクセルピッチをＰｓ、ゲート方向（図面の縦方向）のピクセルピッチをＰｇとしたとき、１ピクセル当たりの電子線の照射点数を４とするために、ソース方向の照射間隔（以下、サンプリングピッチという）ＮｓをＮｓ＝Ｐｓ／２とし、ゲート方向の照射間隔（以下、サンプリングピッチという）ＮｇをＮｇ＝Ｐｇ／２としている。

[0011] この１ピクセル当たりの電子線の照射点数を４点とする場合には、ソース方向の走査ライン上の照射点の位置と、ゲート方向で隣接する走査ライン上の照射点の位置とをゲート方向で合わせ、また、ゲート方向の走査ライン上の照射点の位置と、ソース方向で隣接する走査ライン上の照射点の位置とをソース方向で合わせ、これによって、各ピクセル内において、照射点の位置をソース方向およびゲート方向において一致させ、横方向および縦方向に走査させている。なお、照射点から放出される二次電子等を検出するため、照射位置とサンプリング位置は同一の点となる。

[0012] 各ピクセルの欠陥検出は、ピクセル内のサンプリング点の検出信号から欠陥検出用の信号強度を算出し、この信号強度とあらかじめ定めておいたしきい値とを比較することによって行う。

[0013] １ピクセル当たりの電子線の照射点数を４点として電子線を走査する走査方法では、ＴＦＴパネル上に配置する各ピクセルが小さく、かつ、ピクセル数が多くなるほど、ＴＦＴパネル当たりのサンプリング点数が増加するため、検査時間が長くなるという問題がある。

[0014] このような問題を解決するために、各ピクセル内における電子線の照射点の位置を対角位置にある２点とし、これによって１ピクセル当たりのサンプリング点数を減少させるとともに、ピクセルに照射する電子線の照射位置精度の低下を抑制することが提案されている（特許文献１参照）。

[0015] この電子線走査では、電子線をＴＦＴアレイのソース方向およびゲート方向に走査して、各ピクセルに電子線を照射するとともに、ＴＦＴアレイのソース方向およびゲート方向の少なくとも何れか一方の方向の電子線走査において、ピクセルピッチで照射を行うとともに、隣接する走査ラインとの間で電子線の照射位置をオフセットさせる。隣接する走査ラインとの間においてサンプリング位置をオフセットさせることで、一ピクセル内における電子線の照射位置であるサンプリング位置をずらして対角な位置関係とする。

[0016] 図６（ｂ）は１ピクセル当たりの電子線の照射点数を２点とする例を示している。ここでは、ソース方向のオフセット量Δｓをソース方向のピクセル

ピッチＰｓに対してΔｓ＝Ｐｓ／２とし、ゲート方向のオフセット量Δｇをゲート方向のピクセルピッチＰｇに対してΔｇ＝Ｐｇ／２とし、ゲート方向（図中の縦方向）で隣接するソース方向の照射点の列間の距離をオフセット量Δｓだけずらし、また、ソース方向（図中の横方向）で隣接するゲート方向の照射点の列間の距離をオフセット量Δｇだけずらす。このように、照射点の列間の距離をオフセットさせることによって、一ピクセル内の照射点数およびサンプリング点数を２点に減らすと共に、ピクセル内での照射位置（サンプリング位置）の偏りを減らすことができる。

## 先行技術文献

## 特許文献

[0017] 特許文献1：特開２００８－８９４７６号公報

## 発明の概要

## 発明が解決しようとする課題

[0018] 図７は従来の走査例を説明するための概略図である。この走査例では、ソース方向に配列されるピクセル列に対して走査を行い、このピクセル列の走査をゲート方向に順次繰り返す。これによって、二次元配列されピクセルの各ピクセルについて照射点数を２点とし、この２点のサンプリング点から検出信号を取得する。

[0019] この走査では、ソース方向に配列される各ピクセル列に対してソース方向の走査をゲート方向にずらして２回行った後、ゲート方向に隣接するピクセル列について同様の走査を行うという操作を繰り返す。図中の短い矢印は各照射点間の走査の移動を表し、白抜きの長い矢印はソース方向のピクセル列における走査方向を表している。

[0020] 欠陥検出では、検出する欠陥の種類によってピクセルに印加する電圧パターンを異ならせている。図８（ａ），（ｂ）は、全ピクセルに同一の電圧を印加する例を示している。図８（ａ）は、全ピクセルに同一の電圧を印加し、一ピクセル当たりの照射点数を２点として走査する場合を示し、図８（ｂ

）は各サンプリング点で取得される検出信号を示している。

[0021] 電子線の照射によって放出される二次電子を検出する二次電子検出器として、一般的にシンチレータと光電子倍増管を組み合わせた検出器が用いられている。この二次電子検出器では、検出信号はシンチレータの残光時間に応じた時間幅を有して検出される。シンチレータの残光時間は、サンプリングピッチＮｓを移動するに要するサンプリング時間Ｔｓとほぼ同等の時間幅である。残光時間は、例えば、信号強度が所定の割合（例えば、ピーク値の１０％）まで減少するまでの時間で表される。

[0022] この残光時間とサンプリング時間Ｔｓとが重なると、検出対象のピクセルで検出される二次電子の信号強度は、一サンプリング前に検出した隣接ピクセルの検出信号の残光時間による影響を受け、検出対象のピクセルで検出される信号強度に残光による信号強度が加算された大きさが検出される。図８（ｂ）中の破線は各ピクセルで検出される信号強度を示し、実線は残光による影響を受けた信号強度を示している。

[0023] 図８（ａ）のように全ピクセルに同一の電圧を印加した場合には、残光時間によって隣接ピクセルから受ける影響は何れのピクセルについても同様となる。そのため、信号強度の差異によって欠陥検出を行う際には、残光による信号強度の変化の欠陥検出に対する影響は小さいと言える。

[0024] 一方、図８（ｃ），（ｄ）は、隣接するピクセル間で異なる電圧を印加する例である。図８（ｃ）は、ソース方向のピクセル列において、正電圧と負電圧を交互に印加し、一ピクセル当たりの照射点数を２点として走査する場合を示し、図８（ｄ）は各サンプリング点で取得される検出信号を示している。

[0025] このように、隣接するピクセル間の印加電圧が異なる場合には、前のピクセルのサンプリングで検出される検出信号が、次のピクセルのサンプリングの検出信号に影響し、ピクセル間の検出信号の信号強度の差異が小さくなる。そのため、信号強度の差異によって欠陥検出を行う際には、欠陥検出の検出精度が低下するという問題がある。

[0026] 図８（ｄ）中の破線は各ピクセルで検出される信号強度を示し、実線は残光時間による影響を受けた信号強度を示している。例えば、隣接するピクセルの一方のピクセルが欠陥である場合、ピクセル間の信号強度の強度差はｄ２となり、残光時間による前サンプリングの信号強度の影響によって信号強度差は、残光による影響が無い場合と比較してΔｄだけ小さくなる。

[0027] そのため、正常ピクセルで検出される二次電子の検出信号の強度差と欠陥ピクセルで検出される検出信号の強度差との峻別が困難となり、欠陥検出の検出精度が低下する要因となる。

[0028] また、正常ピクセルと欠陥ピクセルで得られる検出信号の強度差が小さく、ノイズとの強度比であるＳ／Ｎ比が小さくなるため、ノイズによる欠陥の誤検出の発生頻度が高まるという問題もある。

[0029] そこで、本発明は上記課題を解決して、二次電子検出器の残光時間の影響を低減することを目的とし、より詳細には、二次電子検出器の残光時間の影響によって、正常ピクセルで検出される二次電子の検出信号の強度差と欠陥ピクセルで検出される検出信号の強度差との差異が小さくなることによって生じる、欠陥検出の検出精度の低下を低減し、ノイズによる欠陥の誤検出の発生を低減することを目的とする。

## 課題を解決するための手段

[0030] 本発明のＴＦＴアレイ検査の電子線走査方法およびＴＦＴアレイ検査装置は、ＴＦＴ基板のパネルに所定電圧の検査信号を印加してアレイを駆動し、パネル上に電子線を照射して走査し、この電子線走査で検出される検出信号に基づいてＴＦＴ基板のアレイを検査するＴＦＴアレイ検査の電子線走査に係わり、ＴＦＴアレイのソース方向に配列されるピクセル列、又はゲート方向に配列されるピクセル列に対して、ピクセル列の配列方向と同方向に電子線を走査すると共に、走査するピクセル列中の各ピクセルにおいて、１点目の電子線の照射位置と２点目の電子線の照射位置をそのピクセル内において対角線上においてピクセル列の中心線を挟んで対向する位置として、ピクセル列を一回走査する間にそのピクセル列を二次元的に走査する。

[0031] 上記のように走査することによって、一つのピクセルには２点の照射位置に電子線が照射されて２つの検出信号が取得される。２つの検出信号の内、２点目の照射位置から検出される検出信号は、１点目の照射位置から検出される検出信号の残光時間内となるため１点目の検出信号の影響を受けるが、１点目の照射位置と２点目の照射位置は同じピクセル内であって同電圧であるため、２点目の照射位置で検出される検出信号は、隣接するピクセルで検出された検出信号の残光時間の影響を受けることはない。

[0032] このように、ピクセル内で検出される２つの検出信号の内、少なくとも２点目の照射位置から検出される検出信号は隣接するピクセルで検出された検出信号の残光時間の影響を受けないため、残光時間による影響を低減させることができる。

[0033] 本発明の電子線走査は、ＴＦＴアレイのソース方向に配列されるピクセル列について適用する他、ＴＦＴアレイのゲート方向に配列されるピクセル列についても適用することができる。

[0034] また、各ピクセルにおいて電子線を照射する照射位置は２つの形態とすることができる。

[0035] 照射位置の第１の形態は、電子線の走査方向に隣接するピクセル間において、走査順で前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とを、走査を行うピクセル列の中心線に対して反対側とする形態である。

[0036] この第１の形態によれば、走査方向に配列されるピクセル列において、照射位置はピクセル列の中心線を挟んで交互に配置され、照射位置を結ぶ走査経路はジグザグ状となる。一ピクセルについて見ると、ピクセル内には２点に電子線が照射されるため、２点目の照射位置で検出される検出信号は、同じ電圧状態にある１点目の照射位置で検出される検出信号の残光時間に影響を受けるが、異なる電圧状態となる得る隣接するピクセルで検出される検出信号の残光時間の影響を受けることはない。

[0037] また、２点の照射位置はピクセル列の中心線に対して反対側に配置される

ため、一つのピクセル内の照射位置の偏りは低減される。

[0038] この第１の形態では、隣接する２つのピクセルにおいて、前のピクセルの２点目の照射位置と次のピクセルの１点目の照射位置についても、走査を行うピクセル列の中心線に対して反対側となる。

[0039] 照射位置の第２の形態は、電子線の走査方向に隣接するピクセル間において、走査順で前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とを、走査を行うピクセル列の中心線に対して同じ側とする形態である。

[0040] この第２の形態によれば、走査方向に配列されるピクセル列において、照射位置は、ピクセル列の中心線を挟む交互配置と、ピクセル列の中心線に対して同方向の配置とを組み合わせ、一ピクセル内の２つの照射位置はピクセル列の中心線を挟んで交互に配置し、電子線の走査方向に隣接するピクセル間において、走査方向で前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とは、走査を行うピクセル列の中心線に対して同じ側に配置する。したがって、第２の形態では、隣接する２つのピクセルにおいて、前のピクセルの２点目の照射位置と次のピクセルの１点目のピクセルの照射信号は走査を行うピクセル列の中心線に対して同じ側となる。

[0041] この第２の形態によれば、一ピクセルについて見ると第１の形態と同様に、ピクセル内には２点に電子線が照射されるため、２点目の照射位置で検出される検出信号は、同じ電圧状態にある１点目の照射位置で検出される検出信号の残光時間に影響を受けるが、異なる電圧状態となり得る隣接するピクセルで検出される検出信号の残光時間の影響を受けることはなく、また、２点の照射位置はピクセル列の中心線に対して反対側に配置されるため、一つのピクセル内の照射位置の偏りは低減される。

[0042] また、本発明の走査方法は、各ピクセル内で照射する２点の照射位置において、走査方向の間隔を配列方向のピクセルピッチの１／２とし、走査方向と直交する方向の間隔を配列方向と直交する方向のピクセルピッチの１／２とすることによって、ピクセル内の２点の照射位置を対角線上においてピク

セル列の中心線を挟んで対向する位置とすることができる。

[0043] 本発明は、ＴＦＴアレイ検査の電子線走査方法の態様、およびこの電子線走査方法を適用したＴＦＴアレイ検査装置の態様とすることができる。

[0044] ＴＦＴアレイ検査装置の態様は電子線走査を制御する走査制御部を備え、この走査制御部によって、ＴＦＴアレイのソース方向に配列されるピクセル列、又はゲート方向に配列されるピクセル列に対して、ピクセル列の配列方向と同方向に電子線を走査すると共に、走査するピクセル列中の各ピクセルにおいて、１点目の電子線の照射位置と２点目の電子線の照射位置をこのピクセル内において対角線上においてピクセル列の中心線を挟んで対向する位置とし、ピクセル列を一回走査する間にこのピクセル列を二次元的に走査する制御を行う。

[0045] ＴＦＴアレイ検査装置は、電子線を照射する電子線源と、ＴＦＴ基板を載置すると共に載置したＴＦＴ基板を移動するステージとを備え、走査制御部は、電子線源が照射する電子線の照射方向を制御して前記ピクセル列を二次元的に走査し、ステージの移動を制御して電子線が照射するピクセル列を切り替え、ＴＦＴ基板上の全ピクセル列に対して電子線走査を行う。

## 発明の効果

[0046] 本発明によれば、二次電子検出器の残光時間の影響を低減することができる。

[0047] より詳細には、本発明によれば、二次電子検出器の残光時間の影響によって、正常ピクセルで検出される二次電子の検出信号の強度差と欠陥ピクセルで検出される検出信号の強度差との差異が小さくなることによって生じる、欠陥検出の検出精度の低下を低減し、ノイズによる欠陥の誤検出の発生を低減することができる。

## 図面の簡単な説明

[0048] [図1]本発明のＴＦＴアレイ検査装置の概略図である。

[図2]本発明の電子線走査の第１の形態を説明するための図である。

[図3]本発明の電子線走査の第１の形態を説明するための図である。

[図4]本発明の電子線走査の第２の形態を説明するための図である。

[図5]本発明の電子線走査の第２の形態を説明するための図である。

[図6]１ピクセル当たりの電子線の照射点数を説明するための図である。

[図7]ピクセルの走査方向を説明するための図である。

[図8]二次電子検出器の残光時間による影響を説明するための図である。

## 発明を実施するための形態

[0049] 以下、本発明の実施の形態について、図を参照しながら詳細に説明する。以下では、図１を用いて本発明の電子線走査方法を適用したＴＦＴアレイ検査装置を説明し、図２～図５を用いて本発明による電子線の走査について説明する。

[0050] 図１は、本発明のＴＦＴアレイ検査装置の概略図である。ＴＦＴアレイ検査装置１は、ＴＦＴ基板１０にアレイ検査用の検査信号を生成する検査信号生成部４と、検査信号生成部４で生成した検査信号をＴＦＴ基板１０に印加するプローバ８と、ＴＦＴ基板の電圧印加状態を検出する機構（２，３，５）と、検出信号に基づいてＴＦＴアレイの欠陥を検出する欠陥検出部６を備える。

[0051] プローバ８は、プローブピン（図示していない）が設けられたプローバフレームを備える。プローバ８は、ＴＦＴ基板１０上に載置する等によってプローブピンをＴＦＴ基板１０上に形成した電極に接触させ、ＴＦＴアレイに検査信号を印加する。

[0052] ＴＦＴ基板の電圧印加状態を検出する機構は種々の構成とすることができる。図１に示す構成は、電子線による検出構成であり、ＴＦＴ基板１０上に電子線を照射する電子線源２、照射された電子線によってＴＦＴ基板１０から放出される二次電子を検出する二次電子検出器３、二次電子検出器３の検出信号を信号処理してＴＦＴ基板１０上の電位状態を検出する信号処理部５、検出信号に基づいてＴＦＴアレイの欠陥を検出する欠陥検出部６等を備える。

[0053] 電子線が照射されたＴＦＴアレイは、印加された検査信号の電圧に応じた

二次電子を放出する。二次電子検出器３はこの二次電子を検出して検出信号を出力する。この検出信号によって、ＴＦＴアレイの電位状態を検出することができる。

[0054] 欠陥検出部６は、信号処理部５で取得したＴＦＴアレイの電位状態に基づいて、正常状態における電位状態と比較することによってＴＦＴアレイの欠陥を検出する。

[0055] 検査信号生成部４は、ＴＦＴ基板１０上に形成されるＴＦＴアレイを駆動する検査信号の検査パターンを生成する。

[0056] 走査制御部９は、ＴＦＴ基板１０上のＴＦＴアレイの検査位置を走査するために、ステージ７や電子線源２を制御する。ステージ７は、載置するＴＦＴ基板１０をＸＹ方向に移動し、また、電子線源２はＴＦＴ基板１０に照射する電子線をＸＹ方向に振ることで、電子線の照射位置を走査する。走査位置が検出位置となる。

[0057] 本発明の走査制御部９は、電子線源２からの照射される電子線の照射方向を制御し、走査方向に電子線を走査させると共に、一つのピクセル内の照射位置を制御し、ピクセル内の対角線上において走査方向のピクセル列の中心を挟んで対向する位置に照射を行って、ピクセル列を二次元的に走査する。また、走査制御部９は、ＴＦＴ基板を載置するステージの移動を制御して電子線が照射するピクセル列を切り替え、ＴＦＴ基板上の全ピクセル列に対して電子線走査を行う。

[0058] また、走査制御部９は、電子線の照射制御と同期して信号処理部５を制御し、電子線の照射に合わせて二次電子検出器３で検出した検出処理を信号処理する。

[0059] 走査制御部９は、電子線の照射制御に必要なパラメータ、あるいはパラメータを算出するプログラムを備え、検出対象のピクセルのピクセルピッチ等のピクセルのサイズやピクセル数等の情報に基づいて、ソース方向やゲート方向のサンプリングピッチや、一ピクセル内における走査方向と直交する方向の移動距離等の制御情報を定め、これらの制御情報に基づいて電子線の照

射を制御する。制御情報は、走査制御部９で算出する他、外部装置で算出したデータを走査制御部９に記憶させるようにしてもよい。

[0060] なお、上記したＴＦＴアレイ検査装置の構成は一例であり、この構成に限られるものではない。

[0061] 次に、本発明による電子線照射について図２～図５を用いて説明する。なお、図２、３は本発明の第１の形態を説明する図であり、図４、５は本発明の第２の形態を説明する図である。

[0062] 本発明は、ＴＦＴアレイのソース方向に配列されるピクセル列、又はゲート方向に配列されるピクセル列に対して、ピクセル列の配列方向と同方向に電子線を走査すると共に、走査するピクセル列中の各ピクセルにおいて、１点目の電子線の照射位置と２点目の電子線の照射位置をそのピクセル内において対角線上においてピクセル列の中心線を挟んで対向する位置として、ピクセル列を一回走査する間にそのピクセル列を二次元的に走査する。

[0063] この二次元的走査において、各ピクセルにおいて電子線を照射する照射位置は２つの形態とすることができる。

[0064] 本発明の照射位置の第１の形態は、電子線の走査方向に隣接するピクセル間において、走査順で前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とを、走査を行うピクセル列の中心線に対して反対側とする形態であり、第２の形態は、電子線の走査方向に隣接するピクセル間において、走査順で前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とを、走査を行うピクセル列の中心線に対して同じ側とする形態である。

[0065] ［本発明の照射位置の第１の形態］

はじめに、第１の形態について図２、３を用いて説明する。図２では、ＴＦＴアレイのソース方向を走査方向とする場合について示し、二次元配置される複数のピクセルの内でソース方向に配列されるピクセル列の一列分の一部を示している。

[0066] 図２（ａ），（ｃ）において、ピクセル列の各ピクセルは、ソース方向の

ピクセルピッチをＰsとし、ゲート方向のピクセルピッチをＰｇとしている。このピクセル列において、ＴＦＴアレイのソース方向に走査する際、サンプリングピッチＮｓをＮｓ＝Ｐｓ／２として各ピクセル内での照射点数を２点とすると共に、照射毎にゲート方向のオフセットΔｇ＝Ｐｇ／２だけ、ピクセル列の中心線に対して交互に反対側となるように移動させて走査を行う。この走査によって、照射位置はピクセル列の走査方向に対してジグザグ状に配置される。

[0067] 図２（ａ），（ｃ）は、照射位置の第１の形態による電圧の印加状態を示し、図２（ａ）は、全てのピクセルに同電圧を印加した場合（図では正電圧を印加した場合を示している）を示し、図２（ｃ）は、ピクセルに交互に異なる電圧を印加した場合（図では正電圧と負電圧を交互に印加した場合を示している）を示している。

[0068] また、図２（ｂ），（ｄ）は、図２（ａ），（ｃ）に示す電圧の印加状態における検出信号を示し、図中の矢印は電子線の照射時点を表している。各電子線照射により検出される検出信号は、サンプリングピッチＮｓの間を移動するサンプリング時間Ｔｓとほぼ同じ時間幅の残光時間を有するものとして示している。ここでは、何れの場合も３番目のピクセルに欠陥がある場合について説明する。

[0069] 照射位置の第１の形態によれば、一つのピクセルには２点の照射位置に電子線が照射されて２つの検出信号が取得され、各検出信号は一つ前の照射位置から検出される検出信号の残光時間内であるため残光時間による影響を受けることになるが、一つのピクセル中の２点目の照射位置から検出される検出信号が受ける影響は、同じピクセル内の１点目の照射位置から検出される検出信号であって、一つ前のピクセルの影響を受けることがないため、仮に一つ前のピクセルに欠陥があった場合であっても、２点目の照射位置から検出される検出信号への影響を低減させることができる。

[0070] （全てのピクセルに同電圧が印加されている場合）

はじめに、全てのピクセルに同電圧が印加されている場合について説明す

る。図２（ａ）に示すように、一ピクセル内の１点目の照射位置から検出される検出信号は、一つ前のピクセルの２点目の照射位置から検出される検出信号の残光時間の影響を受け、また、一ピクセル内の２点目の照射位置から検出される検出信号は、同じピクセルの１点目の照射位置から検出される検出信号の残光時間の影響を受けるが、１点目と２点目の照射位置が受ける残光時間による影響は、全てのピクセルが同電圧であるため何れの検出信号も同様に影響を受けることになる。

[0071] 正常ピクセルと欠陥ピクセルとの信号強度の差異によって欠陥検出を行う場合には、この残光時間による信号強度の変化による欠陥検出への影響は小さくなる。

[0072] 例えば、図２（ａ），（ｂ）において、３番目のピクセルに欠陥がある場合には、４番目のピクセルの１点目の照射位置の検出信号は３番目のピクセルの２点目の検出信号の残光時間の影響によって信号強度に誤差が生じる。これに対して、４番目のピクセルの２点目の照射位置の検出信号は、４番目のピクセルの１点目の検出信号の残光時間の影響を受けるものの、同じピクセル内の照射移動であるため、信号強度の差異による欠陥検出への影響は低減される。

[0073] （ピクセルに交互に異なる電圧が印加されている場合）

次に、ピクセルに交互に異なる電圧が印加されている場合について説明する。図２（ｃ）に示すように、前記した全てのピクセルに同電圧が印加されている場合と同様に、一つ前の照射位置から検出される検出信号の残光時間の影響を受ける。このとき、１点目の照射位置から検出される検出信号は、印加電圧が異なる一つ前のピクセルの２点目の照射位置から検出される検出信号の残光時間の影響を受けるため、全ピクセルに同一の電圧が印加される場合よりも大きく影響を受ける。しかしながら、２点目の照射位置から検出される検出信号は、同じピクセルの１点目の照射位置から検出される検出信号の影響を受けるものであるため、正常ピクセルと欠陥ピクセルとの信号強度の差異によって欠陥検出を行う場合には、この残光時間による信号強度の

変化による欠陥検出への影響は低減される。

[0074] 図２（ｃ），（ｄ）は、欠陥ピクセルに正電圧が印加された場合を例示している。欠陥ピクセルにおいて１点目の照射位置から検出される検出信号は、負電圧が印加された一つ前のピクセルの照射位置から検出される検出信号の残光時間の影響を受けるため、前ピクセルの検出信号との強度差はＤ１となり、残光時間の影響を受けない場合と比較してΔＤだけ強度差が小さくなる。

[0075] 一方、欠陥ピクセルの２点目の照射位置から検出される検出信号は、同じ欠陥ピクセルの１点目の照射位置から検出される検出信号の残光時間の影響を受けるものの、この１点目と２点目は同じ欠陥ピクセル内の照射位置であるため、検出信号強度はほぼ同じであるため、印加電圧が異なるピクセルによる残光時間の影響は小さい。そのため、欠陥ピクセルの２点目の照射位置から形成される検出信号と前ピクセルの照射位置から形成される検出信号との強度差はＤ２となり、前ピクセルの検出信号の残光時間による影響を低減することができる。

[0076] このように、ピクセル内で検出される２つの検出信号の内、少なくとも２点目の照射位置から検出される検出信号は隣接するピクセルで検出された検出信号の残光時間の影響を受けないため、残光時間による影響を低減させることができる。

[0077] 第１の形態によれば、走査方向に配列されるピクセル列において、照射位置はピクセル列の中心線を挟んで交互に配置され、照射位置を結ぶ走査経路はジグザグ状となる。一ピクセルについて見ると、ピクセル内には２点に電子線が照射されるため、２点目の照射位置で検出される検出信号は、同じ電圧状態にある１点目の照射位置で検出される検出信号の残光時間に影響を受けるが、異なる電圧状態となる得る隣接するピクセルで検出される検出信号の残光時間の影響を受けることはない。

[0078] また、２点の照射位置はピクセル列の中心線に対して反対側に配置されるため、一つのピクセル内の照射位置の偏りは低減される。

[0079] 本発明の電子線走査は、ＴＦＴアレイのソース方向に配列されるピクセル列について適用する他、ＴＦＴアレイのゲート方向に配列されるピクセル列についても適用することができる。

[0080] 図３は、第１の形態において、ＴＦＴアレイのソース方向およびゲート方向のピクセル列への適用を説明するための図である。

[0081] 図３（ａ）は、ＴＦＴアレイのソース方向を電子線の走査方向とする場合であり、一ピクセル列に対して、そのピクセル列のソース方向の走査方向の中心線を挟んで、交互に対角線上の対向位置に電子線を照射して行うピクセル列の二次元的な走査を、各ピクセル列でゲート方向に繰り返す。

[0082] 図３（ｂ）は、ＴＦＴアレイのゲート方向を電子線の走査方向とする場合であり、一ピクセル列に対して、そのピクセル列のゲート方向の走査方向の中心線を挟んで、交互に対角線上の対向位置に電子線を照射して行うピクセル列の二次元的な走査を、各ピクセル列でソース方向に繰り返す。

[0083] ［本発明の照射位置の第２の形態］

次に、第２の形態について図４、５を用いて説明する。図４では、ＴＦＴアレイのソース方向を走査方向とする場合について示し、二次元配置される複数のピクセルの内でソース方向に配列されるピクセル列の一列分の一部を示している。

[0084] 図４（ａ），（ｃ）において、ピクセル列の各ピクセルは、ソース方向のピクセルピッチをＰsとし、ゲート方向のピクセルピッチをＰｇとしている。このピクセル列において、ＴＦＴアレイのソース方向に走査する際、サンプリングピッチＮｓをＮｓ＝Ｐｓ／２として各ピクセル内での照射点数を２点とすると共に、同じピクセル内で行う１点目と２点目の照射位置は、ゲート方向のオフセットΔｇ＝Ｐｇ／２だけピクセル列の中心線に対して交互に反対側となるように移動させ、電子線の走査方向に隣接するピクセル間においては、走査順で前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とを、走査を行うピクセル列の中心線に対して同じ側とする。

[0085] 図４（ａ），（ｃ）は、照射位置の第２の形態による電圧の印加状態を示し、図４（ａ）は、全てのピクセルに同電圧を印加した場合（図では正電圧を印加した場合を示している）を示し、図４（ｃ）は、ピクセルに交互に異なる電圧を印加した場合（図では正電圧と負電圧を交互に印加した場合を示している）を示している。

[0086] また、図４（ｂ），（ｄ）は、図４（ａ），（ｃ）に示す電圧の印加状態における検出信号を示し、図中の矢印は電子線の照射時点を表している。各電子線照射により検出される検出信号は、サンプリングピッチＮｓの間を移動するサンプリング時間Ｔｓとほぼ同じ時間幅の残光時間を有するものとして示している。ここでは、何れの場合も３番目のピクセルに欠陥がある場合を示し、図４（ｃ），（ｄ）では欠陥ピクセルに正電圧が印加された場合について示している。

[0087] 照射位置の第２の形態によれば、第１の形態と同様に、一つのピクセルには２点の照射位置に電子線が照射されて２つの検出信号が取得され、各検出信号は一つ前の照射位置から検出される検出信号の残光時間内であるため残光時間による影響を受けることになるが、一つのピクセル中の２点目の照射位置から検出される検出信号が受ける影響は、同じピクセル内の１点目の照射位置から検出される検出信号であって、一つ前のピクセルの影響を受けることがないため、仮に一つ前のピクセルに欠陥があった場合であっても、２点目の照射位置から検出される検出信号への影響を低減させることができる。

[0088] 第２の形態は、隣接するピクセル間において、走査順で前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とを、走査を行うピクセル列の中心線に対して同じ側とする点で第１の形態と相違し、その他の点については同様である。

[0089] 第２の形態により得られる検出信号についても、図４（ｂ），（ｄ）に示すように第１の形態と同様の検出信号を取得することができる。そのため、ここでの説明は省略する。

[0090] この第２の形態によれば、一ピクセルについて見ると第１の形態と同様に、ピクセル内には２点に電子線が照射されるため、２点目の照射位置で検出される検出信号は、同じ電圧状態にある１点目の照射位置で検出される検出信号の残光時間に影響を受けるが、異なる電圧状態となる得る隣接するピクセルで検出される検出信号の残光時間の影響を受けることはなく、また、２点の照射位置はピクセル列の中心線に対して反対側に配置されるため、一つのピクセル内の照射位置の偏りは低減される。

[0091] 図５は、第２の形態において、ＴＦＴアレイのソース方向およびゲート方向のピクセル列への適用を説明するための図である。

[0092] 図５（ａ）は、ＴＦＴアレイのソース方向を電子線の走査方向とする場合であり、一ピクセル列に対して、そのピクセル列のソース方向の走査方向の中心線を挟んで、交互に対角線上の対向位置に電子線を照射して行うピクセル列の二次元的な走査を、各ピクセル列でゲート方向に繰り返す。

[0093] 図５（ｂ）は、ＴＦＴアレイのゲート方向を電子線の走査方向とする場合であり、一ピクセル列に対して、そのピクセル列のゲート方向の走査方向の中心線を挟んで、交互に対角線上の対向位置に電子線を照射して行うピクセル列の二次元的な走査を、各ピクセル列でソース方向に繰り返す。

## 産業上の利用可能性

[0094] 本発明は、ＴＦＴ基板は液晶基板や有機ＥＬとすることができ、液晶基板や有機ＥＬを形成する成膜装置の他、種々の半導体基板を形成する成膜装置に適用することができる。

## 符号の説明

[0095] １ アレイ検査装置

２ 電子線源

３ 二次電子検出器

４ 検査信号生成部

５ 信号処理部

６ 欠陥検出部

７　ステージ

８　プローバ

９　走査制御部

１０　基板

Ｎｓ　サンプリングピッチ

Ｐｇ　ピクセルピッチ

Ｐｓ　ピクセルピッチ

Ｔｓ　サンプリング時間

Δｇ　オフセット量

Δｓ　オフセット量

# 請求の範囲

[請求項1] ＴＦＴ基板のパネルに所定電圧の検査信号を印加してアレイを駆動し、前記パネル上に電子線を照射して走査し、当該電子線走査で検出される検出信号に基づいてＴＦＴ基板のアレイを検査するＴＦＴアレイ検査において、

ＴＦＴアレイのソース方向に配列されるピクセル列、又はゲート方向に配列されるピクセル列に対して、前記ピクセル列の配列方向と同方向に電子線を走査すると共に、

走査するピクセル列中の各ピクセルにおいて、１点目の電子線の照射位置と２点目の電子線の照射位置を当該ピクセル内において対角線上においてピクセル列の中心線を挟んで対向する位置とし、

ピクセル列を一回走査する間に当該ピクセル列を二次元的に走査することを特徴とする、ＴＦＴアレイ検査の電子線走査方法。

[請求項2] 各ピクセルにおける電子線の照射において、

電子線の走査方向に隣接するピクセル間において、走査順において前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とは、走査を行うピクセル列の中心線に対して反対側にあることを特徴とする、請求項１に記載のＴＦＴアレイ検査の電子線走査方法。

[請求項3] 各ピクセルにおける電子線の照射において、

電子線の走査方向に隣接するピクセル間において、走査順において前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とは、走査を行うピクセル列の中心線に対して同じ側にあることを特徴とする、請求項１に記載のＴＦＴアレイ検査の電子線走査方法。

[請求項4] 各ピクセル内で照射する２点の照射位置において、走査方向の間隔は配列方向のピクセルピッチの１／２であり、走査方向と直交する方向の間隔は配列方向と直交する方向のピクセルピッチの１／２である

ことを特徴とする、請求項１から３の何れか一つに記載のＴＦＴアレイ検査の電子線走査方法。

[請求項5] ＴＦＴ基板のパネルに所定電圧の検査信号を印加してアレイを駆動し、前記パネル上に電子線を照射して走査し、当該電子線走査で検出される検出信号に基づいてＴＦＴ基板のアレイを検査するＴＦＴアレイ検査装置において、

前記電子線走査を制御する走査制御部を備え、

前記走査制御部は、ＴＦＴアレイのソース方向に配列されるピクセル列、又はゲート方向に配列されるピクセル列に対して、前記ピクセル列の配列方向と同方向に電子線を走査すると共に、

走査するピクセル列中の各ピクセルにおいて、１点目の電子線の照射位置と２点目の電子線の照射位置を当該ピクセル内において対角線上においてピクセル列の中心線を挟んで対向する位置とし、

ピクセル列を一回走査する間に当該ピクセル列を二次元的に走査することを特徴とする、ＴＦＴアレイ検査装置。

[請求項6] 各ピクセルにおける電子線の照射において、

電子線の走査方向に隣接するピクセル間において、走査順において前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とは、走査を行うピクセル列の中心線に対して反対側にあることを特徴とする、請求項５に記載のＴＦＴアレイ検査装置。

[請求項7] 各ピクセルにおける電子線の照射において、

電子線の走査方向に隣接するピクセル間において、走査順において前のピクセルにおける２点目の照射位置と次のピクセルにおける１点目の照射位置とは、走査を行うピクセル列の中心線に対して同じ側にあることを特徴とする、請求項５に記載のＴＦＴアレイ検査装置。

[請求項8] 各ピクセル内で照射する２点の照射位置において、走査方向の間隔は配列方向のピクセルピッチの１／２であり、走査方向と直交する方向の間隔は配列方向と直交する方向のピクセルピッチの１／２である

ことを特徴とする、請求項５から７の何れか一つに記載のＴＦＴアレイ検査装置。

[請求項9] 前記電子線を照射する電子線源と、ＴＦＴ基板を載置すると共に、載置したＴＦＴ基板を移動するステージとを備え、

前記走査制御部は、前記電子線源が照射する電子線の照射方向を制御して前記ピクセル列を二次元的に走査し、前記ステージの移動を制御して前記電子線が照射するピクセル列を切り替えることを特徴とする、請求項５から８の何れか一つに記載のＴＦＴアレイ検査装置。

[図1]

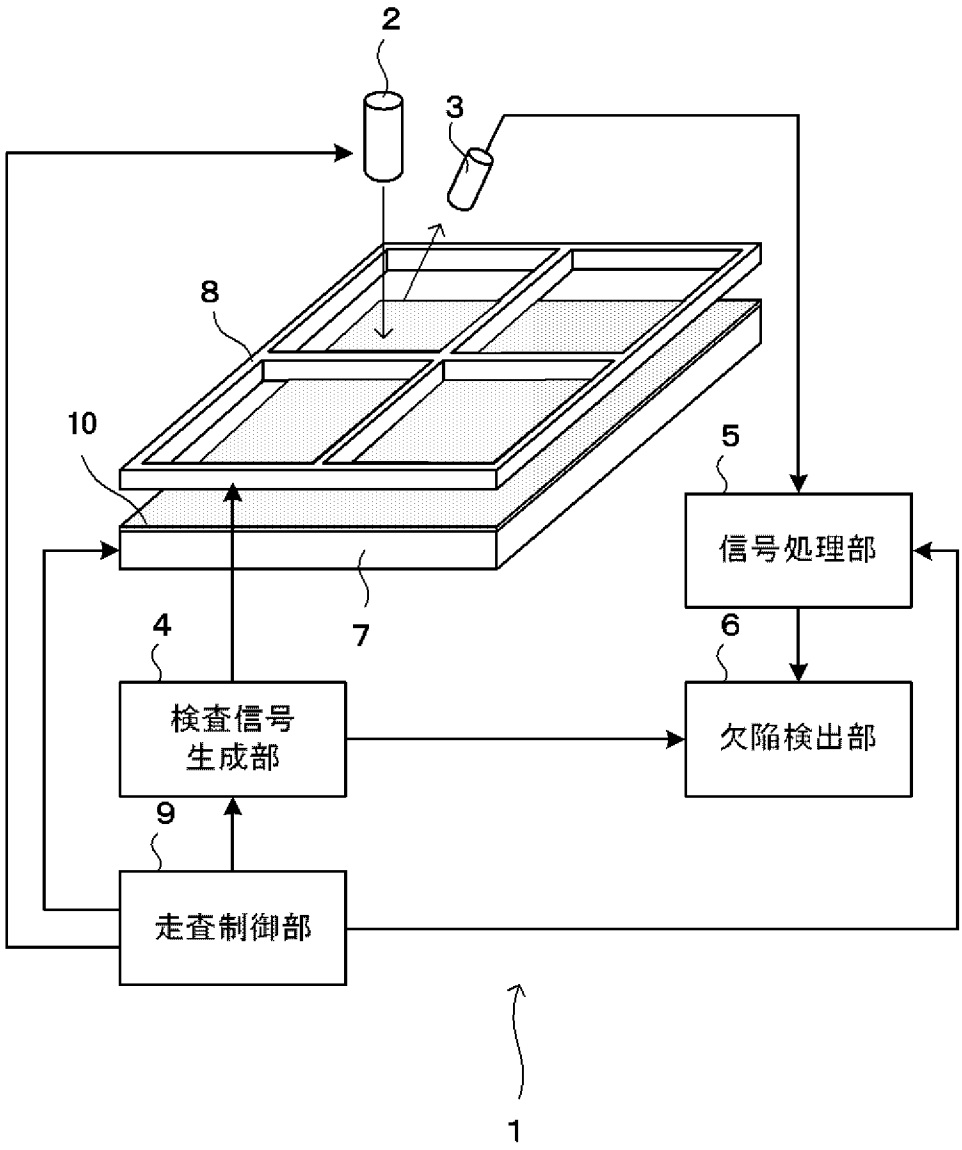
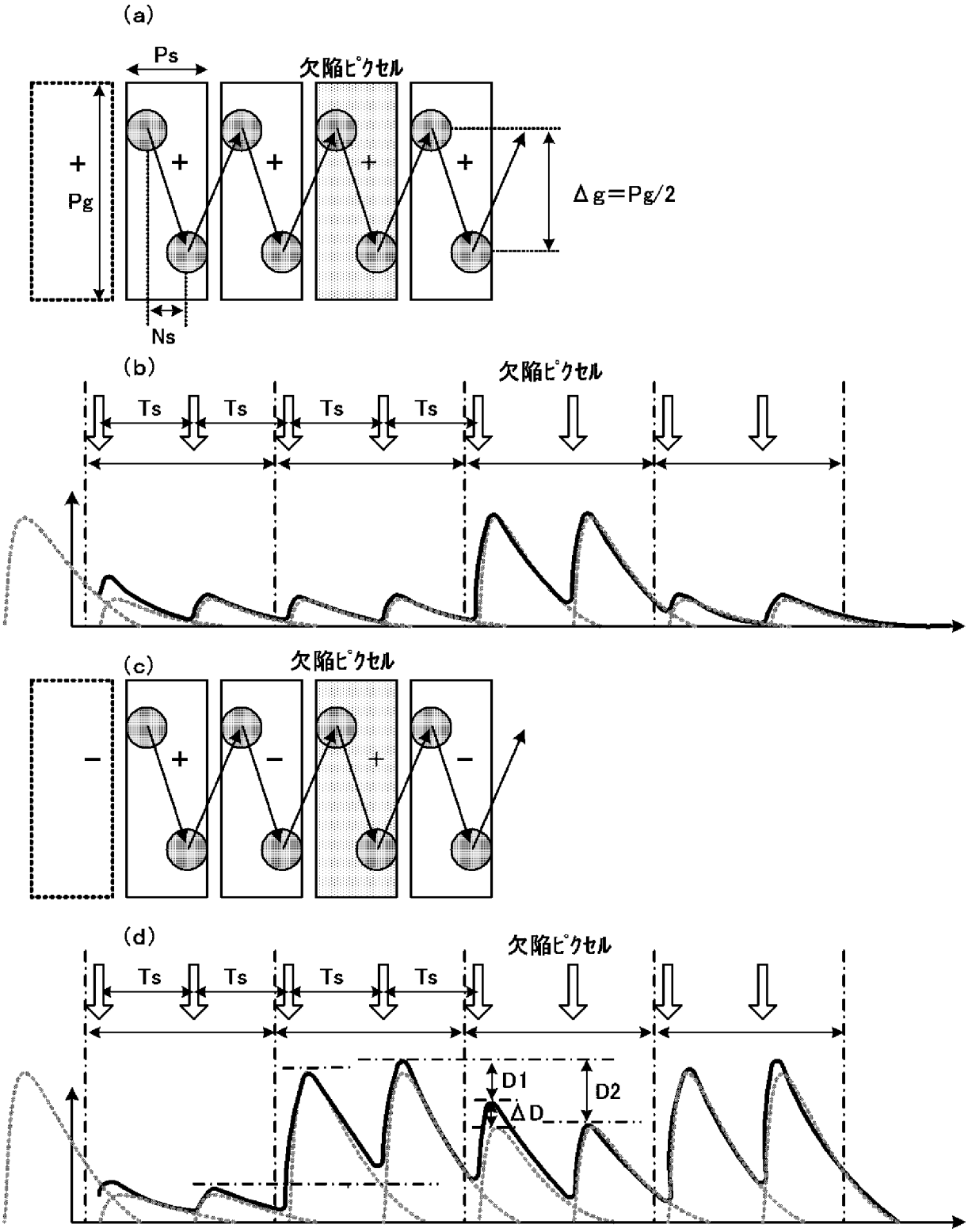



図1

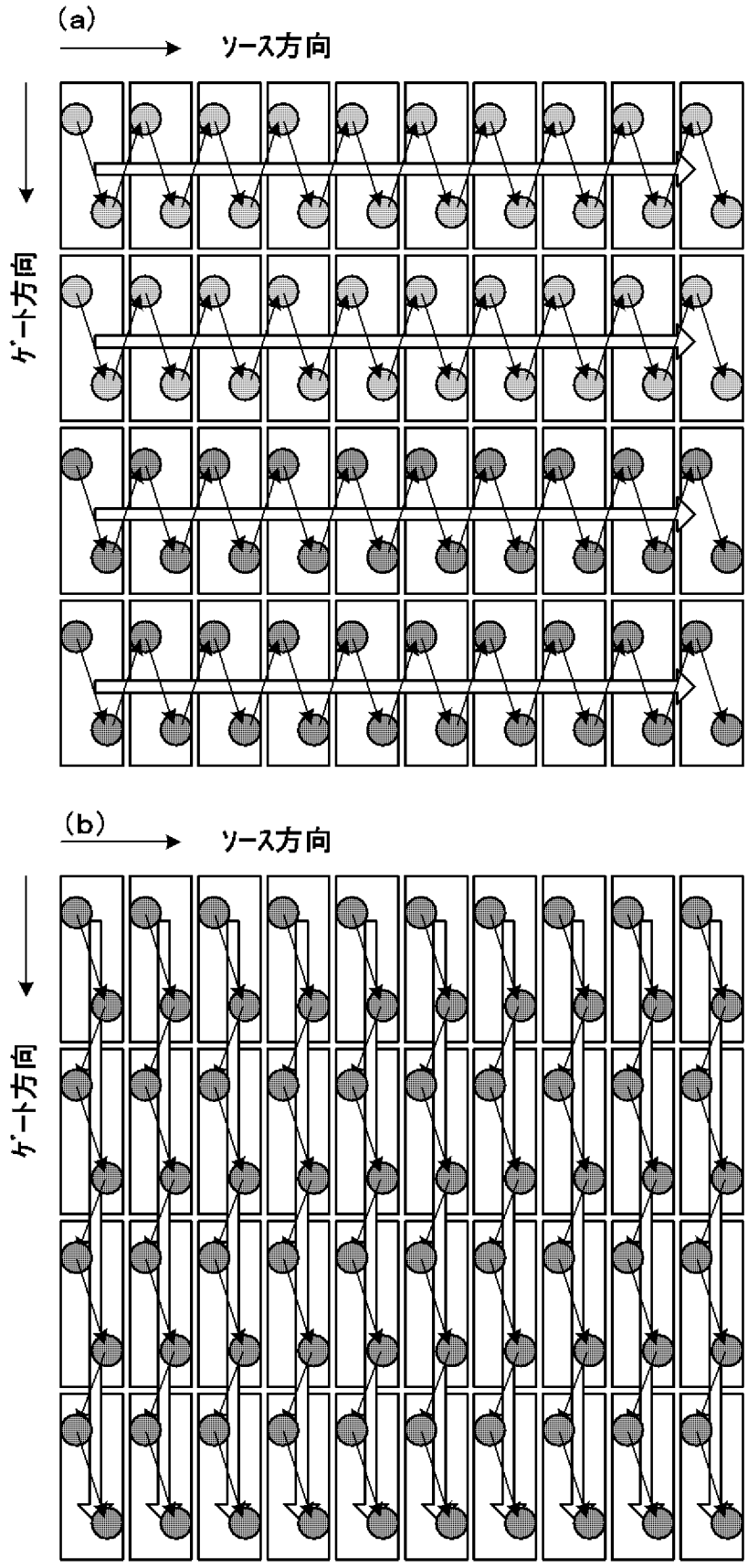
[図2]

図2


(a)
Ps
欠陥ピクセル
+
Pg
Δg=Pg/2
Ns
(b)
欠陥ピクセル
Ts
Ts
Ts
Ts
(c)
欠陥ピクセル
−
+
−
+
−
(d)
欠陥ピクセル
Ts
Ts
Ts
Ts
D1
D2
ΔD

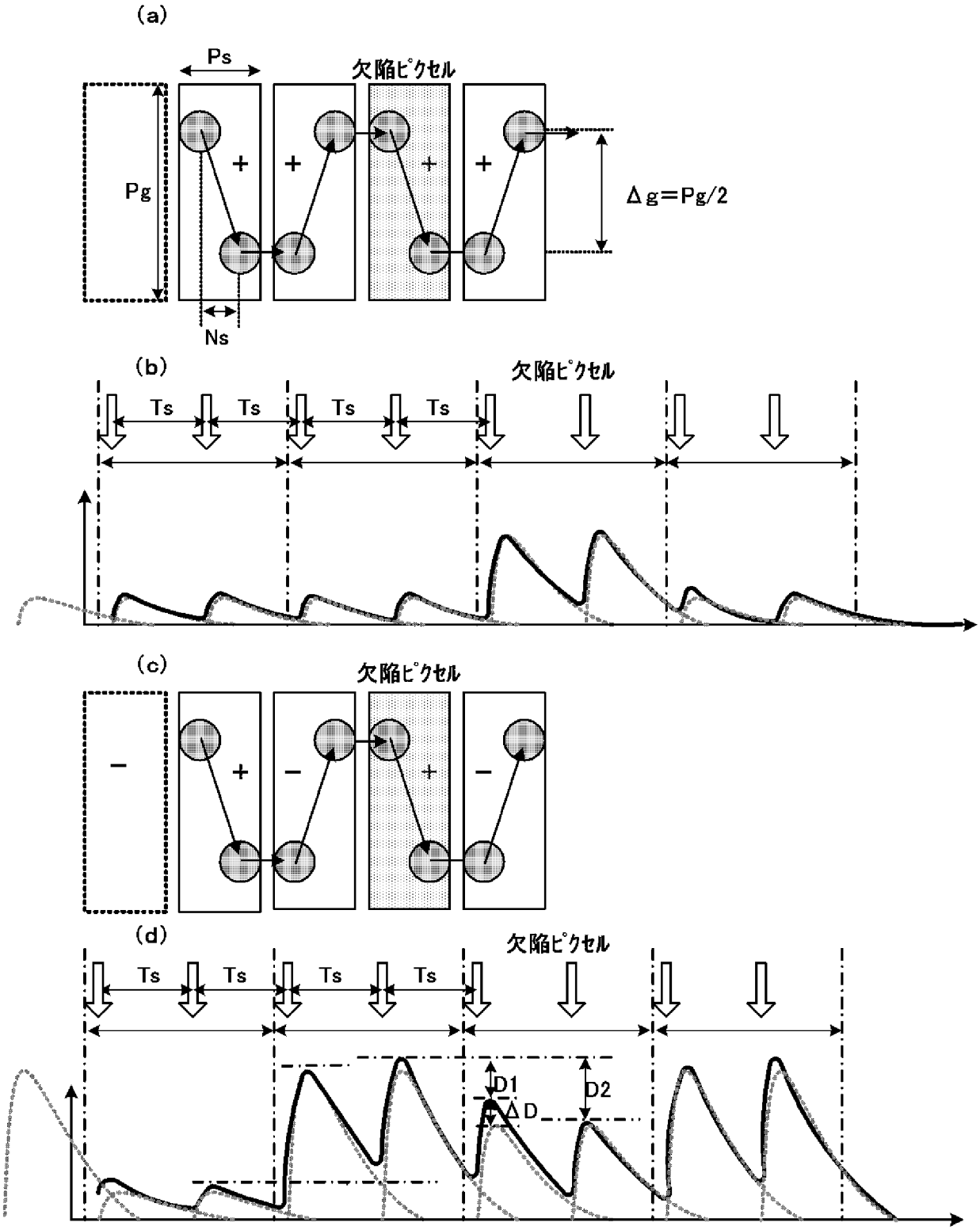
[図3]

図3



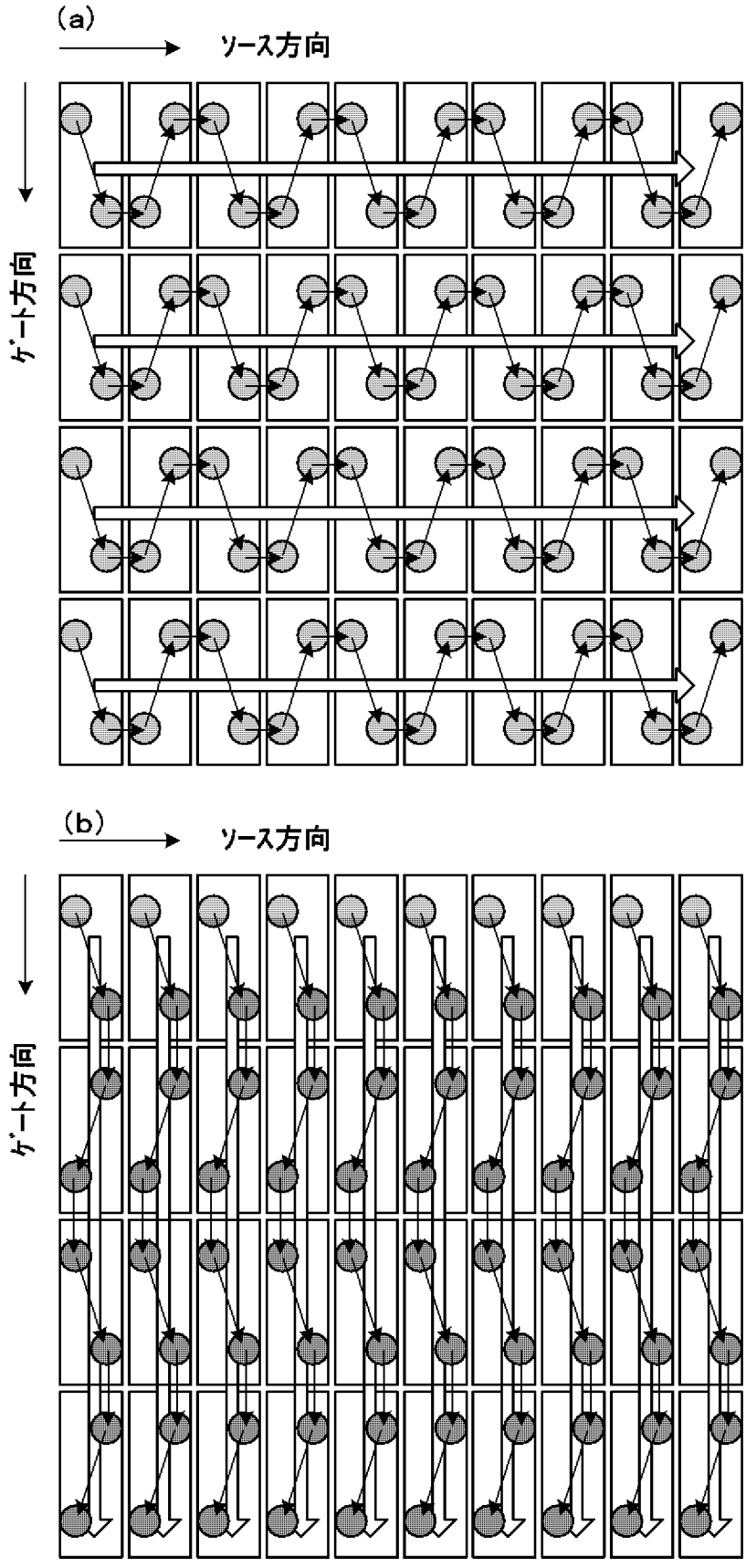
[図4]

図4


(a)
Ps
欠陥ピクセル
Pg
Δg=Pg/2
Ns
(b)
欠陥ピクセル
Ts
Ts
Ts
Ts
(c)
欠陥ピクセル
(d)
欠陥ピクセル
Ts
Ts
Ts
Ts
D1
D2
D

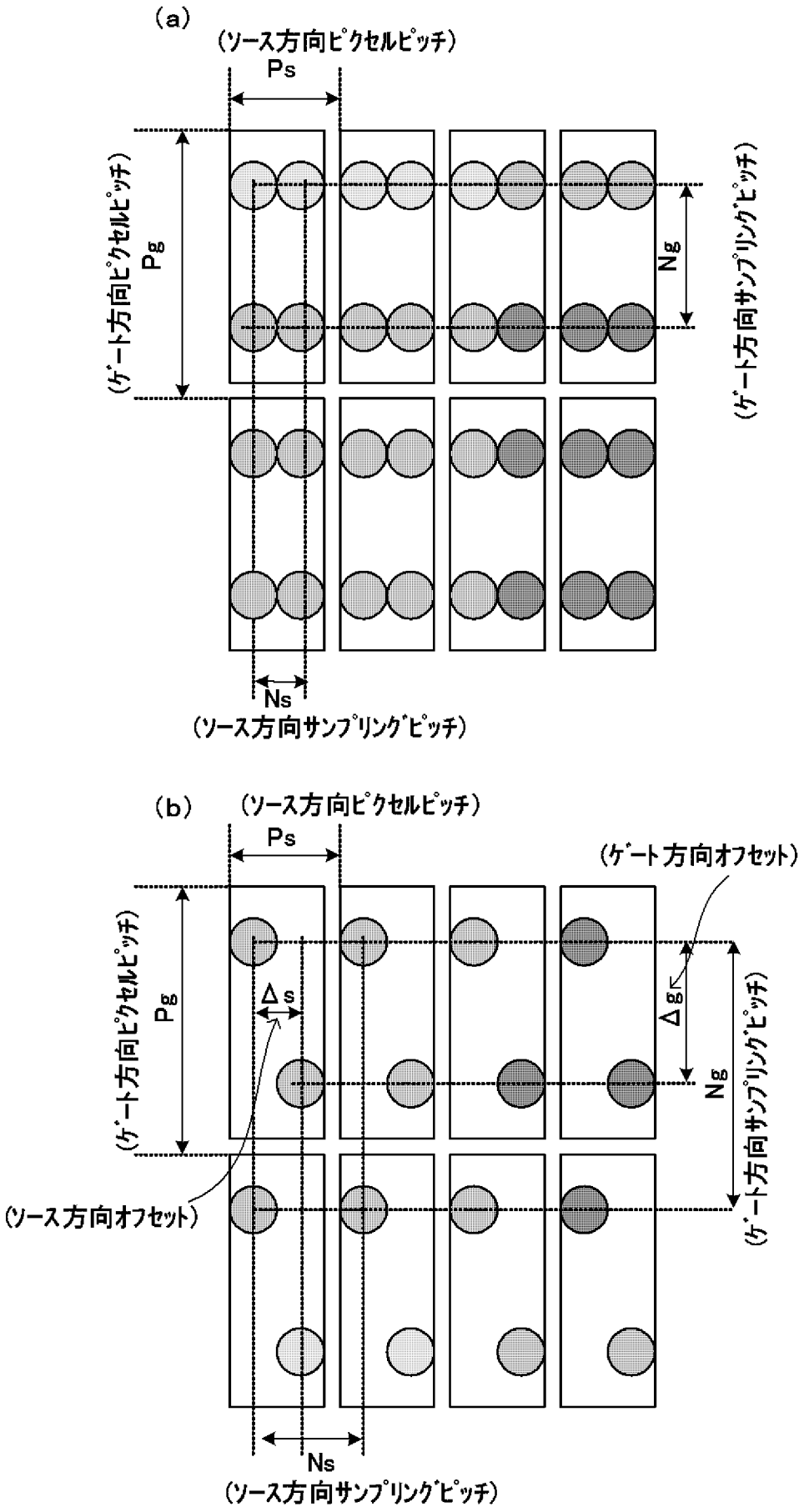
[図5]

図5



[図6]

図6


(a)
(ソース方向ピクセルピッチ)
Ps
(ゲート方向ピクセルピッチ)
Pg
Ng
(ゲート方向サンプリングピッチ)
Ns
(ソース方向サンプリングピッチ)
(b)
(ソース方向ピクセルピッチ)
Ps
(ゲート方向オフセット)
(ゲート方向ピクセルピッチ)
Pg
Δs
Δg
Ng
(ゲート方向サンプリングピッチ)
(ソース方向オフセット)
Ns
(ソース方向サンプリングピッチ)

[図7]

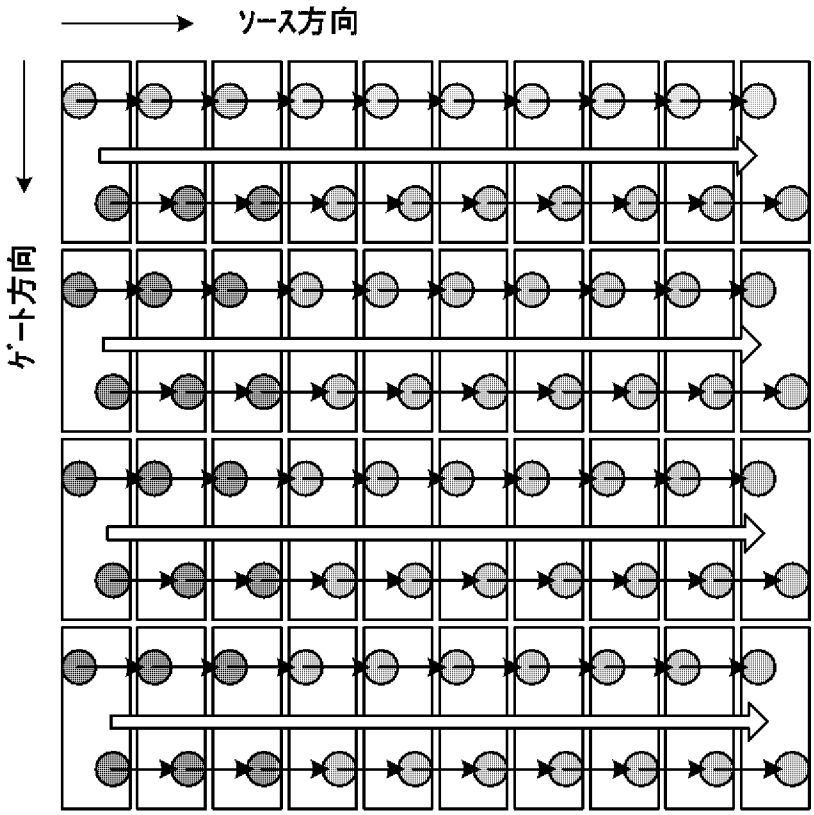
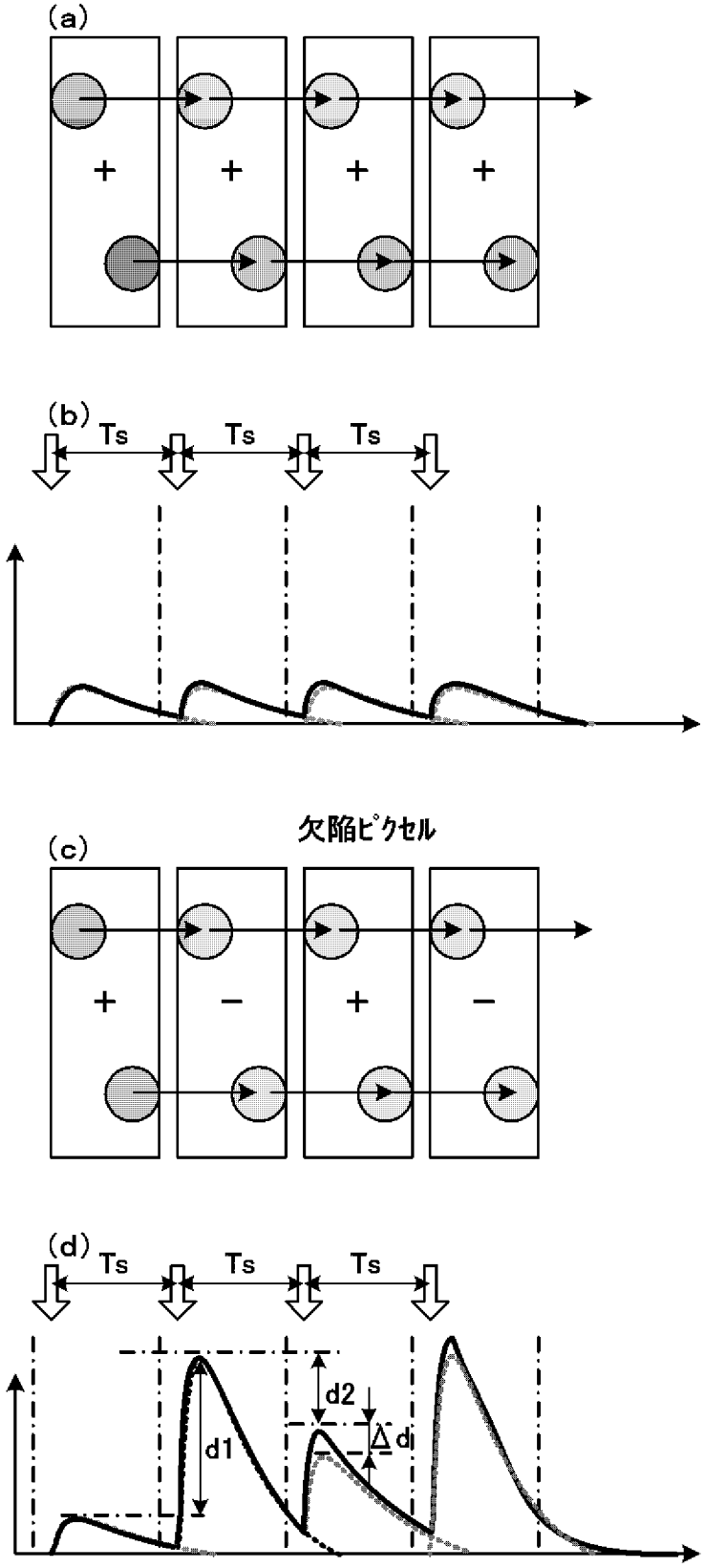



図7

[図8]

図8



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/059846

A. CLASSIFICATION OF SUBJECT MATTER
*G01R31/00*(2006.01)i, *G01N23/225*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R31/00-04, G01R31/26-3193, H01L21/64-66, G09G3/18, G09G3/20, G09G3/36, G02F1/13, G09F9/00, G01N23/225

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2008-089476 A (Shimadzu Corp.), 17 April 2008 (17.04.2008), entire text; all drawings (Family: none) | 1-9 |
| A | JP 2009-294204 A (NEC LCD Technologies, Ltd.), 17 December 2009 (17.12.2009), entire text; all drawings & US 2009/0281754 A1 & CN 101577079 A | 1-9 |
| A | JP 2007-334262 A (Shimadzu Corp.), 27 December 2007 (27.12.2007), entire text; all drawings (Family: none) | 1-9 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 02 August, 2010 (02.08.10) | 10 August, 2010 (10.08.10) |
| Name and mailing address of the ISA/ Japanese Patent Office<br>Facsimile No. | Authorized officer<br>Telephone No. |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／０５９８４６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G01R31/00(2006.01)i, G01N23/225(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01R31/00-04, G01R31/26-3193, H01L21/64-66, G09G3/18, G09G3/20, G09G3/36, G02F1/13, G09F9/00, G01N23/225

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１０年 |
| 日本国実用新案登録公報 | １９９６－２０１０年 |
| 日本国登録実用新案公報 | １９９４－２０１０年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2008-089476 A (株式会社島津製作所) 2008.04.17, 全文, 全図 (ファミリーなし) | 1-9 |
| A | JP 2009-294204 A (ＮＥＣ液晶テクノロジー株式会社) 2009.12.17, 全文, 全図 & US 2009/0281754 A1 & CN 101577079 A | 1-9 |
| A | JP 2007-334262 A (株式会社島津製作所) 2007.12.27, 全文, 全図 (ファミリーなし) | 1-9 |

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０２．０８．２０１０ | １０．０８．２０１０ |

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｓ　３００５
堀　圭史

電話番号　０３－３５８１－１１０１　内線　３２５８