



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월28일
 (11) 등록번호 10-0939221
 (24) 등록일자 2010년01월21일

(51) Int. Cl.
G02F 1/1339 (2006.01)
 (21) 출원번호 10-2006-0050603
 (22) 출원일자 2006년06월05일
 심사청구일자 2008년04월15일
 (65) 공개번호 10-2007-0116510
 (43) 공개일자 2007년12월10일
 (56) 선행기술조사문헌
 JP12098426 A
 KR1020050054335 A
 KR1020050046163 A
 JP07114030 A

(73) 특허권자
엘지디스플레이 주식회사
 서울 영등포구 여의도동 20번지
 (72) 발명자
박순영
 경남 하동군 진교면 송원리 817번지
김광태
 대구 수성구 신매동 태왕하이츠1차 103동 1505호
 (74) 대리인
특허법인로얄

전체 청구항 수 : 총 14 항

심사관 : 이윤직

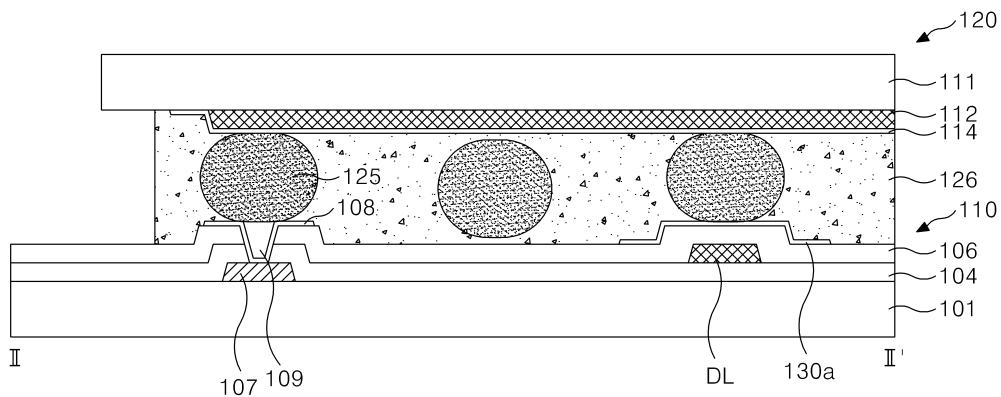
(54) 액정표시장치 및 그 제조 방법

(57) 요약

본 발명은 데이터 라인 및 게이트 라인과 공통 전극과의 쇼트를 방지함으로써 수율을 향상시킬 수 있는 액정표시장치 및 그 제조 방법에 관한 것이다.

본 발명의 액정표시장치는 하부 기판 위의 표시 영역에서 서로 교차하도록 형성된 게이트 라인 및 데이터 라인과; 상기 하부 기판 위의 상기 표시 영역의 외곽에 위치하는 비표시 영역에 형성된 공통 라인과; 상기 하부 기판과 액정을 사이에 두고 대면하는 상부 기판 위에 형성된 공통 전극과; 상기 공통 라인과 상기 공통 전극을 전기적으로 접속시키는 도전성 볼을 포함하고 상기 공통 라인과 중첩되는 영역의 상기 상부 기판과 상기 하부 기판 사이에 도포된 도전성 실런트와; 상기 도전성 실런트가 도포된 영역에 적어도 하나의 절연막을 사이에 두고 상기 데이터 라인 및 상기 게이트 라인과 중첩되는 영역에 형성된 정전기 유도 라인을 구비한다.

대표도 - 도5



특허청구의 범위

청구항 1

하부 기판 위의 표시 영역에서 서로 교차하도록 형성된 게이트 라인 및 데이터 라인과;
 상기 하부 기판 위의 상기 표시 영역의 외곽에 위치하는 비표시 영역에 형성된 공통 라인과;
 상기 하부 기판과 액정을 사이에 두고 대면하는 상부 기판 위에 형성된 공통 전극과;
 상기 공통 라인과 상기 공통 전극을 전기적으로 접속시키는 도전성 불을 포함하고 상기 공통 라인과 중첩되는 영역의 상기 상부 기판과 상기 하부 기판 사이에 도포된 도전성 실런트와;
 상기 도전성 실런트가 도포된 영역에 적어도 하나의 절연막을 사이에 두고 상기 데이터 라인 및 상기 게이트 라인과 중첩되는 영역에 형성된 정전기 유도 라인을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 하부 기판 위의 상기 비표시 영역에 형성되며 상기 데이터 라인에 데이터 신호를 공급하는 데이터 구동 회로와;
 상기 하부 기판 위의 상기 비표시 영역에 형성되며 상기 게이트 라인에 게이트 신호를 공급하는 게이트 구동 회로를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,
 상기 정전기 유도 라인은,
 상기 데이터 라인과 중첩되는 영역에 형성된 제1 정전기 유도 라인과;
 상기 게이트 라인과 중첩되는 영역에 형성된 제2 정전기 유도 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,
 상기 제1 정전기 유도 라인은 상기 데이터 구동 회로의 접지 단자에 접속되며, 상기 제2 정전기 유도 라인은 상기 게이트 구동 회로의 접지 단자에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,
 상기 공통 라인은,
 상기 게이트 라인과 동일 물질로 형성되는 공통 라인 하부 전극과;
 적어도 하나의 절연막을 관통하여 상기 공통 라인 하부 전극을 노출시키는 공통 접촉홀과;
 상기 공통 접촉홀을 통하여 상기 공통 라인 하부 전극과 접촉됨과 아울러 상기 도전 불을 통하여 상기 공통 전극과 접속되는 공통 라인 상부 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,
 상기 정전기 유도 라인은 상기 공통 라인 상부 전극과 동일 물질인 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 도전 볼은 금(Au)을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

공통 전극이 형성된 상부 기판을 마련하는 단계와;

상기 상부 기판과 대면하는 하부 기판 위의 표시 영역에 게이트 라인, 상기 표시 영역의 외곽에 위치하는 비표시 영역에 공통 라인 하부 전극을 형성하는 단계와;

상기 표시 영역에 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계와;

상기 비표시 영역에 상기 공통 라인 하부 전극과 접속되는 공통 라인 상부 전극, 상기 비표시 영역에서 적어도 하나의 절연막을 사이에 두고 상기 게이트 라인 및 데이터 라인과 중첩되는 정전기 유도 라인을 형성하는 단계와;

상기 비표시 영역의 상기 공통 라인 상부 전극과 상기 공통 전극을 전기적으로 접속시키는 도전성 볼을 포함하며 상기 공통 라인 상부 전극과 중첩되는 영역에 도전성 실런트를 도포하는 단계와;

상기 상부 기판과 상기 하부 기판을 합착하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 하부 기판 위에 상기 비표시 영역에 상기 데이터 라인에 데이터 신호를 공급하는 데이터 구동 회로를 형성하는 단계와;

상기 하부 기판 위에 상기 비표시 영역에 상기 게이트 라인에 게이트 신호를 공급하는 게이트 구동 회로를 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 정전기 유도 라인을 형성하는 단계는,

상기 데이터 라인과 중첩되는 영역에 제1 정전기 유도 라인을 형성하는 단계와;

상기 게이트 라인과 중첩되는 영역에 제2 정전기 유도 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제1 정전기 유도 라인은 상기 데이터 구동 회로의 접지 단자에 접속되며, 상기 제2 정전기 유도 라인은 상기 게이트 구동 회로의 접지 단자에 접속되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 12

제 8 항에 있어서,

적어도 하나의 절연막을 관통하여 상기 공통 라인 하부 전극을 노출시키는 공통 접촉홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 13

제 8 항에 있어서,

상기 정전기 유도 라인은 상기 공통 라인 상부 전극과 동일 물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 14

제 8 항에 있어서,

상기 도전 볼은 금(Au)으로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정표시장치 및 그 제조 방법에 관한 것으로 특히, 데이터 라인 및 게이트 라인과 공통 전극과의 쇼트를 방지함으로써 수율을 향상시킬 수 있는 액정표시장치 및 그 제조 방법에 관한 것이다.
- <16> 액정표시장치는 액정을 사이에 두고 서로 대면하는 박막 트랜지스터 어레이 기판과 컬러 필터 어레이 기판을 구비한다.
- <17> 도 1 및 도 2를 참조하면, 박막 트랜지스터 어레이 기판(10)은 하부 기판(1) 위에 서로 교차하는 게이트 라인(GL) 및 데이터 라인(DL)과, 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 형성된 박막 트랜지스터(T)와, 박막 트랜지스터(T)의 드레인 전극에 접속된 액정 셀(C)을 구비한다. 액정 셀(C)은 박막 트랜지스터 어레이 기판(10)에 형성되며 박막 트랜지스터(T)의 드레인 전극에 접속된 도시하지 않은 화소 전극과, 컬러 필터 어레이 기판(20)에 형성된 공통 전극(14), 및 화소 전극과 공통 전극(14) 사이에 배치된 액정으로 구성된다. 게이트 라인(GL)과 데이터 라인(DL)에는 구동 회로로부터 구동 신호가 공급된다. 구동 회로는 표시 영역의 각 게이트 라인(GL)으로부터 비표시 영역으로 연장된 게이트 라인(GL)의 끝단에 형성된 게이트 패드(GP) 및 표시 영역의 각 데이터 라인(DL)으로부터 비표시 영역으로 연장된 데이터 라인(DL)의 끝단에 형성된 데이터 패드(DP)와 접속되어 게이트 라인(GL) 및 데이터 라인(DL)에 구동 신호를 공급한다. 박막 트랜지스터(T)는 게이트 라인(GL)에 공급된 스캔 신호에 턴-온(Turn-On)되어 데이터 라인(DL)에 공급된 데이터 신호를 화소 전극에 공급한다.
- <18> 컬러 필터 어레이 기판(20)은 상부 기판(11) 위에 컬러 필터가 형성될 셀 영역을 구획 블랙 매트릭스(12)와, 블랙 매트릭스(12)에 의해 구획된 셀 영역에 형성되는 도시하지 않은 컬러 필터와, 블랙 매트릭스(12) 및 컬러 필터가 형성된 상부 기판(11) 위의 전면에 형성되며 하부 기판(1)에 형성된 화소 전극과 액정 구동을 위한 수직 전계를 형성하는 공통 전극(14)을 구비한다.
- <19> 그리고, 박막 트랜지스터 어레이 기판(10)은 표시 영역의 외곽에 위치하는 비표시 영역에 컬러 필터 어레이 기판(20)에 형성된 공통 전극(14)에 기준 전압을 공급하기 위한 공통 라인(CL)을 더 구비한다. 공통 라인(CL)은 박막 트랜지스터 어레이 기판(10)과 컬러 필터 어레이 기판(20)의 합착을 위한 도전성 실런트(26)가 도포된 영역에 형성되며 도전성 실런트(26)의 도전 볼(25)을 통하여 컬러 필터 어레이 기판(20)의 공통 전극(14)과 전기적으로 접속된다. 이 공통 라인(CL)은 하부 기판(1) 위에 게이트 라인(GL)과 함께 형성되는 공통 라인 하부 전극(7)과 게이트 절연막(4) 및 보호막(6)을 관통하여 공통 라인 하부 전극(7)을 노출시키는 공통 접촉홀(9) 및 공통 접촉홀(9)을 통하여 공통 라인 하부 전극(7)과 접촉되며 도전 볼(25)과 직접 접촉되는 공통 라인 상부 전극(8)을 포함한다. 도전 볼(25)은 금(Au)과 같은 도전성이 뛰어난 금속으로 형성된다.
- <20> 한편, 공통 라인(CL)과 공통 전극(14)을 전기적으로 접속시키는 도전 볼(25)은 도전성 실런트(26)의 도포시에 도전성 실런트(26)가 도포되는 전 영역에 걸쳐 불규칙하게 도포된다. 따라서, 도전 볼(25)은 도 2와 같이 데이터 라인(DL), 및 도시하지 않은 게이트 라인(GL, 도 1 참조)과 중첩되는 영역에도 형성된다. 이에 따라, 액정표시장치는 액정표시장치에 발생하는 정전기로 인하여 보호막(6)이 파괴되는 경우 특히, 도 3에 도시된 바와 같이 정전기로 인하여 도전 볼(25)과 데이터 라인(DL)이 중첩되는 영역의 보호막(6)이 파괴되는 경우 데이터 라인(DL)과 중첩되는 영역에 도포된 도전 볼(25)에 의하여 데이터 라인(DL)과 공통 전극(14)이 서로 쇼트됨으로써 불량으로 판별되는 등 그 수율이 저하되는 단점이 있다. 그리고, 정전기로 인하여 도전 볼(25)과 게이트 라인(GL)이 중첩되는 영역의 보호막(6) 및 게이트 절연막(4)이 파괴되는 경우 게이트 라인(GL)과 중첩되는 영역에 형성된 도전 볼(25)에 의하여 게이트 라인(GL)과 공통 전극(14)이 서로 쇼트됨으로써 불량으로 판별되는 등 그 수율이 저하되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

<21> 따라서, 본 발명의 목적은 데이터 라인 및 게이트 라인과 공통 전극과의 쇼트를 방지함으로써 수율을 향상시킬 수 있는 액정표시장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<22> 상기의 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시장치는 하부 기판 위의 표시 영역에서 서로 교차하도록 형성된 게이트 라인 및 데이터 라인과; 상기 하부 기판 위의 상기 표시 영역의 외곽에 위치하는 비표시 영역에 형성된 공통 라인과; 상기 하부 기판과 액정을 사이에 두고 대면하는 상부 기판 위에 형성된 공통 전극과; 상기 공통 라인과 상기 공통 전극을 전기적으로 접속시키는 도전성 볼을 포함하고 상기 공통 라인과 중첩되는 영역의 상기 상부 기판과 상기 하부 기판 사이에 도포된 도전성 실런트와; 상기 도전성 실런트가 도포된 영역에 적어도 하나의 절연막을 사이에 두고 상기 데이터 라인 및 상기 게이트 라인과 중첩되는 영역에 형성된 정전기 유도 라인을 구비한다.

<23> 상기 액정표시장치는 상기 하부 기판 위의 상기 비표시 영역에 형성되며 상기 데이터 라인에 데이터 신호를 공급하는 데이터 구동 회로와; 상기 하부 기판 위의 상기 비표시 영역에 형성되며 상기 게이트 라인에 게이트 신호를 공급하는 게이트 구동 회로를 더 구비한다.

<24> 상기 정전기 유도 라인은, 상기 데이터 라인과 중첩되는 영역에 형성된 제1 정전기 유도 라인과; 상기 게이트 라인과 중첩되는 영역에 형성된 제2 정전기 유도 라인을 포함한다.

<25> 상기 제1 정전기 유도 라인은 상기 데이터 구동 회로의 접지 단자에 접속되며, 상기 제2 정전기 유도 라인은 상기 게이트 구동 회로의 접지 단자에 접속된다.

<26> 상기 공통 라인은, 상기 게이트 라인과 동일 물질로 형성되는 공통 라인 하부 전극과; 적어도 하나의 절연막을 관통하여 상기 공통 라인 하부 전극을 노출시키는 공통 접촉홀과; 상기 공통 접촉홀을 통하여 상기 공통 라인 하부 전극과 접촉됨과 아울러 상기 도전 볼을 통하여 상기 공통 전극과 접속되는 공통 라인 상부 전극을 구비한다.

<27> 상기 정전기 유도 라인은 상기 공통 라인 상부 전극과 동일 물질이다.

<28> 상기 도전 볼은 금(Au)을 포함한다.

<29> 본 발명의 실시 예에 따른 액정표시장치의 제조 방법은 공통 전극이 형성된 상부 기판을 마련하는 단계와; 상기 상부 기판과 대면하는 하부 기판 위의 표시 영역에 게이트 라인, 상기 표시 영역의 외곽에 위치하는 비표시 영역에 공통 라인 하부 전극을 형성하는 단계와; 상기 표시 영역에 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계와; 상기 비표시 영역에 상기 공통 라인 하부 전극과 접속되는 공통 라인 상부 전극, 상기 비표시 영역에서 적어도 하나의 절연막을 사이에 두고 상기 게이트 라인 및 데이터 라인과 중첩되는 정전기 유도 라인을 형성하는 단계와; 상기 비표시 영역의 상기 공통 라인 상부 전극과 상기 공통 전극을 전기적으로 접속시키는 도전성 볼을 포함하며 상기 공통 라인 상부 전극과 중첩되는 영역에 도전성 실런트를 도포하는 단계와; 상기 상부 기판과 상기 하부 기판을 합착하는 단계를 포함한다.

<30> 상기의 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명이 바람직한 실시 예에 대한 설명으로 명백하게 드러나게 될 것이다.

<31> 이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 6d를 참조하여 상세히 설명하기로 한다.

<32> 도 4는 본 발명의 실시 예에 따른 액정표시장치를 나타내는 도면이며, 도 5는 도 4에 도시된 II-II' 선을 절취한 단면도이다.

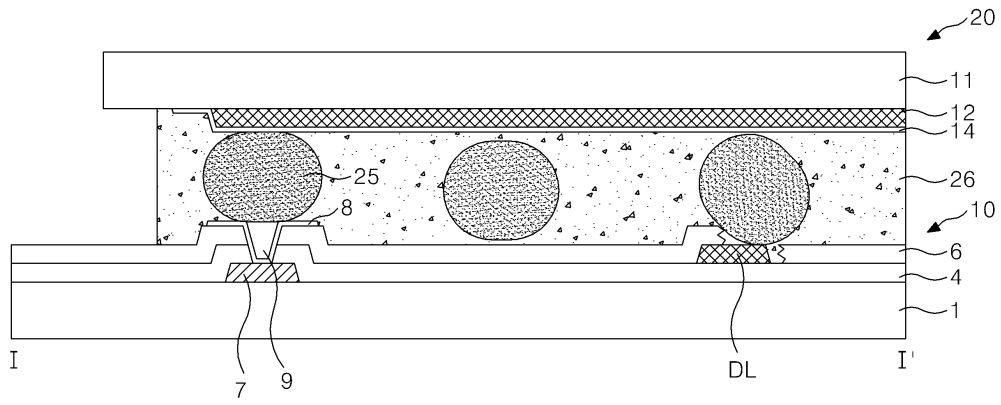
<33> 도 4 및 도 5를 참조하면, 본 발명의 실시 예에 따른 액정표시장치는 액정을 사이에 두고 서로 대면하는 박막 트랜지스터 어레이 기판(110)과 컬러 필터 어레이 기판(120)을 구비한다.

<34> 박막 트랜지스터 어레이 기판(110)은 하부 기판(101) 위의 표시 영역에 서로 교차하는 게이트 라인(GL) 및 데이터 라인(DL)과, 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 형성된 박막 트랜지스터(T)와, 박막 트랜지스터(T)의 드레인 전극에 접속된 액정 셀(C)을 구비한다. 액정 셀(C)은 박막 트랜지스터 어레이 기판(110)에 형성되며 박막 트랜지스터(T)의 드레인 전극에 접속된 도하지 않은 화소 전극과, 컬러 필터 어레이 기판(120)에 형성된 공통 전극(114), 및 화소 전극과 공통 전극(114) 사이에 배치된 액정으로 구성된다. 게이트 라인(GL)과

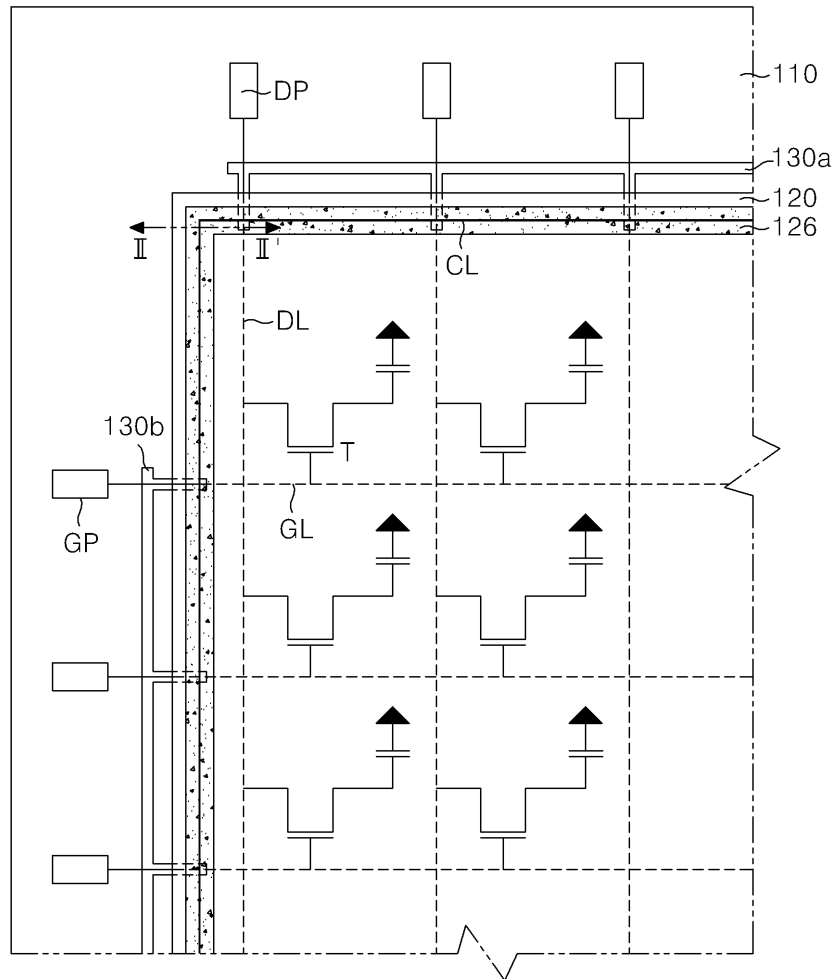
데이터 라인(DL)에는 구동 회로로부터 구동 신호가 공급된다. 구동 회로는 표시 영역의 각 게이트 라인(GL)으로부터 비표시 영역으로 연장된 게이트 라인(GL)의 끝단에 형성된 게이트 패드(GP) 및 표시 영역의 각 데이터 라인(DL)으로부터 비표시 영역으로 연장된 데이터 라인(DL)의 끝단에 형성된 데이터 패드(DP)와 접속되어 게이트 라인(GL) 및 데이터 라인(DL)에 구동 신호를 공급한다. 박막 트랜지스터(T)는 게이트 라인(GL)에 공급된 스캔 신호에 턴-온(Turn-On)되어 데이터 라인(DL)에 공급된 데이터 신호를 화소 전극에 공급한다.

- <35> 컬러 필터 어레이 기관(120)은 상부 기관(111) 위에 컬러 필터가 형성될 셀 영역을 구획하는 블랙 매트릭스(112)와, 블랙 매트릭스(112)에 의해 구획된 셀 영역에 형성되는 도시하지 않은 컬러 필터와, 블랙 매트릭스(112) 및 컬러 필터가 형성된 상부 기관(111) 위의 전면에 형성되며 하부 기관(101)에 형성된 화소 전극과 액정 구동을 위한 수직 전계를 형성하는 공통 전극(114)을 구비한다.
- <36> 그리고, 박막 트랜지스터 어레이 기관(110)은 박막 트랜지스터 어레이 기관(110)과 컬러 필터 어레이 기관(120)을 합착시키기 위하여 표시 영역의 외곽에 위치하는 비표시 영역에 도전성 실린트(126)가 도포된 영역에 형성된 공통 라인(CL)과, 도전성 실린트(126)가 도포된 영역에 데이터 라인(DL)과 중첩되도록 패터닝된 제1 정전기 유도 라인(130a), 및 도전성 실린트(126)가 도포된 영역에 게이트 라인(GL)과 중첩되도록 패터닝된 제2 정전기 유도 라인(130b)을 구비한다.
- <37> 공통 라인(CL)은 도전성 실린트(126)의 도전 볼(125)을 통하여 컬러 필터 어레이 기관(120)의 공통 전극(114)과 전기적으로 접속되어 공통 전극(114)으로 기준 전압을 공급한다. 이러한 공통 라인(CL)은 하부 기관(101) 위에 게이트 라인(GL)과 함께 형성되는 공통 라인 하부 전극(108)과, 게이트 절연막(104) 및 보호막(106)을 관통하여 공통 라인 하부 전극(108)을 노출시키는 공통 접촉홀(109), 및 공통 접촉홀(109)을 통하여 공통 라인 하부 전극(107)과 접촉되며 도전 볼(125)과 직접 접촉되는 공통 라인 상부 전극(108)을 포함한다. 도전 볼(125)은 금(Au)과 같은 도전성이 뛰어난 금속으로 형성된다.
- <38> 제1 정전기 방지 라인(130a)은 도전성 실린트(126)가 도포된 영역의 보호막(106) 위에 데이터 라인(DL)과 중첩되도록 패터닝되며 데이터 구동 회로의 접지(GND) 단자에 접속된다. 제2 정전기 방지 라인(130b)은 도전성 실린트(126)가 도포된 영역의 보호막(106) 위에 게이트 라인(GL)과 중첩되도록 패터닝되며 게이트 구동 회로의 접지(GND) 단자에 접속된다. 이 제1 및 제2 정전기 방지 라인(130a, 130b)은 공통 라인(CL)의 공통 라인 상부 전극(108)과 함께 형성된다.
- <39> 따라서, 본 발명의 실시 예에 따른 액정표시장치는 액정표시장치에 발생하는 정전기 특히, 데이터 라인(DL) 및 게이트 라인(GL)이 중첩되는 영역에 발생하는 정전기를 제1 및 제2 정전기 유도 라인(130a, 130b)을 통하여 데이터 구동 회로 및 게이트 구동 회로의 접지(GND) 단자로 배출함으로써 정전기에 의하여 도전 볼(125) 과 데이터 라인(DL)이 중첩되는 영역의 보호막(106), 또는 도전 볼(125)과 게이트 라인(GL)이 중첩되는 영역의 보호막(106) 및 게이트 절연막(104)이 파괴되는 것을 방지할 수 있다. 이에 따라, 본 발명에 따른 액정표시장치는 도전 볼(125)과 데이터 라인(DL) 및 게이트 라인(GL)이 서로 쇼트되는 것을 방지하여 액정표시장치의 수율을 향상시킬 수 있다.
- <40> 이하, 도 6a 내지 도 6d를 참조하여 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기관의 제조 방법을 상세히 설명하기로 한다.
- <41> 도 6a를 참조하면, 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기관의 제조 방법은 하부 기관(101) 위에 스퍼터링, PECVD 등의 증착 방법으로 게이트 금속층을 형성한 후 포토리소그래피 공정 및 식각 공정을 실시함으로써 게이트 라인(GL, 도 4 참조)과 공통 라인 하부 전극(7)을 형성한다. 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al), 알루미늄네오듐(AlNd) 등의 알루미늄계 금속 등이 이용된다.
- <42> 그런 다음, 게이트 라인(GL)과 공통 라인 하부 전극(7)이 형성된 하부 기관(101) 위에 게이트 절연막(104)을 전면 형성하고, PECVD, 스퍼터링 등의 증착 방법을 통해 소스/드레인 금속층을 형성한 후 포토리소그래피 공정 및 식각 공정을 실시함으로써 도 6b와 같이 데이터 라인(DL)을 형성한다. 소스/드레인 금속층으로는 몰리브덴(Mo), 구리(Gu) 등과 같은 금속이 이용된다.
- <43> 이어서, 데이터 라인(DL)이 형성된 하부 기관(101) 위에 보호막(106)을 전면 형성한 후 포토리소그래피 공정으로 보호막(106)과 게이트 절연막(104)을 패터닝함으로써 도 6c와 같이 공통 라인 하부 전극(107)을 노출시키는 공통 접촉홀(109)을 형성한다.
- <44> 그리고, 공통 접촉홀(109)이 형성된 하부 기관(101) 위에 PECVD, 스퍼터링 등의 증착 방법을 통해 투명 도전성 물질을 형성한 후 포토리소그래피 공정과 식각 공정을 실시함으로써 도 6d와 같이 공통 접촉홀(109)을 통하여

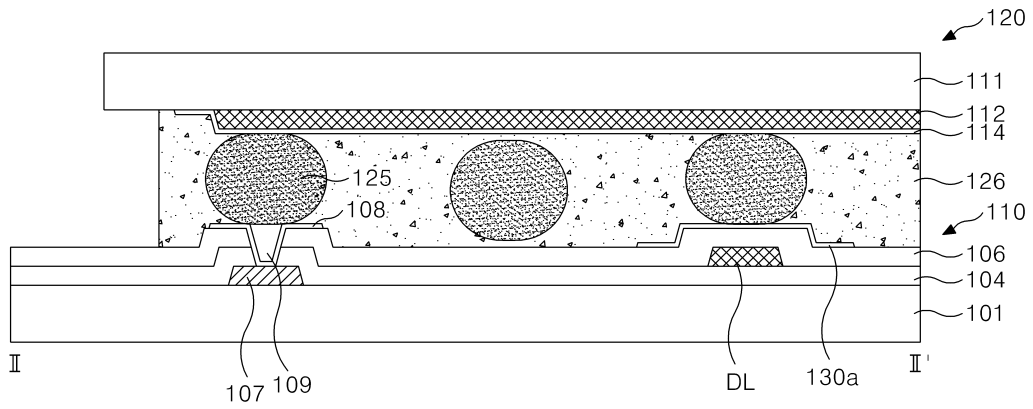
도면3



도면4



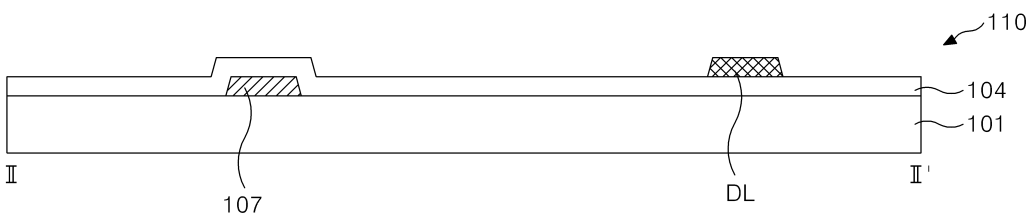
도면5



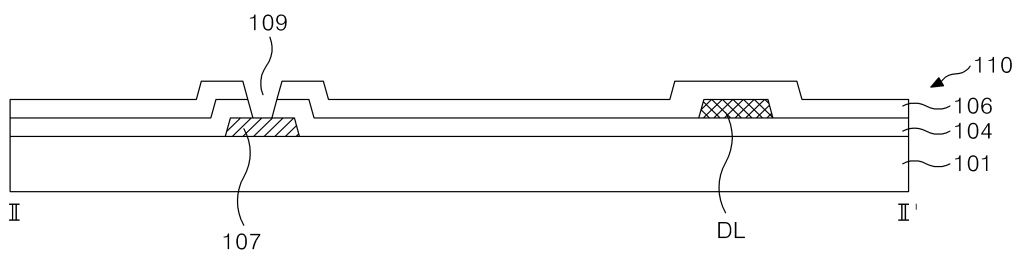
도면6a



도면6b



도면6c



도면6d

