



(19)中華民國智慧財產局

(12)新型說明書公告本

(11)證書號數：TW M625063 U

(45)公告日：中華民國 111 (2022) 年 04 月 01 日

(21)申請案號：110212244

(22)申請日：中華民國 110 (2021) 年 10 月 18 日

(51)Int. Cl. : **H01L23/28 (2006.01)**

(30)優先權：2021/06/10 中國大陸 202121298854.4

(71)申請人：大陸商昂寶電子（上海）有限公司(中國大陸) (CN)
中國大陸

(72)新型創作人：張學豪 (CN)；趙時峰 (CN)

(74)代理人：廖俊龍

申請專利範圍項數：15 項 圖式數：6 共 21 頁

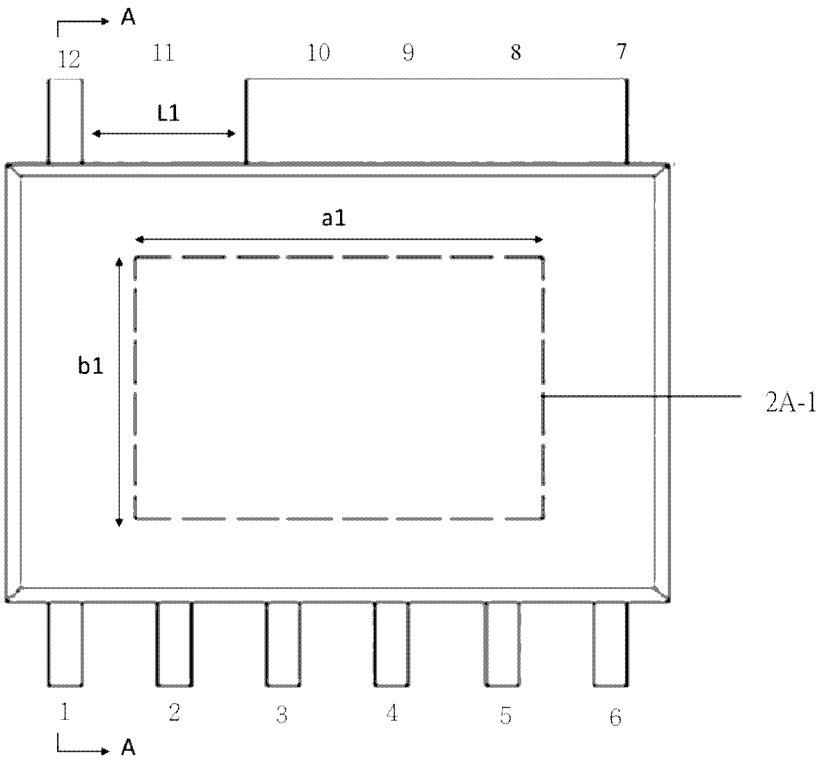
(54)名稱

積體電路晶片封裝裝置

(57)摘要

本創作提供了一種積體電路晶片封裝裝置。該積體電路晶片封裝裝置包括大功率積體電路晶片、引線框架、和封裝體。引線框架包括載片台和多個引腳；多個引腳中的至少兩個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成加寬引腳，與加寬引腳同側相鄰的至少一個引腳被空置，並且加寬引腳與載片台相連接，形成大功率積體電路晶片與外界環境的散熱通道；並且載片台具有相對於多個引腳所在平面打凹下沉的平面，用於承載大功率積體電路晶片，並且載片台的下沉部的至少一部分暴露於封裝體的外部。根據本創作實施例的積體電路晶片封裝裝置與同類結構相比，具有更好的散熱性能、同時製造成本較低。

指定代表圖：



符號簡單說明：

1,2,3,4,5,6,7,8,9,10,11,12: 引腳

L1: 引腳 11 到引腳 12 的距離

a1: 背面暴露的載片台的長度

b1: 背面暴露的載片台的寬度

2A-1

A: 圖 1B 截面圖的 A-A 截面線在圖 1A 平面圖位置示意

圖1A



M625063

公告本**新型摘要**

※ 申請案號：

※ 申請日：

※IPC 分類：

【新型名稱】（中文/英文）

積體電路晶片封裝裝置

【中文】

本創作提供了一種積體電路晶片封裝裝置。該積體電路晶片封裝裝置包括大功率積體電路晶片、引線框架、和封裝體。引線框架包括載片台和多個引腳；多個引腳中的至少兩個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成加寬引腳，與加寬引腳同側相鄰的至少一個引腳被空置，並且加寬引腳與載片台相連接，形成大功率積體電路晶片與外界環境的散熱通道；並且載片台具有相對於多個引腳所在平面打凹下沉的平面，用於承載大功率積體電路晶片，並且載片台的下沉部的至少一部分暴露於封裝體的外部。根據本創作實施例的積體電路晶片封裝裝置與同類結構相比，具有更好的散熱性能、同時製造成本較低。

【英文】

【代表圖】

【本案指定代表圖】：圖 1A。

【本代表圖之符號簡單說明】：

1,2,3,4,5,6,7,8,9,10,11,12:引腳

L1:引腳 11 到引腳 12 的距離

a1: 背面暴露的載片台的長度

b1: 背面暴露的載片台的寬度

A: 圖 1B 截面圖的 A-A 截面線在圖 1A 平面圖位置示意

新型專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

積體電路晶片封裝裝置

【技術領域】

本創作涉及半導體領域，更具體地涉及一種積體電路晶片封裝裝置。

【先前技術】

【0001】積體電路晶片的製造過程主要包括以下幾個階段：積體電路晶片的設計階段、積體電路晶片的製作階段、積體電路晶片的封裝階段、以及積體電路晶片的測試階段。當積體電路晶片製作完成後，積體電路晶片上通常有多個焊墊。在積體電路晶片的封裝階段，通常會把積體電路晶片上的這些焊墊與對應的引線框架互相電連接。積體電路晶片通常是通過粘接膠（導電類或絕緣類）或焊錫膏、焊線、或者以植球結合的方式連接到引線框架上，使得積體電路晶片的這些焊墊與引線框架的接點電連接，從而實現積體電路晶片的封裝結構內部的電氣連接。

【0002】隨著功率類積體電路晶片越來越多地被使用，如何實現大功率積體電路晶片的高散熱性能的封裝成為半導體行業普遍關心的問題。

【新型內容】

【0003】本創作提供了一種新穎的積體電路晶片封裝裝置以及應用於該封裝裝置中的引線框架。

【0004】根據本創作的實施例，提供了一種積體電路晶片封裝裝置，包括大功率積體電路晶片、引線框架、以及封裝體。其中，引線框架包括載片台和多個引腳；多個引腳中的至少兩個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成加寬引腳，與加寬引腳同側相鄰的至少一個引腳被空置，並且加寬引腳與載片台相連接，形成大功率積體電路晶片與外界環境的散熱通道；並且載片台具有相對於多個引腳所在平面打凹下沉的平面，用於承載大功率積體電路晶片，並且載片台的下沉部的至少一部

分暴露於封裝體的外部。

【0005】 在一個實施例中，多個引腳包括至少十二個引腳，並且至少十二個引腳中的一組至少六個引腳和另一組至少六個引腳被分別設置在載片台的兩側。

【0006】 在一個實施例中，多個引腳中的部分相鄰引腳、或者全部相鄰引腳之間的間距大於 0.85mm。

【0007】 在一個實施例中，加寬引腳跨被空置的至少一個引腳到同側相鄰的未被空置的引腳的距離大於 1mm。

【0008】 在一個實施例中，多個引腳中的四個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成加寬引腳。

【0009】 在一個實施例中，載片台的下沉部暴露在封裝體的表面的面積占封裝體的同側表面積的 30%以上。

【0010】 在一個實施例中，積體電路晶片封裝裝置被配置為貼片式結構或雙列直插式結構。

【0011】 在一個實施例中，大功率積體電路晶片為電源管理類晶片。

【0012】 根據本創作的實施例，還提供了一種引線框架，包括載片台和多個引腳。其中，載片台具有相對於多個引腳所在平面打凹下沉的平面，用於承載大功率積體電路晶片；並且多個引腳中的至少兩個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成加寬引腳，與加寬引腳同側相鄰的至少一個引腳被空置，並且加寬引腳與載片台相連接，形成大功率積體電路晶片與外界環境的散熱通道。

【0013】 根據本創作實施例的積體電路晶片封裝裝置與同類結構相比，具有更好的散熱性能、同時製造成本較低，因此可以用於大功率積體電路晶片的設計封裝、規模化製造和應用。

【圖式簡單說明】

【0014】

從下面結合圖示對本創作的具體實施方式的描述中可以更好地理解

本創作，其中：

圖 1A 示出了根據本創作實施例的示例性積體電路晶片封裝裝置的俯視圖；

圖 1B 示出了圖 1A 所示的積體電路晶片封裝裝置沿 A-A 的截面圖；

圖 2A 示出了根據本創作實施例的示例性積體電路晶片封裝裝置中的引線框架的俯視圖；

圖 2B 示出了圖 2A 所示的引線框架沿 B-B 的截面圖；

圖 3A 示出了根據本創作的另一實施例的示例性積體電路晶片封裝裝置的俯視圖；

圖 3B 示出了圖 3A 所示的積體電路晶片封裝裝置沿 C-C 的截面圖；

圖 4 示出了根據本創作實施例的示例性積體電路晶片封裝裝置的內部封裝結構的俯視圖；

圖 5 示出了根據本創作實施例的一種示例性電源管理類晶片封裝裝置的引腳示意圖。

圖 6 示出了應用如圖 5 所示的示例性電源管理類晶片封裝裝置的返馳功率變換器的示意性電路連接圖。

【實施方式】

【0015】 下面將詳細描述本創作的各個方面的特徵和示例性實施例。在下面的詳細描述中，提出了許多具體細節，以便提供對本創作的全面理解。但是，對於本領域技術人員來說很明顯的是，本創作可以在不需要這些具體細節中的一些細節的情況下實施。下面對實施例的描述僅僅是為了通過示出本創作的示例來提供對本創作的更好的理解。本創作決不限於下面所提出的任何具體配置和演算法，而是在不脫離本創作的精神的前提下覆蓋了元素、部件和演算法的任何修改、替換和改進。在圖示和下面的描述中，沒有示出公知的結構和技術，以便避免對本創作造成不必要的模糊。

【0016】 隨著功率類積體電路晶片越來越多地被使用，如何實現大功率積體電路晶片的高散熱性能的封裝成為半導體行業普遍關心的問題。鑒

於該問題，本創作提供了一種新穎的積體電路晶片封裝裝置。

【0017】下面結合圖示，詳細描述根據本創作實施例的積體電路晶片封裝裝置以及應用於該封裝裝置中的引線框架。

【0018】圖 1A 示出了根據本創作實施例的示例性積體電路晶片封裝裝置的俯視圖。圖 1B 示出了圖 1A 所示的積體電路晶片封裝裝置沿 A-A 的截面圖。該積體電路晶片封裝裝置可以應用如圖 2A 和 2B 所示的引線框架。該積體電路晶片封裝裝置例如為貼片式結構，可以包括大功率積體電路晶片、引線框架和封裝體，其中引線框架包括引腳 1、引腳 2、...、引腳 10、引腳 11、引腳 12 共 12 個引腳、以及用於承載大功率積體電路晶片的載片台 2A-1。如圖 1A 所示，引腳 1 至引腳 12 中的六個引腳（引腳 1 至引腳 6）和另一組六個引腳（引腳 7 至引腳 12）被分別設置在載片台 2A-1 的兩側，位於載片台的一側的引腳 7、引腳 8、引腳 9、引腳 10 及相互的引腳間距空間連接在一起以形成一個整體的加寬引腳，並且與該加寬引腳同側相鄰的引腳 11 被空置，從而該加寬引腳實際上與未被空置的引腳 12 同側相鄰。由於引腳 11 被空置，加寬引腳跨被空置的引腳 11 到同側相鄰的未被空置的引腳 12 的距離 L1 較大。

【0019】這裡需要注意的是，圖 1A 只是示出了根據本創作實施例的一種示例性積體電路晶片封裝裝置，根據本創作的積體電路晶片封裝裝置並不限於圖 1A 所示的引腳結構。例如，根據本創作的積體電路晶片封裝裝置中的引線框架可以包括更少或更多的引腳，加寬引腳可以連接兩個、三個或更多個同側相鄰引腳及其引腳間距空間，並且與加寬引腳同側相鄰的被空置的引腳也可以不止一個。

【0020】結合圖 1A 和 1B 可以看出，載片台具有相對於引腳 1 至引腳 12 所在平面打凹下沉的平面(圖 1A 虛線所示)。該打凹下沉的平面在封裝體以內，並且用於承載所述大功率積體電路晶片，而載片台的下沉部的至少一部分（例如，與載片台的打凹下沉的平面相對的面）可以被暴露在積體電路晶片封裝裝置的封裝體的外部以形成大功率積體電路晶片與外界環境

的散熱通道。此外，引腳 7、引腳 8、引腳 9、引腳 10 連接在一起形成的加寬引腳可以與載片台 2A-1 相連接，進一步擴展大功率積體電路晶片與外界環境的散熱通道。該表面貼裝結構既能適用於印刷電路板（Printed Circuit Board Assembly，PCBA）組裝類工廠的傳統回流焊工藝，又能適用於被傳統用於外掛程式結構的波峰焊工藝，可在大中小各類組裝加工工廠應用組裝貼片，大大降低組裝成本。

【0021】 下面結合圖 2A 和圖 2B 更詳細地描述應用於根據本創作實施例的積體電路晶片封裝裝置中的引線框架的結構。如圖 2A 所示，引線框架 2A 包括引腳 1、引腳 2、…、引腳 10、引腳 11、引腳 12 共 12 個引腳、以及載片台 2A-1；載片台 2A-1 與引腳 7、引腳 8、引腳 9、引腳 10 連接在一起；引腳 7、引腳 8、引腳 9、引腳 10 本身也連接在一起並被加寬形成一個整體的加寬引腳；與該加寬引腳同側相鄰的引腳 11 被空置。

【0022】 圖 2B 示出了圖 2A 所示的引線框架沿 B-B 的截面圖。結合圖 2A 和 2B 可以看出，載片台 2A-1 具有相對於引腳 1 至引腳 12 所在平面打凹下沉的平面，並且與引腳 7、引腳 8、引腳 9、引腳 10 連接在一起，而沒有與其他引腳連接在一起。

【0023】 當引線框架 2A 被應用到積體電路晶片封裝裝置中時，由於載片台 2A-1 與引腳 7、引腳 8、引腳 9、引腳 10 連接在一起，所以承載在載片台 2A-1 上的大功率積體電路晶片與外界環境的散熱通道包括四個引腳。進一步地，由於引腳 7、引腳 8、引腳 9、引腳 10 本身連接在一起並被加寬，所以進一步擴大了承載在載片台 2A-1 上的大功率積體電路晶片與外界環境的散熱通道。

【0024】 此外，在引線框架 2A 被應用到積體電路晶片封裝裝置中時，可以通過把載片台 2A-1 的下沉部的至少一部分暴露在積體電路晶片封裝裝置的外部，來進一步擴大承載在載片台 2A-1 上的大功率積體電路晶片與外部環境的散熱通道。為了使載片台 2A-1 的下沉部暴露在積體電路晶片封裝裝置的外部，可以將積體電路晶片封裝裝置的厚度減小。

【0025】 在一些實施例中，引線框架 2A 的部分相鄰引腳或者全部相鄰引腳之間間距可以被調整為更大的間距。例如，可以將該間距設計為大於 0.85mm（例如在 0.85-3.6mm 的範圍內），以預防某些應用條件尤其是潮濕環境下相鄰引腳（特別是高壓與低壓引腳）間的打火問題，從而保證應用引線框架 2A 的積體電路晶片封裝裝置的可靠性和安全性。另外，可以將與加寬引腳同側相鄰的至少一個引腳空置，以使得加寬引腳與實際同側相鄰的未被空置的引腳的距離變大，進一步提高積體電路晶片封裝裝置的可靠性和安全性。例如，加寬引腳跨被空置的至少一個引腳到實際同側相鄰的未被空置的引腳的距離可以被設計為大於 1mm。

【0026】 此外，在一些實施例中，可以將載片台 2A-1 的尺寸做得更大，例如，其面積占積體電路晶片封裝裝置的封裝體的總面積的 10%-90%，從而承載更大尺寸的大功率積體電路晶片，同時可以有更大的暴露在積體電路晶片封裝裝置外部的散熱面積。例如，載片台 2A-1 的下沉部暴露在封裝體的表面的面積可以占封裝體的同側表面積的 30% 以上。

【0027】 圖 3A 示出了根據本創作另一實施例的積體電路晶片封裝裝置的俯視圖。圖 3B 示出了圖 3A 所示的積體電路晶片封裝裝置沿 C-C 的截面圖。圖 3A 和 3B 所示的積體電路晶片封裝裝置為雙列直插式結構，此結構可方便應用於單面 PCBA 設計的外掛程式組裝，對組裝工廠的設計和工藝要求及限制較小，生產和製造過程簡單。其他方面與結合圖 1A 和 1B 描述的積體電路晶片封裝裝置類似，這裡不再贅述。

【0028】 圖 4 示出了根據本創作實施例的積體電路晶片封裝裝置的內部封裝結構的俯視圖。如圖 4 所示，載片台 4-3 被實現為具有更大的尺寸（可根據實際需求放大），以承載更大的大功率積體電路晶片 4-1，該大功率積體電路晶片 4-1 上可以粘貼尺寸較小的控制類積體電路晶片 4-2；載片台 4-3 與引腳 7、引腳 8、引腳 9、引腳 10 連接在一起，使得大功率積體電路晶片 4-1 與外界環境的散熱通道包括四個引腳；引腳 7、引腳 8、引腳 9、引腳 10 本身連接在一起，進一步擴大了大功率積體電路晶片 4-1 與外

界環境的散熱通道。

【0029】如上所述，根據本創作實施例的積體電路晶片封裝裝置適用於功率較大的功率類積體電路晶片的封裝。例如，大功率積體電路晶片可以是電源管理類晶片。圖 5 示出了根據本創作實施例的一種示例性電源管理類晶片封裝裝置的引腳示意圖。

【0030】如圖 5 所示，該電源管理類晶片封裝裝置具有 12 個引腳，其中引腳 1、引腳 2、引腳 3、引腳 4、引腳 5、引腳 6 和引腳 12 為六個獨立引腳，而引腳 7、引腳 8、引腳 9 和引腳 10 連接在一起形成一個整體的加寬引腳，與該加寬引腳相鄰的引腳 11 被空置。

【0031】圖 6 示出了應用如圖 5 所示的示例性電源管理類晶片封裝裝置的返馳功率變換器的示意性電路連接圖。如圖 5 和圖 6 所示，引腳 1 被設置為 VDD(Virtual Device Driver)引腳，即原邊供電引腳；引腳 2 被設置為 SW 引腳，即過溫檢測和保護引腳；引腳 3 被設置為 AUX(Auxiliary)引腳，即輔助電源引腳；引腳 4 被設置為 FB(Voltage Feedback)引腳，即環路補償引腳；引腳 5 被設置為 GND(Ground)引腳，即晶片接地引腳；引腳 6 被設置為 CS(Current Sensor)引腳，即功率電力 MOS 場效電晶體電流檢測引腳；引腳 12 被設置為 HV(High Voltage)引腳，即高壓啟動引腳；引腳 7、引腳 8、引腳 9 和引腳 10 形成的整體的加寬引腳被設置為 DRAIN 引腳，即連接電源管理類晶片中的功率電力 MOS 場效電晶體汲極的引腳；引腳 11 空缺，以增加高壓 DRAIN 引腳和相鄰其他引腳的高壓隔離間距。

【0032】以上以大功率電源管理類晶片為示例對根據本創作實施例的積體電路晶片封裝裝置和引線框架的引腳設置進行了描述。但是應理解，根據本創作實施例的積體電路晶片封裝裝置和引線框架可以用於各種大功率積體電路晶片的封裝。

【0033】此外，雖然以上是以十二個引腳的封裝結構為示例來描述根據本創作實施例的積體電路晶片封裝裝置的引腳設置，但是應理解，根據本創作實施例的積體電路晶片封裝裝置不限於僅包括十二個引腳，而是可

以包括更少或更多的引腳。

【0034】 此外，相關領域的技術人員在應用根據本創作實施例的引線框架時，可以在本文中所示出或描述的引線框架的基礎上增加任意大小和形狀的孔、角落部位的倒角設計、和框架表面鍍層設置等。

【0035】 此外，所描述的特徵、結構或特性可以以任何合適的方式結合在一個或更多實施例中。在以上的描述中，提供了許多具體細節從而給出對本創作的實施例的充分理解。然而，本領域技術人員將意識到，可以實踐本創作的技術方案而沒有所述特定細節中的一個或更多，或者可以採用其它的方法、組元、材料等。在其它情況下，不詳細示出或描述公知結構、材料或者操作以避免模糊本創作的主要技術創意。

【0036】 本領域技術人員應能理解，上述實施例均是示例性而非限制性的。在不同實施例中出現的不同技術特徵可以進行組合，以取得有益效果。本領域技術人員在研究圖示、說明書及專利請求範圍的基礎上，應能理解並實現所揭示的實施例的其他變化的實施例。某些技術特徵出現在不同的從屬請求項中並不意味著不能將這些技術特徵進行組合以取得有益效果。

【符號說明】

【0037】

1,2,3,4,5,6,7,8,9,10,11,12:引腳

2A: 引線框架

2A-1: 載片台

4-1: 大功率積體電路晶片

4-2: 控制類積體電路晶片

4-3: 載片台

a1: 背面暴露的載片台的長度

b1: 背面暴露的載片台的寬度

A: 圖 1B 截面圖的 A-A 截面線在圖 1A 平面圖位置示意

AUX: 輔助電源引腳

B: 圖 2B 截面圖的 B-B 截面線在圖 2A 平面圖位置示意

C: 圖 3B 截面圖的 C-C 截面線在圖 3A 平面圖位置示意

CS: 功率電力 MOS 場效電晶體電流檢測

DRAIN: 汲極引腳

FB: 環路補償引腳

GND: 晶片接地引腳

HV: 高壓啟動引腳

L1: 引腳 11 到引腳 12 的距離

SW: 過溫檢測和保護引腳

VDD: 原邊供電引腳

申請專利範圍

【請求項1】一種積體電路晶片封裝裝置，包括大功率積體電路晶片、引線框架、以及封裝體，其中：

所述引線框架包括載片台和多個引腳；

所述多個引腳中的至少兩個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成加寬引腳，與所述加寬引腳同側相鄰的至少一個引腳被空置，並且所述加寬引腳與所述載片台相連接，形成所述大功率積體電路晶片與外界環境的散熱通道；並且

所述載片台具有相對於所述多個引腳所在平面打凹下沉的平面，用於承載所述大功率積體電路晶片，並且所述載片台的下沉部的至少一部分暴露於所述封裝體的外部。

【請求項2】如請求項1所述的積體電路晶片封裝裝置，其中，所述多個引腳包括至少十二個引腳，並且所述至少十二個引腳中的一組至少六個引腳和另一組至少六個引腳被分別設置在所述載片台的兩側。

【請求項3】如請求項1所述的積體電路晶片封裝裝置，其中，所述多個引腳中的部分相鄰引腳、或者全部相鄰引腳之間的間距大於 0.85mm。

【請求項4】如請求項1所述的積體電路晶片封裝裝置，其中，所述加寬引腳跨所述被空置的至少一個引腳到同側相鄰的未被空置的引腳的距離大於 1mm。

【請求項5】如請求項1至4中的任一項所述的積體電路晶片封裝裝置，其中，所述多個引腳中的四個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成所述加寬引腳。

【請求項6】如請求項1所述的積體電路晶片封裝裝置，其中，所述載片台的下沉部暴露在所述封裝體的表面的面積占所述封裝體的同側表面積的 30%以上。

【請求項7】如請求項1所述的積體電路晶片封裝裝置，其中，所述積

體電路晶片封裝裝置被配置為貼片式結構。

【請求項8】如請求項 1 所述的積體電路晶片封裝裝置，其中，所述積體電路晶片封裝裝置被配置為雙列直插式結構。

【請求項9】如請求項 1 所述的積體電路晶片封裝裝置，其中，所述大功率積體電路晶片為電源管理類晶片。

【請求項10】一種積體電路晶片封裝裝置，至少包括一引線框架，所述引線框架包括載片台和多個引腳，其中：

所述載片台具有相對於所述多個引腳所在平面打凹下沉的平面，用於承載大功率積體電路晶片；並且

所述多個引腳中的至少兩個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成加寬引腳，與所述加寬引腳同側相鄰的至少一個引腳被空置，並且所述加寬引腳與所述載片台相連接，形成所述大功率積體電路晶片與外界環境的散熱通道。

【請求項11】如請求項 10 所述的積體電路晶片封裝裝置，其中，所述多個引腳包括至少十二個引腳，並且所述至少十二個引腳中的一組至少六個引腳和另一組至少六個引腳被分別設置在所述載片台的兩側。

【請求項12】如請求項 10 所述的積體電路晶片封裝裝置，其中，所述多個引腳中的部分相鄰引腳、或者全部相鄰引腳之間的間距大於 0.85mm。

【請求項13】如請求項 10 所述的積體電路晶片封裝裝置，其中，所述加寬引腳跨所述被空置的至少一個引腳到同側相鄰的未被空置的引腳的距離大於 1mm。

【請求項14】如請求項 10 至 13 中的任一項所述的積體電路晶片封裝裝置，其中，所述引線框架的多個引腳中的四個同側相鄰引腳及引腳間距空間被連接在一起並被加寬以形成所述加寬引腳。

【請求項15】如請求項 10 所述的積體電路晶片封裝裝置，其中，所述大功率積體電路晶片為電源管理類晶片。

圖 式

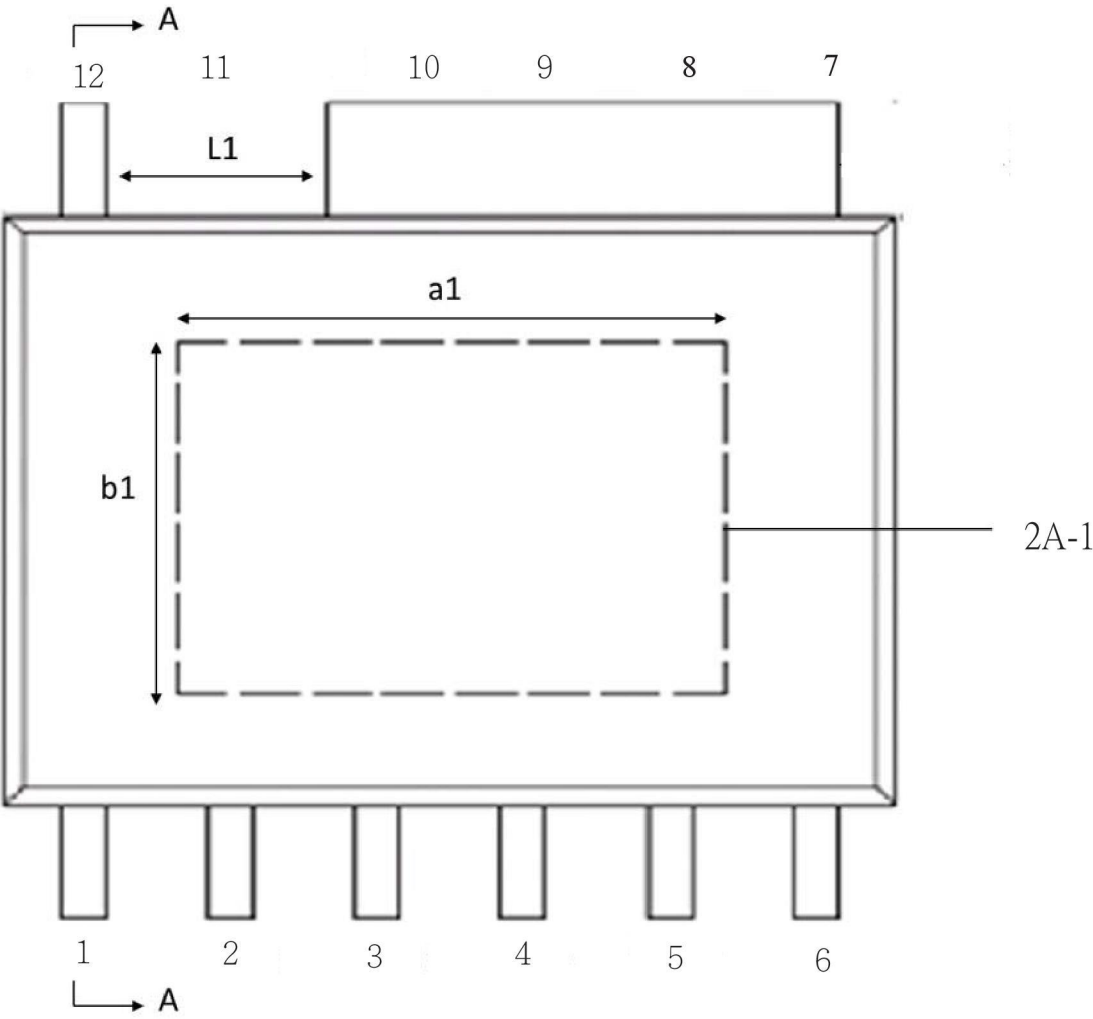
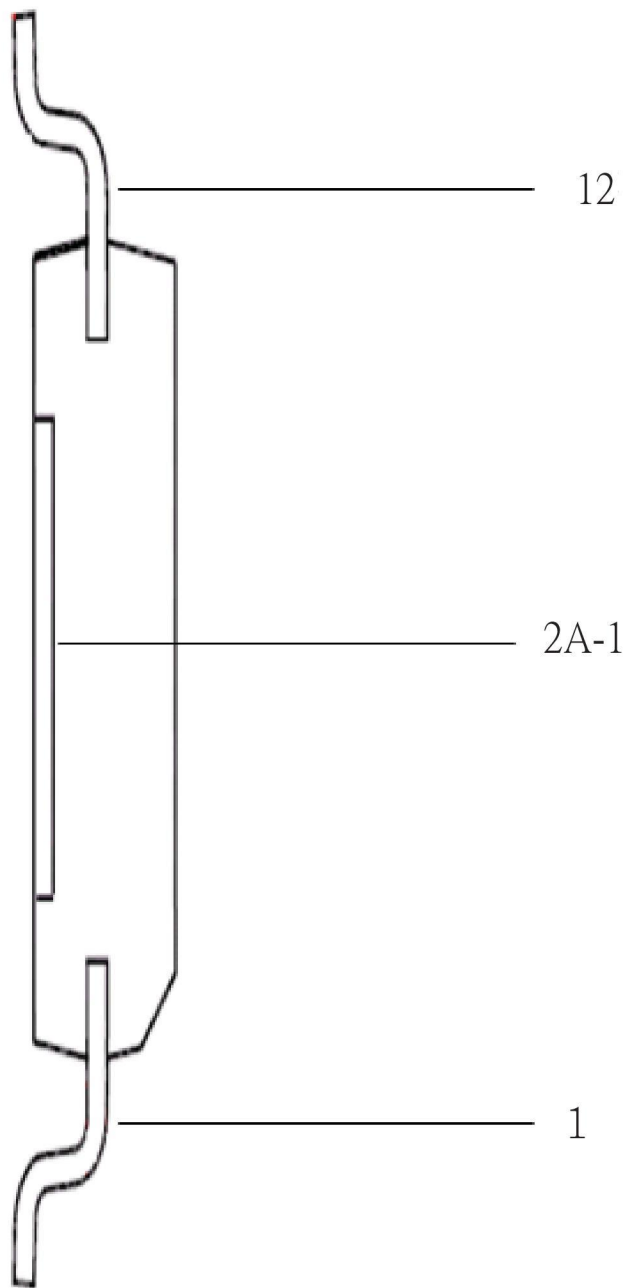
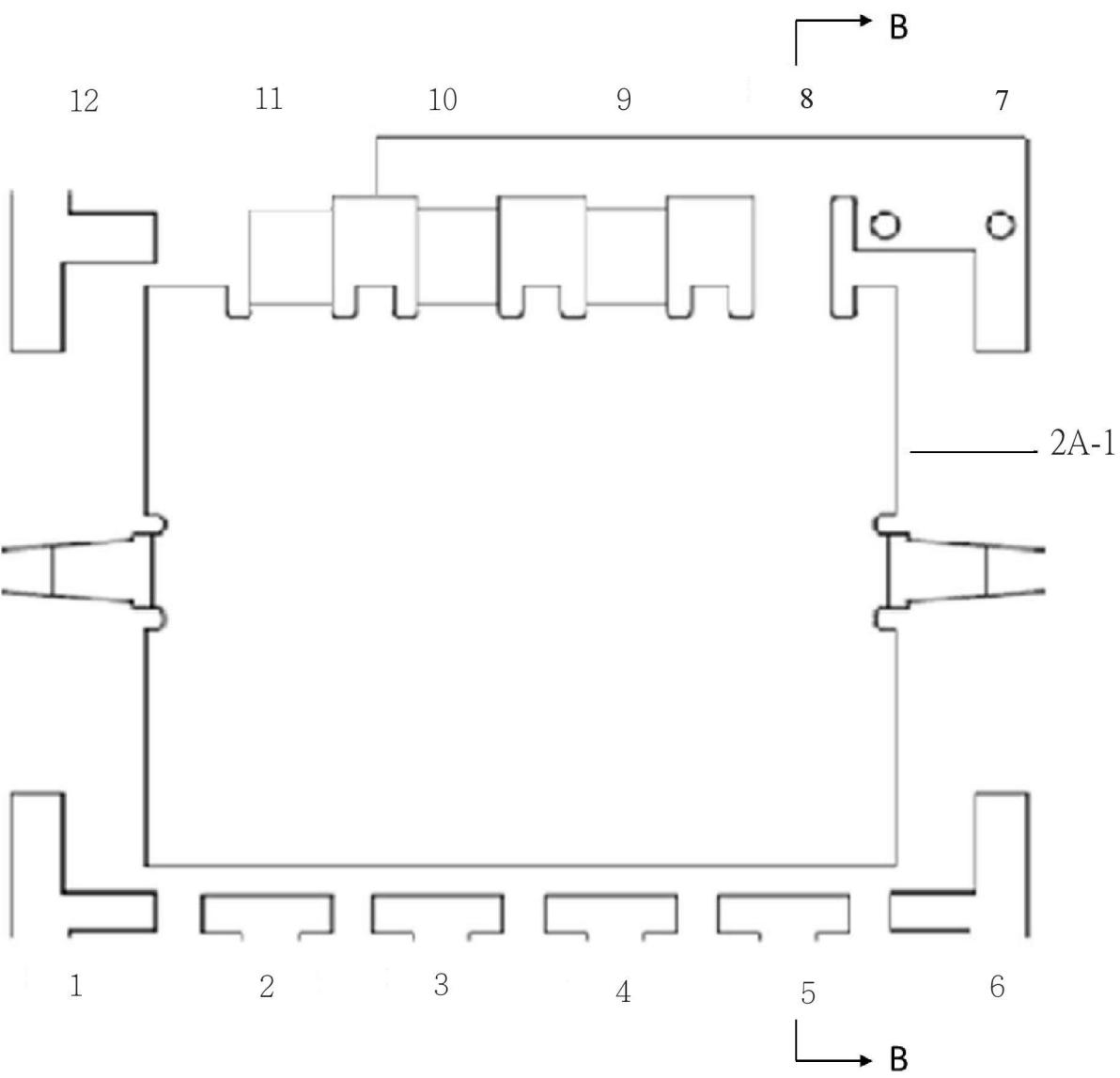


圖1A



A-A處的截面圖

圖1B



↑ 2A

圖2A

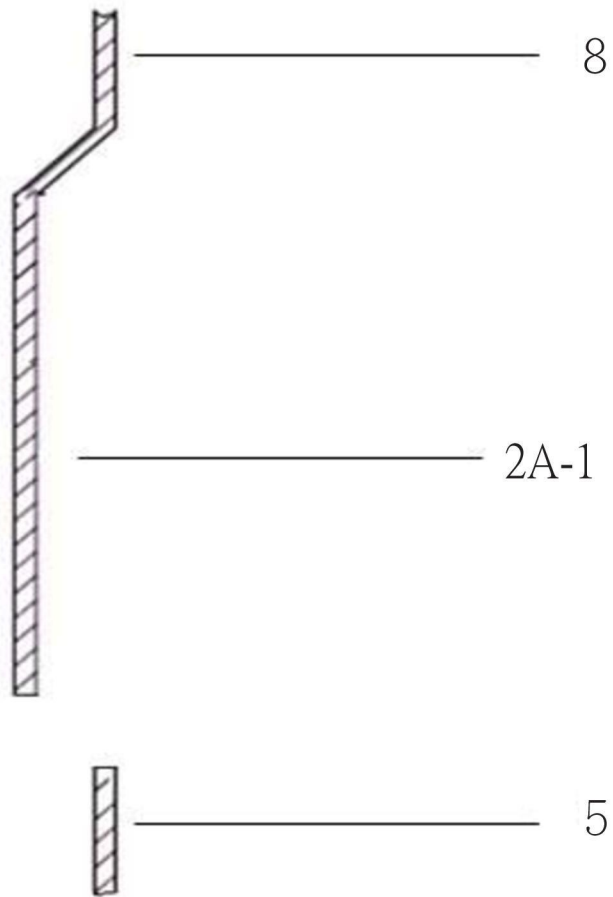


圖2B

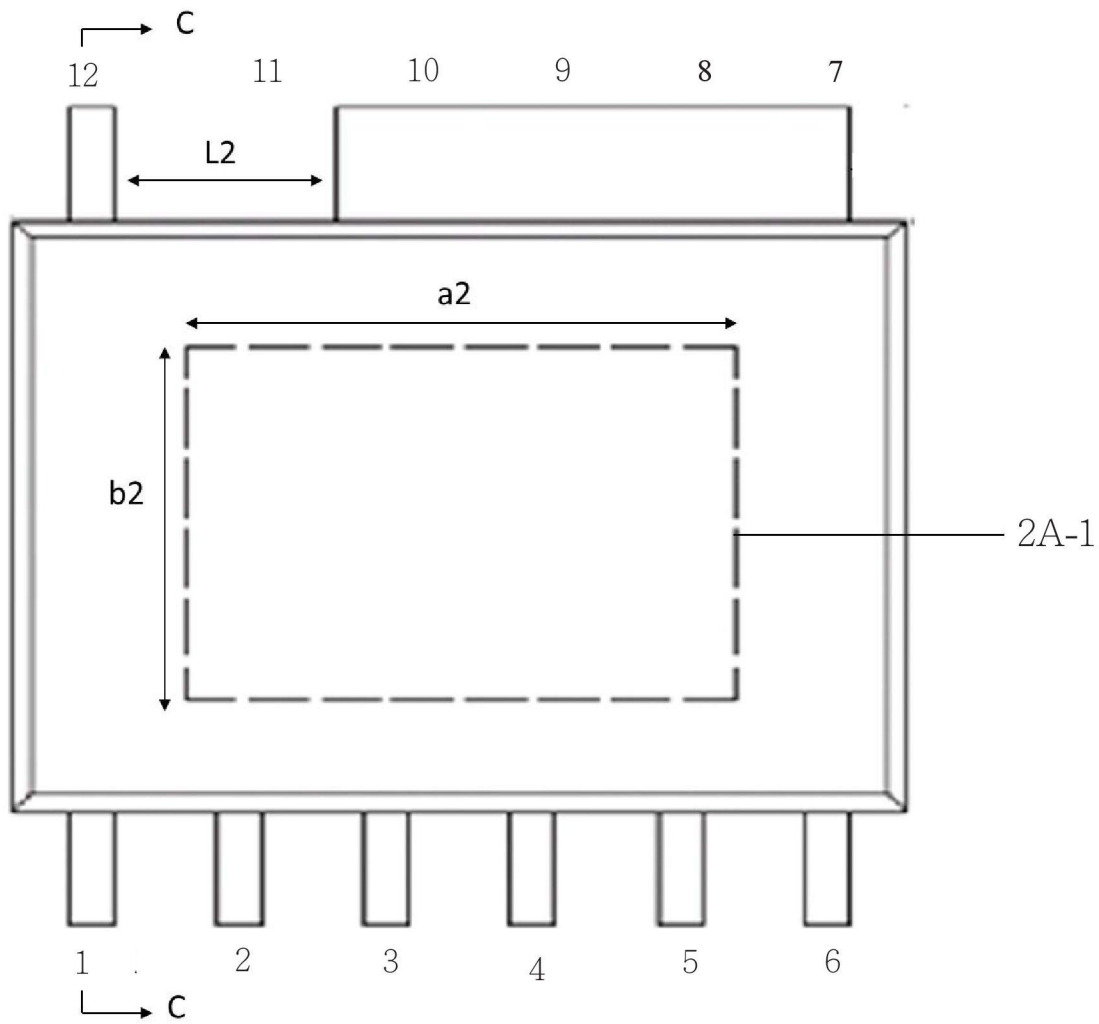
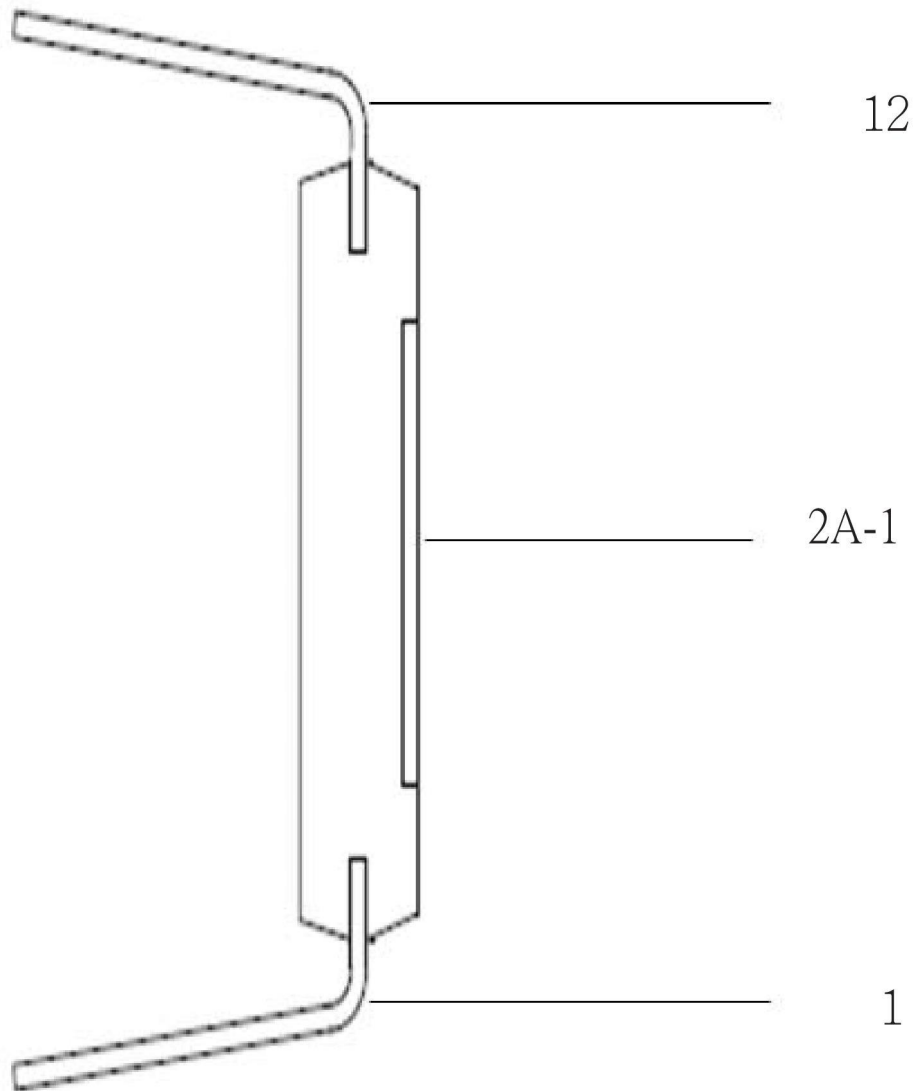


圖3A



C-C處的截面圖

圖3B

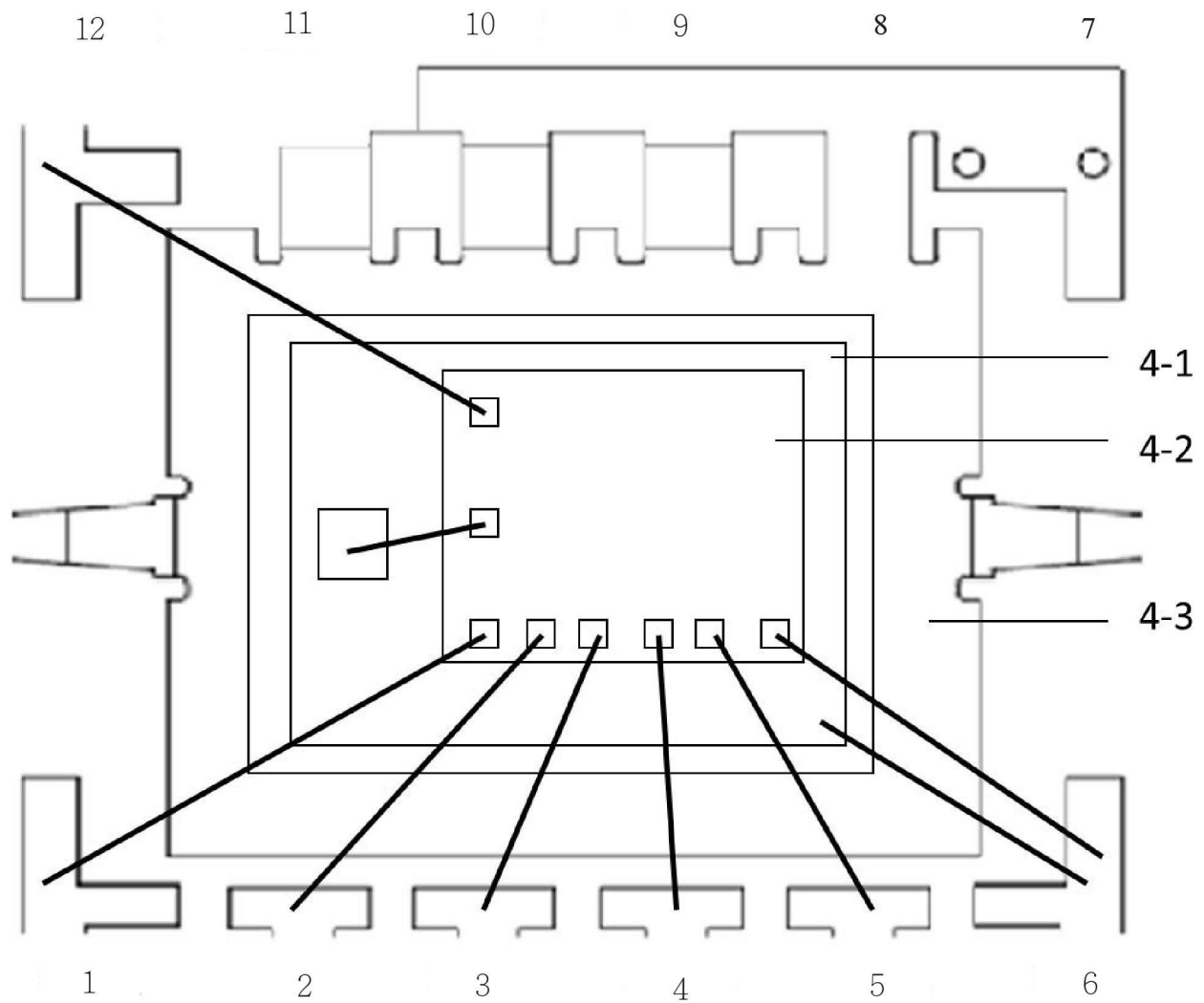


圖4

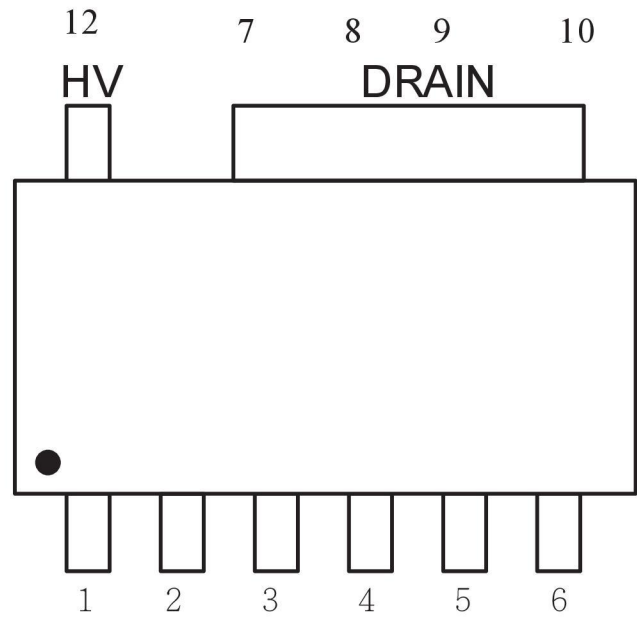


圖5

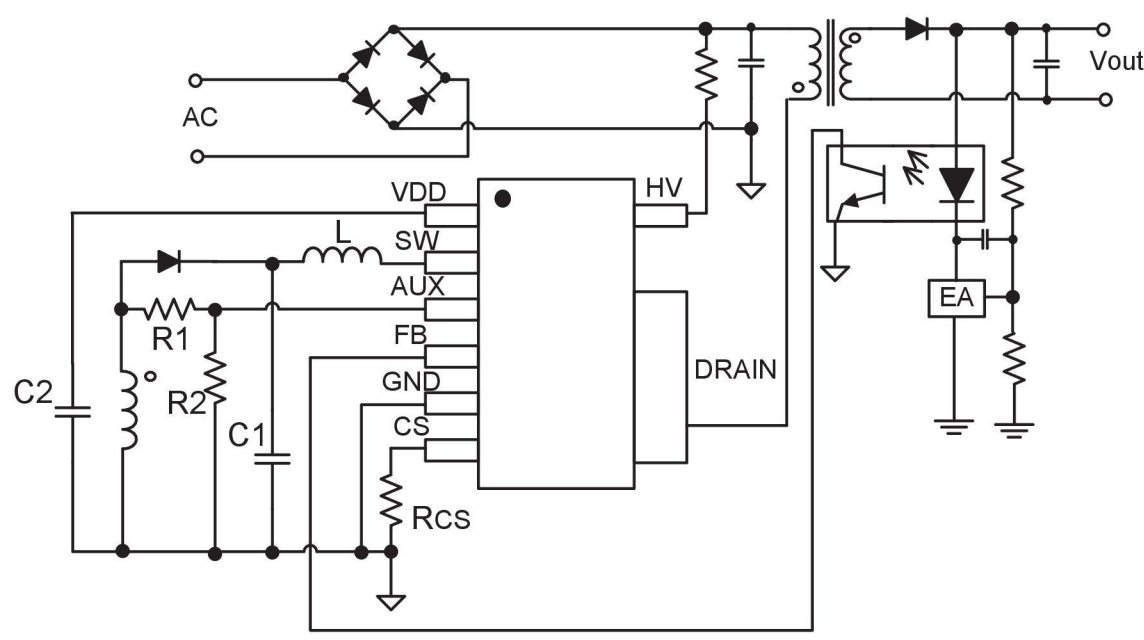


圖6