

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 09.12.99.

30 Priorité : 10.12.98 JP 35125698; 12.07.99 JP 19740199.

43 Date de mise à la disposition du public de la demande : 16.06.00 Bulletin 00/24.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : FUJITSU LIMITED — JP.

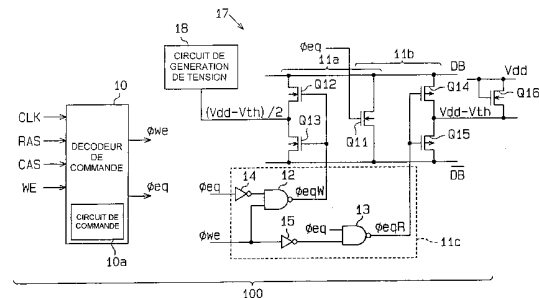
72 Inventeur(s) : SUGAMOTO HIROYUKI et FURUYAMA TAKAAKI.

73 Titulaire(s) :

74 Mandataire(s) : CABINET BEAU DE LOMENIE.

54 CIRCUIT POUR REMETTRE A L'ETAT INITIAL UNE PAIRE DE BUS DE DONNEES D'UN DISPOSITIF DE MEMOIRE A SEMICONDUCTEUR.

57 Une mémoire à semiconducteur telle qu'une SDRAM inclut deux bus de données (DB), des premier et second circuits de remise à l'état initial (11a, 11b) et un circuit de commande (11c). Le premier circuit de remise à l'état initial est connecté entre les bus de données et il remet à l'état initial les bus à un premier potentiel. Le second circuit de remise à l'état initial est également connecté entre les bus de données et il remet à l'état initial les bus à un second potentiel. Le circuit de commande est connecté aux premier et second circuits de remise à l'état initial et il désactive le premier circuit de remise à l'état initial et il active le second avant une opération de lecture.



### ARRIÈRE-PLAN DE L'INVENTION

La présente invention concerne un dispositif de mémoire à semiconducteur et plus particulièrement, un circuit et un procédé pour remettre à l'état initial une paire de bus de données.

5 La figure 1 est un schéma d'une partie d'un dispositif de mémoire à semiconducteur classique comprenant un réseau de cellules de mémoire 4 incluant une pluralité de cellules de mémoire c, une pluralité de lignes de mot (non représentées) et une pluralité de paires de lignes de bit BL1, /BL1 à BLn, /BLn. Chaque cellule c est  
10 connectée à l'une de la pluralité de lignes de mot et également à l'une des lignes de bit de n'importe quelle paire BL1, /BL1 à BLn, /BLn. Seulement trois paires de lignes de bit indiquées en tant que première, seconde et troisième paires de lignes BL1, /BL1 ; BL2, /BL2 ; et BL3, /BL3 sont représentées sur la figure 1.

15 Des amplificateurs de détection (S/A) 2a, 2b et 2c sont respectivement connectés entre les première, seconde et troisième paires de lignes de bit BL1, /BL1 ; BL2, /BL2 ; et BL3, /BL3. Chacun des amplificateurs de détection 2a à 2c amplifie une différence de potentiel entre les deux lignes de bits de celle associée des première,  
20 seconde et troisième paires de lignes de bit BL1, /BL1 à BL3, /BL3. Les paires de lignes de bit BL1 à BL3 et /BL1 à /BL3 sont également connectées respectivement à une paire de bus de données DB, /DB via des paires de portes de transfert 3a à 3c. Chaque paire de portes de transfert 3a à 3c inclut une paire de transistors NMOS (métal-oxyde-  
25 semiconducteur du type N) comportant des grilles qui reçoivent un signal de sélection de colonne commun col1 à col3. Lorsque le signal de sélection de colonne col1 par exemple passe à un niveau haut, les

portes de transfert 3a sont rendues activées, d'où ainsi la connexion électrique de la première paire de lignes de bit BL1, /BL1 aux bus de données DB, /DB.

Lors d'une opération d'écriture, des données d'écriture en provenance d'un amplificateur d'écriture sont écrites dans la cellule de mémoire c via les bus de données DB, /DB, les portes de transfert 3a et la première paire de lignes de bit BL1, /BL1. Lors d'une opération de lecture, des données qui sont stockées dans la cellule de mémoire c sont lues via la première paire de lignes de bit BL1, /BL1, les portes de transfert 3a et les bus de données DB, /DB sur un amplificateur de lecture (non représenté).

Un circuit de remise à l'état initial 50 (60) est connecté entre les bus de données DB, /DB. Le circuit de remise à l'état initial 50 d'un premier exemple de l'art antérieur est représenté sur la figure 2(a) et le circuit de remise à l'état initial 60 d'un second exemple de l'art antérieur est représenté sur la figure 3(a). Chaque circuit de remise à l'état initial 50 ou 60 reçoit un signal de commande de remise à l'état initial  $\phi_{eq}$  qui réalise des transitions selon les manières représentées sur la figure 2(b) et sur la figure 3(b). Le circuit de remise à l'état initial 50 ou 60 remet à l'état initial la différence de potentiel entre les bus de données DB, /DB en réponse au signal de commande de remise à l'état initial de niveau haut  $\phi_{eq}$  appliqué suite à une opération d'écriture ou à une opération de lecture.

Comme représenté sur la figure 2(a), le circuit de remise à l'état initial 50 comprend trois transistors NMOS Q51, Q52 et Q53. Le transistor NMOS Q51 est connecté entre les bus de données DB, /DB et les transistors NMOS Q52 et Q53 sont connectés en série entre les bus de données DB, /DB. Une tension de précharge égale à environ la moitié d'une alimentation de potentiel haut  $V_{dd}$  (c'est-à-dire  $V_{dd}/2$ ) est appliquée sur un noeud entre les transistors NMOS Q52 et Q53. Les transistors Q51 à Q53 ont leurs grilles connectées ensemble et ils reçoivent le signal de commande de remise à l'état initial  $\phi_{eq}$ .

Lorsque les transistors NMOS Q51 à Q53 sont rendus passants ou activés en réponse au signal de commande de remise à l'état initial de niveau haut  $\phi_{eq}$ , les potentiels sur les bus de données DB, /DB sont rendus égaux à  $V_{dd}/2$  comme représenté sur la figure 2(b), d'où ainsi la remise à l'état initial de la différence de potentiel entre les bus de données DB, /DB. Au moyen de l'égalisation à  $V_{dd}/2$ , la consommation d'énergie du circuit de remise à l'état initial 50 est réduite.

Comme représenté sur la figure 3(a), le circuit de remise à l'état initial 60 comprend un transistor NMOS Q61, deux transistors PMOS (MOS du type P) Q62 et Q63 et un circuit d'inverseur 61. Le transistor NMOS Q61 est connecté entre les bus de données DB, /DB et les transistors PMOS Q62 et Q63 sont connectés en série entre les bus de données DB, /DB. Une tension de précharge présentant un niveau égal à une alimentation de potentiel haut  $V_{dd}$  est appliquée sur un nœud entre les transistors Q62 et Q63. Un signal de commande de remise à l'état initial  $\phi_{eq}$  est appliqué sur la grille du transistor Q61. Le signal de commande de remise à l'état initial  $\phi_{eq}$  qui est inversé par le circuit d'inverseur 61 est appliqué sur les grilles des transistors PMOS Q62 et Q63.

Lorsque le transistor NMOS Q61 et les transistors PMOS Q62 et Q63 sont rendus passants ou activés en réponse au signal de commande de remise à l'état initial de niveau haut  $\phi_{eq}$ , les potentiels sur les bus de données DB, /DB sont rendus égaux au niveau d'alimentation de potentiel haut  $V_{dd}$  comme représenté sur la figure 3(b), d'où ainsi la remise à l'état initial de la différence de potentiel entre les bus de données DB, /DB. Par conséquent, si le cycle suivant est un cycle de lecture, une différence entre le potentiel sur n'importe quelle ligne de bit BL1, /BL1 à BL3, /BL3 correspondant à une lecture de données à partir de la cellule de mémoire c et le potentiel sur le bus de données DB ou /DB augmentera jusqu'au niveau  $V_{dd}$  d'alimentation. Ceci améliore le débit du transfert de charge par l'intermédiaire des portes de transfert associées 3a à 3c et réduit le temps  $t_1$  requis jusqu'à ce que le potentiel sur le bus de données DB

ou /DB soit déterminé. Par conséquent, l'opération de lecture est accélérée dans le dispositif de mémoire à semiconducteur 1 qui utilise le circuit de remise à l'état initial 60.

5 Puisque le circuit de remise à l'état initial 50 rend les potentiels sur les bus de données DB, /DB égaux à  $V_{dd}/2$  pendant l'opération de remise à l'état initial, une opération de lecture est lente. Pendant l'opération de lecture, il y a une faible différence ( $V_{dd}/2$ ) entre le potentiel sur n'importe laquelle des première à troisième lignes de bit BL1, /BL1 à BL3, /BL3 en correspondance avec des données lues à partir de la cellule de mémoire c et le potentiel sur le bus de données DB ou /DB. Ceci ralentit le débit du transfert de charge par l'intermédiaire des portes de transfert 3a à 3c, ce qui conduit à un temps relativement long  $t_2$  jusqu'à ce que le potentiel sur les bus de données DB, /DB soit déterminé, comme représenté sur la figure 2(b).

10 15 Puisque la remise à l'état initial rend les potentiels sur les bus de données DB, /DB égaux au niveau  $V_{dd}$  pendant l'opération de remise à l'état initial, la consommation d'énergie est augmentée. Un amplificateur d'écriture présente de façon générale une capacité de pilotage plus importante que celles des amplificateurs de détection 2a à 2c afin de faciliter le processus de charge/décharge des bus de données et des première à troisième paires de lignes de bit. La consommation d'énergie augmentée s'intensifie pendant l'opération de remise à l'état initial du cycle d'écriture lorsque les potentiels des bus de données sont rendus égaux à  $V_{dd}$ .

## 25 RÉSUMÉ DE L'INVENTION

Un objet de l'invention consiste à proposer un circuit de remise à l'état initial d'un dispositif de mémoire à semiconducteur qui permette une vitesse de fonctionnement plus élevée et une consommation d'énergie réduite.

30 Selon un premier aspect de la présente invention, un dispositif de mémoire à semiconducteur incluant une paire de bus de données est proposé. Un premier circuit de remise à l'état initial est connecté entre les bus de données de la paire de bus de données et il remet à

l'état initial les bus de données à un premier potentiel. Un second circuit de remise à l'état initial est connecté entre les bus de données de la paire de bus de données et il remet à l'état initial les bus de données à un second potentiel. Un circuit de commande est connecté  
5 aux premier et second circuits de remise à l'état initial, il active le premier circuit de remise à l'état initial et il désactive le second circuit de remise à l'état initial avant une opération d'écriture. Le circuit de commande désactive le premier circuit de remise à l'état initial et active le second circuit de remise à l'état initial avant une opération de lecture.

10 Selon un second aspect de la présente invention, un dispositif de mémoire à semiconducteur inclut une paire de bus de données. Un circuit de remise à l'état initial est connecté entre les bus de données de la paire de bus de données et il remet à l'état initial les bus de données à soit une tension d'alimentation de potentiel haut, soit une  
15 tension d'alimentation de potentiel bas. Un circuit de commande est connecté au circuit de remise à l'état initial, il active le circuit de remise à l'état initial avant une opération de lecture et il désactive le circuit de remise à l'état initial lorsqu'une opération d'écriture est réalisée.

20 Selon un troisième aspect de la présente invention, un procédé de remise à l'état initial d'une paire de bus de données dans un dispositif de mémoire à semiconducteur est proposé. Le dispositif de mémoire inclut un premier circuit de remise à l'état initial connecté entre les bus de données pour remettre à l'état initial les bus de données à un premier potentiel et un second circuit de remise à l'état  
25 initial connecté entre les bus de données pour remettre à l'état initial les bus de données à un second potentiel. Le procédé inclut les étapes consistant à activer le premier circuit de remise à l'état initial et à désactiver le second circuit de remise à l'état initial avant une opération d'écriture et à désactiver le premier circuit de remise à l'état initial et à  
30 activer le second circuit de remise à l'état initial avant une opération de lecture.

Selon un quatrième aspect de la présente invention, un procédé de remise à l'état initial d'une paire de bus de données dans un

dispositif de mémoire à semiconducteur est proposé. Le dispositif de mémoire inclut un circuit de remise à l'état initial connecté entre les bus de données pour remettre à l'état initial les bus de données à soit une tension d'alimentation de potentiel haut, soit une tension d'alimentation de potentiel bas. Le procédé inclut les étapes d'activation du circuit de remise à l'état initial avant une opération de lecture et de désactivation du circuit de remise à l'état initial lorsqu'une opération d'écriture est réalisée.

D'autres aspects et avantages de l'invention apparaîtront de façon plus immédiate au vu de la description qui suit que l'on lira en conjonction avec les dessins annexés qui illustrent à titre d'exemple les principes de l'invention.

#### BRÈVE DESCRIPTION DES DESSINS

L'invention, en association avec ses objets et avantages, peut être mieux comprise par report à la description qui suit des modes de réalisation présentement préférés en association avec les dessins annexés parmi lesquels :

la figure 1 est un schéma d'une partie d'un dispositif de mémoire à semiconducteur classique ;

la figure 2(a) est un schéma de circuit d'un circuit de remise à l'état initial selon un premier exemple de l'art antérieur ;

la figure 2(b) est un schéma de cadencement qui représente le fonctionnement du circuit de remise à l'état initial de la figure 2(a) ;

la figure 3(a) est un schéma de circuit d'un circuit de remise à l'état initial selon un second exemple de l'art antérieur ;

la figure 3(b) est un schéma de cadencement qui représente le fonctionnement du circuit de remise à l'état initial de la figure 3(a) ;

la figure 4 est un schéma d'un circuit de remise à l'état initial et d'un décodeur de commande selon un premier mode de réalisation de la présente invention ;

la figure 5 est un schéma de cadencement qui représente le fonctionnement d'un dispositif de mémoire à semiconducteur incluant le circuit de remise à l'état initial de la figure 4 ;

la figure 6 est un schéma de cadencement qui représente le fonctionnement du circuit de remise à l'état initial de la figure 4 pendant un mode salve ;

la figure 7 est un schéma d'un circuit de remise à l'état initial et  
5 d'un décodeur de commande selon un second mode de réalisation de la présente invention ;

la figure 8 est un schéma d'un circuit de remise à l'état initial et d'un décodeur de commande selon un troisième mode de réalisation de la présente invention ;

10 la figure 9 est un schéma fonctionnel du décodeur de commande de la figure 8 ;

la figure 10 est un schéma de cadencement qui représente le fonctionnement d'un dispositif de mémoire à semiconducteur incluant le circuit de remise à l'état initial de la figure 8 ;

15 la figure 11 est un schéma d'un circuit de remise à l'état initial et d'un décodeur de commande selon un quatrième mode de réalisation de la présente invention ;

la figure 12 est un schéma fonctionnel du décodeur de commande de la figure 11 ;

20 la figure 13 est un schéma de cadencement qui représente le fonctionnement d'un dispositif de mémoire à semiconducteur incluant le circuit de remise à l'état initial de la figure 11 ;

la figure 14 est un schéma d'un circuit de remise à l'état initial et d'un décodeur de commande selon un cinquième mode de réalisation  
25 de la présente invention ;

la figure 15 est un schéma fonctionnel du décodeur de commande de la figure 14 ; et

la figure 16 est un schéma de cadencement qui représente le fonctionnement d'un dispositif de mémoire à semiconducteur incluant le  
30 circuit de remise à l'état initial de la figure 15.

#### DESCRIPTION DÉTAILLÉE DES MODES DE RÉALISATION PRÉFÉRÉS

Sur les dessins, des index de référence identiques sont utilisés pour désigner des éléments identiques sur l'ensemble des figures.

(Premier mode de réalisation)

Par report aux figures 4 à 6, un dispositif de mémoire à  
5 semiconducteur selon un premier mode de réalisation de la présente invention sera décrit.

Comme représenté sur la figure 4, un dispositif de mémoire à  
semiconducteur 1 qui est de préférence une mémoire vive dynamique  
synchrone (SDRAM) comprend un décodeur de commande 10 et un  
10 circuit de remise à l'état initial 11. Le décodeur de commande 10 reçoit un signal d'horloge CLK, des signaux de commande RAS et CAS et un signal de validation d'écriture WE en provenance d'un circuit externe (non représenté). Le décodeur de commande 10 applique les signaux de commande RAS et CAS et le signal de validation d'écriture WE,  
15 lesquels signaux sont synchronisés avec le signal d'horloge CLK, sur un noyau de mémoire (non représenté) pour commander le fonctionnement de la mémoire.

Le décodeur de commande 10 inclut un circuit de commande  
10a qui applique un signal de commande de remise à l'état initial  $\phi_{eq}$  et  
20 un signal de commutation  $\phi_{we}$ , lesquels signaux varient d'une manière telle que représentée sur la figure 5, sur le circuit de remise à l'état initial 11.

Plus spécifiquement, suite à la réception des signaux RAS, CAS  
et WE, le décodeur de commande 10 les décode pour former des  
25 commandes. Le circuit de commande 10a applique un signal de commande de remise à l'état initial de niveau haut  $\phi_{eq}$  présentant une largeur d'impulsion qui correspond à un intervalle temporel pendant une opération de remise à l'état initial du circuit de remise à l'état initial 11. Par ailleurs, le circuit de commande 10a applique un signal de  
30 commutation de niveau haut  $\phi_{we}$  sur le circuit de remise à l'état initial 11 pendant un intervalle d'opération d'écriture en réponse à une commande d'écriture et applique un signal de commutation de niveau

bas  $\phi_{we}$  sur le circuit de remise à l'état initial 11 en réponse à une commande de lecture.

Le circuit de remise à l'état initial 11 comprend des premier et second circuits de remise à l'état initial 11a, 11b, un circuit de commande 11c et un circuit de génération de tension 16. Le premier  
5 circuit de remise à l'état initial 11a comprend des transistors NMOS Q11, Q12 et Q13 et le second circuit de remise à l'état initial 11b comprend un transistor NMOS Q11 et des transistors PMOS Q14 et Q15. Le transistor NMOS Q11 est commun aux premier et second  
10 circuits de remise à l'état initial 11a et 11b. Le circuit de commande 11c comprend des circuits NON-ET 12 et 13 et des circuits d'inverseur 14 et 15.

Le transistor NMOS Q11 est connecté entre les bus de données DB, /DB et il comporte une grille sur laquelle le signal de commande de remise à l'état initial  $\phi_{eq}$  est appliqué. Le transistor NMOS Q11 rend  
15 égaux les potentiels sur les bus de données DB, /DB en réponse au signal de commande de remise à l'état initial de niveau haut  $\phi_{eq}$ .

Les transistors NMOS Q12 et Q13 sont connectés en série entre les bus de données DB, /DB. Une tension de précharge qui est  
20 égale à la moitié d'une alimentation de potentiel haut  $V_{dd}$  ou à un niveau de  $V_{dd}/2$  est appliquée sur un noeud entre les transistors NMOS Q12 et Q13 depuis le circuit de génération de tension 16. Les grilles des transistors Q12 et Q13 sont connectées ensemble et sont connectées à une borne de sortie du circuit NON-ET 12, lequel à son  
25 tour reçoit le signal de commande de remise à l'état initial  $\phi_{eq}$  qui est inversé par le circuit d'inverseur 14 ainsi que le signal de commutation  $\phi_{we}$ .

Le circuit NON-ET 12 génère un premier signal de commande de remise à l'état initial  $\phi_{eqW}$  comme représenté sur la figure 5  
30 conformément au signal de commande de remise à l'état initial inversé  $\phi_{eq}$  et au signal de commutation  $\phi_{we}$ . Le premier signal de commande de remise à l'état initial  $\phi_{eqW}$  est appliqué sur les grilles des transistors NMOS Q12 et Q13. Le premier signal de commande de remise à l'état

initial  $\phi_{eqW}$  varie de la même manière que le signal de commande de remise à l'état initial  $\phi_{eq}$  lorsque le signal de commutation  $\phi_{we}$  est maintenu à un niveau H (niveau haut) ou dans l'intervalle d'opération d'écriture depuis la survenue d'une commande d'écriture jusqu'à la  
5 survenue de la commande de lecture suivante. Le premier signal de commande de remise à l'état initial  $\phi_{eqW}$  est établi à un niveau L (bas) à l'exception de pendant l'opération d'écriture.

Les transistors PMOS Q14 et Q15 sont connectés en série entre les bus de données DB, /DB, et une tension de précharge  
10 présentant un niveau égal à l'alimentation de potentiel haut Vdd est appliquée sur un noeud entre les transistors Q14 et Q15. Les grilles des transistors PMOS Q14 et Q15 sont connectées ensemble et sont connectées à une borne de sortie du circuit NON-ET 13, lequel circuit  
15 comporte une paire de bornes d'entrée recevant le signal de commande de remise à l'état initial  $\phi_{eq}$  et le signal de commutation  $\phi_{we}$  inversé par le circuit d'inverseur 15.

Le circuit NON-ET 13 génère un second signal de commande de remise à l'état initial  $\phi_{eqR}$  comme représenté sur la figure 5 conformément au signal de commande de remise à l'état initial  $\phi_{eq}$  et  
20 au signal de commutation inversé  $\phi_{we}$ . Le second signal de commande de remise à l'état initial  $\phi_{eqR}$  est appliqué sur les grilles des transistors PMOS Q14 et Q15. Le second signal de commande de remise à l'état initial  $\phi_{eqR}$  varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$  lorsque le signal de commutation  $\phi_{we}$   
25 est maintenu à un niveau L ou dans un intervalle d'opération de lecture depuis la survenue d'une commande de lecture jusqu'à la survenue de la commande d'écriture suivante. Le second signal de commande de remise à l'état initial  $\phi_{eqR}$  est établi à un niveau H à l'exception de pendant l'opération de lecture.

30 Lorsque le dispositif de mémoire à semiconducteur 1 commence une opération d'écriture en réponse à la survenue de la commande d'écriture comme indiqué sur la figure 5, le circuit de commande 11c applique un premier signal de commande de remise à

l'état initial de niveau haut  $\phi_{eqW}$  sur le premier circuit de remise à l'état initial 11a en réponse à un signal de commutation de niveau haut  $\phi_{we}$ . Dans le même temps, le circuit de commande 11c applique un second signal de commande de remise à l'état initial de niveau haut  $\phi_{eqR}$  sur  
5 le second circuit de remise à l'état initial 11b. En réponse au signal de commutation de niveau haut  $\phi_{we}$ , le circuit de commande 11c force le premier circuit de remise à l'état initial 11a à fonctionner en réponse au premier signal de commande de remise à l'état initial  $\phi_{eqW}$  et invalide également le second circuit de remise à l'état initial 11b en désactivant  
10 ou rendant bloqués les transistors PMOS Q14 et Q15.

Lorsque le signal de commande de remise à l'état initial  $\phi_{eq}$  et le premier signal de commande de remise à l'état initial  $\phi_{eqW}$  passent au niveau haut, les transistors NMOS Q11 à Q13 sont rendus passants ou activés, les potentiels sur les bus de données DB, /DB sont rendus  
15 égaux à  $V_{dd}/2$ , comme représenté sur la figure 5, ce qui remet à l'état initial la différence de potentiel entre les bus de données DB, /DB. De cette manière, les bus de données DB, /DB sont remis à l'état initial au potentiel de précharge de  $V_{dd}/2$ . Cette opération de remise à l'état initial est répétée depuis la survenue de la commande d'écriture jusqu'à  
20 la survenue de la commande de lecture qui suit.

Lorsque le dispositif de mémoire à semiconducteur 1 réalise une opération de lecture en réponse à la survenue de la commande de lecture, le circuit de remise à l'état initial 11 reçoit un signal de commutation de niveau bas  $\phi_{we}$ . En réponse au signal de commutation  
25 de niveau bas  $\phi_{we}$ , le circuit de commande 11c applique un premier signal de commande de remise à l'état initial de niveau bas  $\phi_{eqW}$  sur le premier circuit de remise à l'état 11a et applique également le second signal de commande de remise à l'état initial  $\phi_{eqR}$  qui varie de la même manière que le signal de commande de remise à l'état initial  
30 inversé  $\phi_{eq}$  sur le second circuit de remise à l'état initial 11b. Par conséquent, en réponse au signal de commutation de niveau bas  $\phi_{we}$ , le circuit de commande 11c invalide le premier circuit de remise à l'état initial 11a en désactivant ou rendant bloqués les transistors NMOS Q12

et Q13 et active le second circuit de remise à l'état initial 11b conformément au second signal de commande de remise à l'état initial  $\phi_{eqR}$ .

Lorsque le signal de commande de remise à l'état initial  $\phi_{eq}$  est  
5 établi à un niveau H et que le second signal de commande de remise à l'état initial  $\phi_{eqR}$  est établi au niveau L, le transistor NMOS Q11 et les transistors PMOS Q14 et Q15 sont rendus passants ou activés, et les potentiels sur les bus de données DB, /DB sont rendus égaux au niveau Vdd de l'alimentation de potentiel haut comme représenté sur la  
10 figure 5, ce qui remet à l'état initial la différence de potentiel entre les bus de données DB, /DB. De cette manière, les bus de données DB, /DB sont remis à l'état initial au potentiel de précharge (Vdd). Cette opération de remise à l'état initial est répétée depuis la survenue de la commande de lecture jusqu'à la survenue de la commande d'écriture  
15 qui suit.

Lors de l'opération d'écriture, le circuit de remise à l'état initial 11 force le premier circuit de remise à l'état initial 11a à rendre les potentiels sur les bus de données DB, /DB égaux à Vdd/2 et lors de l'opération de lecture, il force le second circuit de remise à l'état initial  
20 11b à rendre les potentiels sur les bus de données DB, /DB égaux au niveau Vdd d'alimentation.

Par conséquent, la consommation d'énergie pendant l'opération d'écriture est réduite dans le dispositif de mémoire à semiconducteur 1. Lorsque le cycle courant est un cycle d'écriture, l'amplificateur  
25 d'écriture facilite le processus de charge/décharge des bus de données DB, /DB et des première à troisième paires de lignes de bit BL1, /BL1 à BL3, /BL3 conformément aux données d'écriture. De cette manière, le fait de rendre les potentiels sur les bus de données DB, /DB égaux à Vdd/2 lors de l'opération d'écriture contribue à la réduction de la  
30 consommation d'énergie.

Pendant l'opération de lecture, les potentiels sur les bus de données DB, /DB sont rendus égaux au niveau Vdd d'alimentation. Par conséquent, il y a une différence plus importante (le niveau Vdd

d'alimentation) entre le potentiel sur l'une quelconque des première à troisième lignes de bit BL1, /BL1 à BL3, /BL3 et le potentiel sur l'un ou l'autre des bus de données DB, /DB, ce qui améliore la vitesse de transfert de charge au travers des portes de transfert 3a à 3c, ce qui

5 réduit la durée t1, comme représenté sur la figure 5, qui est requise jusqu'à ce que les potentiels sur les bus de données DB, /DB soient déterminés. Ceci accélère l'opération de lecture du dispositif de mémoire à semiconducteur 1, ce qui conduit à une réduction supplémentaire de la consommation d'énergie.

10 Selon le premier mode de réalisation, le niveau de remise à l'état initial des bus de données DB, /DB est commuté conformément à la commande d'écriture et à la commande de lecture. Par conséquent, les bus de données DB, /DB sont remis à l'état initial conformément au

15 niveau qui suit la commande du cycle précédent pendant l'attente d'une nouvelle commande après la fin de l'opération de lecture ou de l'opération d'écriture.

Lorsque la commande du cycle qui suit diffère de la commande du cycle qui précède, le niveau de remise à l'état initial des bus de données DB, /DB est commuté. Par conséquent, jusqu'à ce que les

20 potentiels sur les bus DB, /DB soient stabilisés au niveau de remise à l'état initial, ni l'opération d'écriture, ni l'opération de lecture ne sont effectuées et le fonctionnement doit attendre la stabilisation du potentiel. Le circuit de remise à l'état initial 11 est particulièrement efficace pendant le mode save représenté sur la figure 6. Ceci est dû

25 au fait que l'opération d'écriture et l'opération de lecture sont répétées pendant le mode save, moyennant une opération de commutation réduite entre les commandes.

(Second mode de réalisation)

Un circuit de remise à l'état initial 17 d'un dispositif de mémoire

30 à semiconducteur 100 selon un second mode de réalisation de la présente invention diffère du premier mode de réalisation en ce sens qu'un transistor NMOS Q16 est connecté entre l'alimentation de potentiel haut Vdd et un noeud entre les transistors PMOS Q14 et Q15,

comme représenté sur la figure 7. Le niveau de remise à l'état initial de l'opération de lecture est établi à n'importe quel niveau de tension de précharge souhaité et le niveau de remise à l'état initial de l'opération d'écriture est établi à environ la moitié de la tension de précharge.

5 Le transistor NMOS Q16 applique l'alimentation de potentiel haut Vdd sur le noeud entre les transistors PMOS Q14 et Q15. De cette manière, une tension de précharge ( $V_{dd}-V_{th}$ ) qui est inférieure à la tension d'alimentation Vdd de la tension de seuil  $V_{th}$  du transistor NMOS Q16 est appliquée sur le noeud. Une tension de précharge qui  
10 est générée par un circuit de génération de tension 18, laquelle tension de précharge est égale à  $(V_{dd} - V_{th})/2$ , est appliquée sur un noeud entre les transistors NMOS Q12 et Q13. Le niveau de remise à l'état initial pendant l'opération d'écriture est établi à  $(V_{dd} - V_{th})/2$  et le niveau de remise à l'état initial pendant l'opération de lecture est établi  
15 à  $(V_{dd} - V_{th})$ .

La tension de précharge peut être une tension d'alimentation de potentiel bas ( $V_{ss}$ ). Lorsque la tension de précharge présente un niveau haut Vdd, il est préférable que des transistors NMOS soient utilisés en tant que portes de transfert 3a à 3c. Par ailleurs, lorsque la  
20 tension de précharge présente un niveau bas ( $V_{ss}$ ), il est préférable que des transistors PMOS soient utilisés en tant que portes de transfert 3a à 3c. Ceci améliore l'efficacité de la mobilité des électrons ou des trous positifs des portes de transfert 3a à 3c.

Le circuit de remise à l'état initial 17 peut réaliser une opération  
25 de remise à l'état initial au même niveau de remise à l'état initial que dans le cas de l'opération de lecture lorsque le dispositif de mémoire à semiconducteur 100 est mis en route.

La façon d'appliquer la tension de précharge ( $V_{dd}/2$ ) peut être modifiée. Par exemple, le circuit de génération de tension 18 et les  
30 transistors NMOS Q12 et Q13 peuvent être éliminés et le transistor NMOS Q11 peut être utilisé afin de réaliser un court-circuit entre les bus de données DB, /DB. Dans ce cas, les bus de données DB, /DB

sont établis à sensiblement la tension intermédiaire ( $V_{dd}/2$ ) pendant l'opération de remise à l'état initial.

(Troisième mode de réalisation)

5 Par report aux figures 8 à 10, un dispositif de mémoire à semiconducteur 110 selon un troisième mode de réalisation de la présente invention sera décrit.

10 Comme représenté sur la figure 8, le dispositif de mémoire à semiconducteur 110 comprend le décodeur de commande 10 et un circuit de remise à l'état initial 21. Par report à la figure 9, le décodeur de commande 10 inclut un circuit de commande 10a comprenant quatre circuits de bascule bistable de type D 10b, 10c, 10d et 10h, deux circuits de retard 10e et 10f dont chacun est formé par deux circuits d'inverseur montés en cascade et un circuit de génération de signal 10g.

15 Le circuit de bascule bistable de type D 10c reçoit un signal WE appliqué sur sa borne d'entrée de données et un signal CLK appliqué sur sa borne d'entrée d'horloge et il génère un signal de sortie en conformité avec ces signaux, lequel signal de sortie est ensuite appliqué sur une borne d'entrée de données du circuit de bascule

20 bistable de type D 10d. Le circuit de bascule bistable de type D 10b reçoit un signal CAS qui est appliqué sur sa borne d'entrée de données et le signal CLK qui est appliqué sur sa borne d'entrée d'horloge et il génère un signal de sortie en conformité avec ces signaux, lequel signal de sortie est appliqué sur la borne d'entrée d'horloge du circuit

25 de bascule bistable de type D 10d via le circuit de retard 10e. Le circuit de bascule bistable de type D 10d génère un signal de commutation  $\phi_{we}$  qui varie de la manière représentée sur la figure 10 et applique le signal  $\phi_{we}$  sur le circuit de remise à l'état initial 21. Le circuit de génération de signal 10g reçoit le signal d'horloge CLK via le circuit de

30 retard 10f, génère un signal de commande de remise à l'état initial  $\phi_{eq}$  qui varie de la manière représentée sur la figure 10 conformément au signal d'horloge CLK et applique le signal de commande de remise à l'état initial sur le circuit de remise à l'état initial 21.

Par report à la figure 8, le circuit de remise à l'état initial 21 comprend un circuit de remise à l'état initial interne 21a et un circuit de commande 21b. Le circuit de remise à l'état initial interne 21a comprend des transistors Q11, Q14 et Q15 et le circuit de commande 5 21b comprend un circuit NON-ET 13 et des circuits d'inverseur 15 et 22.

Le circuit NON-ET 13 reçoit le signal de commande de remise à l'état initial  $\phi_{eq}$  et le signal de commutation  $\phi_{we}$  inversé par le circuit d'inverseur 15 et il génère un signal de commande de remise à l'état 10 initial  $\phi_{eqR}$  comme représenté sur la figure 10.

Le signal de commande de remise à l'état initial  $\phi_{eqR}$  est inversé par le circuit d'inverseur 22 avant qu'il ne soit appliqué sur la grille du transistor NMOS Q11, et il est directement appliqué sur les grilles des transistors PMOS Q14 et Q15. Par conséquent, les 15 transistors Q11, Q14 et Q15 sont activés ou passés dans l'état passant en réponse à un signal de commande de remise à l'état initial de niveau bas  $\phi_{eqR}$ , ce qui a pour effet de rendre les bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut Vdd.

Comme représenté sur la figure 10, le signal de commande de 20 remise à l'état initial  $\phi_{eqR}$  est établi à un niveau H pendant l'opération d'écriture lorsque le signal de commutation  $\phi_{we}$  est au niveau H et il varie de la même manière que l'inversion du signal de commande de remise à l'état initial  $\phi_{eq}$  pendant l'intervalle d'opération de lecture lorsque le signal de commutation est au niveau L.

25 Lorsque le dispositif de mémoire à semiconducteur 110 réalise l'opération d'écriture, le circuit de commande 21b reçoit un signal de commutation de niveau haut  $\phi_{we}$  et applique un signal de commande de remise à l'état initial de niveau haut  $\phi_{eqR}$  sur le circuit de remise à l'état initial interne 21a indépendamment du signal de commande de 30 remise à l'état initial  $\phi_{eq}$ . Par conséquent, pendant l'opération d'écriture, le circuit de commande 21b invalide le circuit de remise à l'état initial 21a en désactivant ou en rendant bloqués les transistors Q11, Q14 et Q15. Il s'ensuit que le circuit de remise à l'état initial

interne 21a ne réalise pas une opération de remise à l'état initial et, par conséquent, ne remet pas à l'état initial la différence de potentiel entre les bus de données DB, /DB.

Lorsque le dispositif de mémoire à semiconducteur 110 réalise  
5 l'opération de lecture en réponse à la commande de lecture, le circuit de commande 21b reçoit un signal de commutation de niveau bas  $\phi_{we}$  et applique le signal de commande de remise à l'état initial  $\phi_{eqR}$  qui varie de la même manière que l'inversion du signal de commande de remise à l'état initial  $\phi_{eq}$  sur le circuit de remise à l'état initial interne  
10 21a. Par conséquent, pendant l'opération de lecture, le circuit de commande 21b force le circuit de remise à l'état initial 21c à réaliser une opération de remise à l'état initial en réponse au signal de commande de remise à l'état initial  $\phi_{eq}$ .

Plus spécifiquement, par report à la figure 10, les transistors  
15 Q11, Q14 et Q15 sont tous rendus passants ou activés en réponse au signal de commande de remise à l'état initial de niveau bas  $\phi_{eqR}$ . Les potentiels sur les bus de données DB, /DB sont rendus égaux au niveau de l'alimentation de potentiel haut  $V_{dd}$ , d'où par conséquent la remise à l'état initial de la différence de potentiel entre les bus de  
20 données DB, /DB.

De cette manière, le circuit de remise à l'état initial 21 ne réalise pas une opération de remise à l'état initial pendant l'opération d'écriture et a pour effet que le circuit de remise à l'état initial interne 21a rend les potentiels sur les bus de données DB, /DB égaux au niveau de la  
25 tension d'alimentation  $V_{dd}$  pendant l'opération de lecture.

Pendant l'opération d'écriture, le fonctionnement de l'amplificateur d'écriture facilite le processus de charge/décharge des bus de données DB, /DB et des première à troisième paires de lignes de bit BL1, /BL1 à BL3, /BL3. Puisqu'il n'est pas nécessaire de remettre  
30 à l'état initial les bus de données DB, /DB pendant l'opération d'écriture, la valeur de la consommation d'énergie qui devrait être requise pour l'opération de remise à l'état initial est éliminée.

La réduction résultante de la consommation d'énergie pendant l'opération d'écriture de même que la vitesse plus élevée de l'opération de lecture du fait que les bus de données DB, /DB sont rendus égaux au niveau de l'alimentation Vdd pendant l'opération de lecture  
5 permettent une réduction de la consommation d'énergie et une augmentation de la vitesse de fonctionnement du dispositif de mémoire à semiconducteur 110.

(Quatrième mode de réalisation)

Par report maintenant aux figures 11 à 13, un dispositif de  
10 mémoire à semiconducteur 120 selon un quatrième mode de réalisation de la présente invention sera décrit. Le dispositif de mémoire à semiconducteur 120 peut réaliser une opération de transfert en salve.

Comme représenté sur la figure 11, le dispositif de mémoire à  
15 semiconducteur 120 comprend un circuit de remise à l'état initial 31 et un décodeur de commande 30 incluant un circuit de commande 30a. Comme représenté sur la figure 12, par comparaison avec le circuit de commande 10a de la figure 9, le circuit de commande 30a inclut un second circuit de génération de signal 30b.

20 Le second circuit de génération de signal 30b reçoit des signaux en provenance des circuits de retard 10e et 10f, génère un signal de détection de mode salve  $\phi_{burst}$ , lequel signal varie de la manière représentée sur la figure 13, et l'applique sur le circuit de remise à l'état initial 31. Le premier circuit de génération de signal 10g reçoit le signal  
25 en provenance du circuit de retard 10f et le signal de détection de mode salve  $\phi_{burst}$  en provenance du circuit de génération de signal 30b, génère un signal de commande et de remise à l'état initial  $\phi_{eq}$  qui varie de la manière représentée sur la figure 13 et l'applique sur le circuit de remise à l'état initial 31.

30 Par retour à la figure 11, le circuit de remise à l'état initial 31 comprend un circuit de remise à l'état initial interne 21a et un circuit de commande 31b. Le circuit de commande 31b inclut un circuit NON-ET 32 qui est connecté au circuit NON-ET 13. Le circuit NON-ET 32 reçoit

le signal de détection de mode salve  $\phi_{burst}$  et un signal de commutation  $\phi_{we}$ , il génère un signal conformément aux signaux  $\phi_{burst}$  et  $\phi_{we}$  et il l'applique sur le circuit NON-ET 13. Le circuit NON-ET 13 reçoit le signal de commande de remise à l'état initial  $\phi_{eq}$  et le signal  
5 en provenance du circuit NON-ET 32 et génère un signal de commande de remise à l'état initial  $\phi_{eqR}$  qui est représenté sur la figure 13.

Le signal de commande de remise à l'état initial  $\phi_{eqR}$  est inversé par le circuit d'inverseur 22 avant qu'il ne soit appliqué sur la  
10 grille du transistor NMOS Q11. Le signal de commande de remise à l'état initial  $\phi_{eqR}$  est également appliqué sur les grilles des transistors PMOS Q14 et Q15. Les transistors Q11, Q14 et Q15 sont tous rendus passants ou activés en réponse à un signal de commande de remise à l'état initial de niveau bas  $\phi_{eqR}$ , ce qui rend les potentiel des bus de  
15 données DB, /DB égaux au niveau de l'alimentation de potentiel haut Vdd.

Par report à la figure 13, le signal de commande de remise à l'état initial  $\phi_{eqR}$  est établi à un niveau H lorsque le signal de commutation  $\phi_{we}$  est à un niveau H (l'opération d'écriture) et que le  
20 signal de détection de mode salve  $\phi_{burst}$  est à un niveau H (le mode salve). En d'autres termes, le signal de commande de remise à l'état initial  $\phi_{eqR}$  est établi à un niveau H pendant l'opération d'écriture en salve. Pendant des intervalles autres que l'opération de mode salve (c'est-à-dire l'opération d'écriture normale et l'opération de lecture), le  
25 signal de commande de remise à l'état initial  $\phi_{eqR}$  varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$ .

Comme représenté sur la figure 13, lorsque le dispositif de mémoire à semiconducteur 120 entre dans l'opération d'écriture en  
30 réponse à la commande d'écriture, le circuit de remise à l'état initial 31 reçoit un signal de commutation de niveau haut  $\phi_{we}$ .

Lorsque l'opération d'écriture est une opération d'écriture normale, le circuit de commande 31b reçoit un signal de détection de

mode salve de niveau bas  $\phi_{burst}$  et applique le signal de commande de remise à l'état initial  $\phi_{eqR}$ , lequel signal varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$ , sur le circuit de remise à l'état initial interne 21a. Par conséquent, pendant  
5 l'intervalle d'opération d'écriture normale, le circuit de commande 31b force le circuit de remise à l'état initial interne 21a à réaliser une opération de remise à l'état initial en réponse au signal de commande de remise à l'état initial  $\phi_{eqR}$ , ce qui rend les potentiels sur les bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut  
10 Vdd.

Lorsque l'opération d'écriture est une opération d'écriture en salve, le circuit de commande 31b reçoit un signal de détection de mode salve de niveau haut  $\phi_{burst}$  et un signal de commutation de niveau haut  $\phi_{we}$  et applique un signal de commande de remise à l'état initial de niveau haut  $\phi_{eqR}$  sur le circuit de remise à l'état initial interne  
15 21a indépendamment du signal de commande de remise à l'état initial  $\phi_{eq}$ . Par conséquent, pendant l'intervalle d'opération d'écriture en salve, le circuit de commande 31b invalide le circuit de remise à l'état initial interne 21a en rendant bloqués ou en désactivant tous les  
20 transistors Q11, Q14 et Q15. De cette manière, l'opération de remise à l'état initial n'est pas réalisée par le circuit de remise à l'état initial 21a pendant l'opération d'écriture en salve.

Lorsque l'opération d'écriture en salve est terminée (ou lorsque le signal de détection de mode salve  $\phi_{burst}$  passe à un niveau bas) et  
25 que le signal de commande de remise à l'état initial  $\phi_{eq}$  passe à un niveau haut, le signal de commande de remise à l'état initial  $\phi_{eqR}$  est établi à un niveau L. En réponse au signal de commande de remise à l'état initial de niveau bas  $\phi_{eqR}$ , le circuit de commande 31b force le circuit de remise à l'état initial 21a à réaliser une opération de remise à  
30 l'état initial, ce qui rend les potentiels des bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut Vdd. Par conséquent, l'opération de remise à l'état initial est réalisée avant l'opération de lecture.

Lorsque le dispositif de mémoire à semiconducteur 120 réalise l'opération de lecture en réponse à la commande de lecture, le circuit de commande 31b reçoit un signal de commutation de niveau bas  $\phi_{we}$  et applique le signal de commande de remise à l'état initial  $\phi_{eqR}$ , lequel  
5 signal varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$ , sur le circuit de remise à l'état initial 21a, indépendamment du signal de détection de mode salve  $\phi_{burst}$ . Par conséquent, pendant l'intervalle d'opération de lecture, le circuit de commande 31b force le circuit de remise à l'état initial 21a à réaliser  
10 une opération de remise à l'état initial en réponse au signal de commande de remise à l'état initial  $\phi_{eqR}$ , ce qui rend les potentiels sur les bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut Vdd.

Comme mentionné ci-avant, le circuit de remise à l'état initial 31  
15 ne réalise pas une opération de remise à l'état initial pendant l'opération d'écriture en salve. Pendant l'opération d'écriture normale et pendant l'opération de lecture, le circuit de remise à l'état initial 21a rend les potentiels sur les bus de données DB, /DB égaux au niveau de la tension d'alimentation Vdd, ce qui réduit la consommation d'énergie  
20 pendant l'opération d'écriture en salve.

En outre, une opération de remise à l'état initial est réalisée suite à la fin de l'opération d'écriture en salve ou après que le signal de détection de mode salve  $\phi_{burst}$  passe au niveau bas. En d'autres termes, l'opération de remise à l'état initial est réalisée avant l'opération  
25 de lecture, ce qui réduit le temps de commutation de l'opération de lecture. Par conséquent, la consommation d'énergie est réduite et la vitesse de fonctionnement est augmentée dans le dispositif de mémoire à semiconducteur 120.

(Cinquième mode de réalisation)

30 Par report aux figures 14 à 16, un dispositif de mémoire à semiconducteur 130 selon un cinquième mode de réalisation de la présente invention sera décrit. Le dispositif de mémoire à

semiconducteur 130 peut réaliser une opération de transfert en salve et une opération de masquage d'écriture.

Comme représenté sur la figure 14, le dispositif de mémoire à semiconducteur 130 comprend un circuit de remise à l'état initial 41 et un décodeur de commande 40 incluant un circuit de commande 40a. Le circuit de remise à l'état initial 41 inclut le circuit de remise à l'état initial 21a et un circuit de commande 41b.

Le décodeur de commande 40 reçoit un signal de détection de mode masquage MASK et les signaux CLK, RAS, CAS et WE et génère un signal de commutation  $\phi_{we}$ , un signal de commande de remise à l'état initial  $\phi_{eq}$ , un signal de détection de mode salve  $\phi_{burst}$  et un signal de détection de mode masquage  $\phi_{mask}$ . Comme représenté sur la figure 15, par comparaison avec le circuit de commande 30a de la figure 12, le circuit de commande 40a inclut également un circuit de bascule bistable de type D 40b qui reçoit un signal de détection de mode masquage MASK. Le circuit de bascule bistable de type D 40b reçoit le signal de détection de mode masquage MASK qui est appliqué sur sa borne d'entrée de données et un signal CLK qui est appliqué sur sa borne d'entrée d'horloge, il génère un signal de détection de mode masquage  $\phi_{mask}$  qui varie de la manière représentée sur la figure 16 et il l'applique sur le circuit de remise à l'état initial 41.

Par retour à la figure 14, le circuit de commande 41b comprend un circuit NON-ET à trois entrées 42 qui reçoit le signal de détection de mode salve  $\phi_{burst}$ , le signal de commutation  $\phi_{we}$  et le signal de détection de mode masquage  $\phi_{mask}$  qui est inversé par un inverseur 43. Le circuit NON-ET 42 reçoit le signal de commande de remise à l'état initial  $\phi_{eq}$  et le signal en provenance du circuit NON-ET 43 et génère le signal de commande de remise à l'état initial  $\phi_{eqR}$ , comme représenté sur la figure 16.

Le signal de commande de remise à l'état initial  $\phi_{eqR}$  est inversé par un circuit d'inverseur 22 avant qu'il ne soit appliqué sur la grille du transistor NMOS Q11 et il est également directement appliqué

sur les grilles des transistors PMOS Q14 et Q15. Les transistors Q11, Q14 et Q15 sont tous rendus passants ou activés en réponse au signal de commande de remise à l'état initial  $\phi_{eqR}$ , ce qui rend les bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut  
5 Vdd.

Par report à la figure 16, le signal de commande de remise à l'état initial  $\phi_{eqR}$  est établi à un niveau H lorsque le signal de commutation  $\phi_{we}$  est à un niveau H (l'opération d'écriture), que le signal de détection de mode salve  $\phi_{burst}$  est à un niveau H (le mode  
10 salve) et que le signal de détection de mode masquage  $\phi_{mask}$  est à un niveau L (cas autres que le mode masquage). En d'autres termes, le signal de commande de remise à l'état initial  $\phi_{eqR}$  est établi à un niveau H pendant l'opération d'écriture en salve à l'exception de pendant l'opération de masquage d'écriture. Pendant l'opération  
15 d'écriture normale, l'opération de masquage d'écriture et l'opération de lecture, le signal de commande de remise à l'état initial  $\phi_{eqR}$  varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$ .

Lorsque le dispositif de mémoire à semiconducteur 130 réalise l'opération d'écriture en réponse à la commande d'écriture, comme  
20 représenté sur la figure 16, le circuit de remise à l'état initial 41 reçoit un signal de commutation de niveau haut  $\phi_{we}$ .

Lorsque l'opération d'écriture est une opération d'écriture normale, le circuit de commande 41b reçoit un signal de détection de mode salve de niveau bas  $\phi_{burst}$  et applique le signal de commande de  
25 remise à l'état initial  $\phi_{eqR}$ , lequel signal varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$ , sur le circuit de remise à l'état initial 21a. Par conséquent, pendant l'opération d'écriture normale, le circuit de remise à l'état initial 21a réalise une  
30 opération de remise à l'état initial en réponse au signal de commande de remise à l'état initial  $\phi_{eqR}$ , ce qui rend les potentiels sur les bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut Vdd.

Lorsque l'opération d'écriture est une opération d'écriture en salve, le circuit de commande 41b reçoit un signal de détection de mode salve de niveau haut  $\phi_{burst}$  et un signal de commutation de niveau haut  $\phi_{we}$  et applique un signal de commande de remise à l'état initial de niveau haut  $\phi_{eqR}$  sur le circuit de remise à l'état initial 21a, indépendamment du signal de commande de remise à l'état initial  $\phi_{eq}$ . Par conséquent, pendant l'opération d'écriture en salve, le circuit de commande 41b invalide le circuit de remise à l'état initial 21a en désactivant ou en rendant bloqués les transistors Q11, Q14 et Q15. De cette manière, le circuit de remise à l'état initial 21a ne réalise pas une opération de remise à l'état initial pendant l'opération d'écriture en salve.

Lorsque le mode opération d'écriture en salve se décale sur le mode opération de masquage d'écriture, le circuit de commande 41b reçoit un signal de détection de mode masquage de niveau haut  $\phi_{mask}$  et applique le signal de commande de remise à l'état initial  $\phi_{eqR}$  qui varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$  sur le circuit de remise à l'état initial 21a. Par conséquent, pendant l'opération de masquage d'écriture, le circuit de remise à l'état initial 21a réalise une opération de remise à l'état initial en réponse au signal de commande de remise à l'état initial  $\phi_{eqR}$ , ce qui rend les potentiels sur les bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut Vdd. C'est-à-dire qu'une opération de remise à l'état initial est réalisée avant l'opération de lecture.

Lorsque le dispositif de mémoire à semiconducteur 130 se décale dans l'opération de lecture depuis l'opération de masquage d'écriture en réponse à la commande lecture, le circuit de commande 41b reçoit un signal de commutation de niveau bas  $\phi_{we}$  et applique le signal de commande de remise à l'état initial  $\phi_{eqR}$ , lequel signal varie de la même manière que le signal de commande de remise à l'état initial inversé  $\phi_{eq}$ , sur le circuit de remise à l'état initial 21a indépendamment du signal de détection de mode salve  $\phi_{burst}$ . Par

conséquent, pendant l'opération de lecture, le circuit de remise à l'état initial 21a réalise une opération de remise à l'état initial en réponse au signal de commande de remise à l'état initial  $\phi_{eqR}$ , ce qui rend les potentiels sur les bus de données DB, /DB égaux au niveau de l'alimentation de potentiel haut Vdd.

Comme mentionné ci-avant, le circuit de remise à l'état initial 41 ne réalise pas une opération de remise à l'état initial pendant l'opération d'écriture en salve à l'exception de lorsque l'on est dans le mode masquage d'écriture. Le circuit de remise à l'état initial 21a rend les potentiels sur les bus de données DB, /DB égaux au niveau de la tension d'alimentation Vdd pendant l'opération d'écriture normale, l'opération de masquage d'écriture et l'opération de lecture. La consommation d'énergie qui est réalisée pendant l'opération d'écriture en salve est réduite.

En outre, l'opération de remise à l'état est réalisée après la fin de l'opération de masquage d'écriture ou après que le signal de détection de mode masquage  $\phi_{mask}$  passe au niveau haut. En d'autres termes, l'opération de remise à l'état initial précède l'opération de lecture, ce qui réduit le temps de commutation sur l'opération de lecture. Par conséquent, une réduction de la consommation d'énergie et une augmentation de la vitesse de fonctionnement sont obtenues dans le dispositif de mémoire à semiconducteur 130.

Il doit apparaître à l'homme de l'art que la présente invention peut être mise en oeuvre selon de nombreuses autres formes spécifiques sans que l'on s'écarte ni de l'esprit, ni du cadre de l'invention. Plus particulièrement, il doit être bien entendu que l'invention peut être mise en oeuvre selon les formes qui suivent.

La tension de précharge n'est pas limitée au niveau de l'alimentation de potentiel haut Vdd mais elle peut être choisie de manière à être égale au niveau d'une alimentation de potentiel bas (Vss). Lorsqu'une tension de précharge est choisie de manière à être égale au niveau de l'alimentation de potentiel haut Vdd, les portes de transfert 2a à 3c formées par des transistors NMOS sont utilisées.

Lorsque la tension de précharge est choisie de manière à être égale au niveau de l'alimentation de potentiel bas ( $V_{ss}$ ), les portes de transfert formées par des transistors PMOS sont de préférence utilisées. Ceci améliore l'efficacité de la mobilité des électrons ou des trous positifs

5 des portes de transfert.

Les présents exemples des présents modes de réalisation doivent être considérés à titre d'illustration et non pas en tant que limitation et l'invention n'a pas à être limitée aux détails présentés ici mais elle peut être modifiée dans le cadre et les équivalents des

10 revendications annexées.

## REVENDEICATIONS

1. Dispositif de mémoire à semiconducteur comprenant une paire de bus de données (DB, /DB), caractérisé par :
  - un premier circuit de remise à l'état initial (11a) connecté entre les bus de données de la paire de bus de données pour remettre à l'état initial les bus de données à un premier potentiel ;
  - un second circuit de remise à l'état initial (11b) connecté entre les bus de données de la paire de bus de données pour remettre à l'état initial les bus de données à un second potentiel ; et
  - un circuit de commande (11c) connecté aux premier et second circuits de remise à l'état initial, pour activer le premier circuit de remise à l'état initial et pour désactiver le second circuit de remise à l'état initial avant une opération d'écriture, le circuit de commande désactivant le premier circuit de remise à l'état initial et activant le second circuit de remise à l'état initial avant une opération de lecture.
2. Dispositif selon la revendication 1, caractérisé en ce que le premier potentiel est établi à environ la moitié d'une tension d'alimentation de potentiel haut et le second potentiel est établi à soit la tension d'alimentation de potentiel haut, soit une tension d'alimentation de potentiel bas.
3. Dispositif selon la revendication 2, caractérisé en ce que le second potentiel est établi à la tension d'alimentation de potentiel haut.
4. Dispositif selon la revendication 1, caractérisé en ce que le premier circuit de remise à l'état initial inclut une première paire de transistors MOS (Q12, Q13) d'un premier type de conductivité connectés en série entre les bus de données de la paire de bus de données, le premier potentiel étant appliqué sur un noeud entre la première paire de transistors MOS ; et en ce que le second circuit de remise à l'état initial inclut une seconde paire de transistors MOS (Q14, Q15) d'un second type de conductivité connectés en série entre les bus

de données de la paire de bus de données, le second potentiel étant appliqué sur un noeud entre la seconde paire de transistors MOS.

5. Dispositif selon la revendication 4, caractérisé en ce que le circuit de commande applique un premier signal de commande de remise à l'état initial sur la première paire de transistors MOS et un second signal de commande de remise à l'état initial sur la seconde paire de transistors MOS.

6. Dispositif selon la revendication 1, caractérisé en ce que le premier potentiel est établi à environ la moitié d'une tension de précharge et le second potentiel est établi à la tension de précharge.

7. Dispositif selon la revendication 6, caractérisé en ce que la tension de précharge est soit une tension d'alimentation de potentiel haut, soit une tension d'alimentation de potentiel bas.

8. Dispositif selon la revendication 1, caractérisé en ce que le second circuit de remise à l'état initial réalise une opération de remise à l'état initial initiale lorsque le dispositif de mémoire à semiconducteur est mis en route.

9. Dispositif de mémoire à semiconducteur comprenant une paire de bus de données (DB, /DB), caractérisé par :

un circuit de remise à l'état initial (21a) connecté entre les bus de données de la paire de bus de données pour remettre à l'état initial les bus de données à soit une tension d'alimentation de potentiel haut, soit une tension d'alimentation de potentiel bas ; et

un circuit de commande (21b) connecté au circuit de remise à l'état initial pour activer le circuit de remise à l'état initial avant une opération de lecture et pour désactiver le circuit de remise à l'état initial lorsqu'une opération d'écriture est réalisée.

10. Dispositif selon la revendication 9, caractérisé en ce que le circuit de remise à l'état initial remet à l'état initial les bus de données à la tension d'alimentation de potentiel haut.

11. Dispositif selon la revendication 9, caractérisé en ce que le circuit de remise à l'état initial inclut une paire de transistors MOS (Q14, Q15) connectés en série entre les bus de données de la paire de bus

de données et soit la tension d'alimentation de potentiel haut, soit la tension d'alimentation de potentiel bas est appliquée sur un noeud entre la paire de transistors MOS.

5 12. Dispositif selon la revendication 11, caractérisé en ce que le circuit de commande applique un signal de commande de remise à l'état initial sur la paire de transistors MOS.

13. Dispositif selon la revendication 9, caractérisé en ce que le circuit de remise à l'état initial réalise une opération de remise à l'état initial après la fin d'une opération d'écriture en salve.

10 14. Dispositif selon la revendication 9, caractérisé en ce que le circuit de remise à l'état initial ne réalise pas une opération de remise à l'état initial lors d'une opération d'écriture en salve.

15 15. Dispositif selon la revendication 9, caractérisé en ce que le circuit de remise à l'état initial réalise une opération de remise à l'état initial après l'initiation d'une opération de masquage d'écriture.

16. Procédé de remise à l'état initial d'une paire de bus de données (DB, /DB) dans un dispositif de mémoire à semiconducteur incluant un premier circuit de remise à l'état initial (11a) connecté entre les bus de données pour remettre à l'état initial les bus de données à un premier potentiel et un second circuit de remise à l'état initial (11b) connecté entre les bus de données pour remettre à l'état initial les bus de données à un second potentiel,

caractérisé par les étapes de :

25 activation du premier circuit de remise à l'état initial et désactivation du second circuit de remise à l'état initial avant une opération d'écriture ; et

désactivation du premier circuit de remise à l'état initial et activation du second circuit de remise à l'état initial avant une opération de lecture.

30 17. Procédé selon la revendication 16, caractérisé en ce que le premier potentiel est établi à environ la moitié d'une tension d'alimentation de potentiel haut et le second potentiel est établi à soit la

tension d'alimentation de potentiel haut, soit une tension d'alimentation de potentiel bas.

18. Procédé selon la revendication 16, caractérisé en ce que le premier potentiel est établi à environ la moitié d'une tension de précharge et le second potentiel est établi à la tension de précharge.

19. Procédé selon la revendication 18, caractérisé en ce que la tension de précharge est soit une tension d'alimentation de potentiel haut, soit une tension d'alimentation de potentiel bas.

20. Procédé de remise à l'état initial d'une paire de bus de données (DB, /DB) dans un dispositif de mémoire à semiconducteur incluant un circuit de remise à l'état initial (21a) connecté entre les bus de données pour remettre à l'état initial les bus de données à soit une tension d'alimentation de potentiel haut, soit une tension d'alimentation de potentiel bas,

15 caractérisé par les étapes de :

activation du circuit de remise à l'état initial avant une opération de lecture ; et

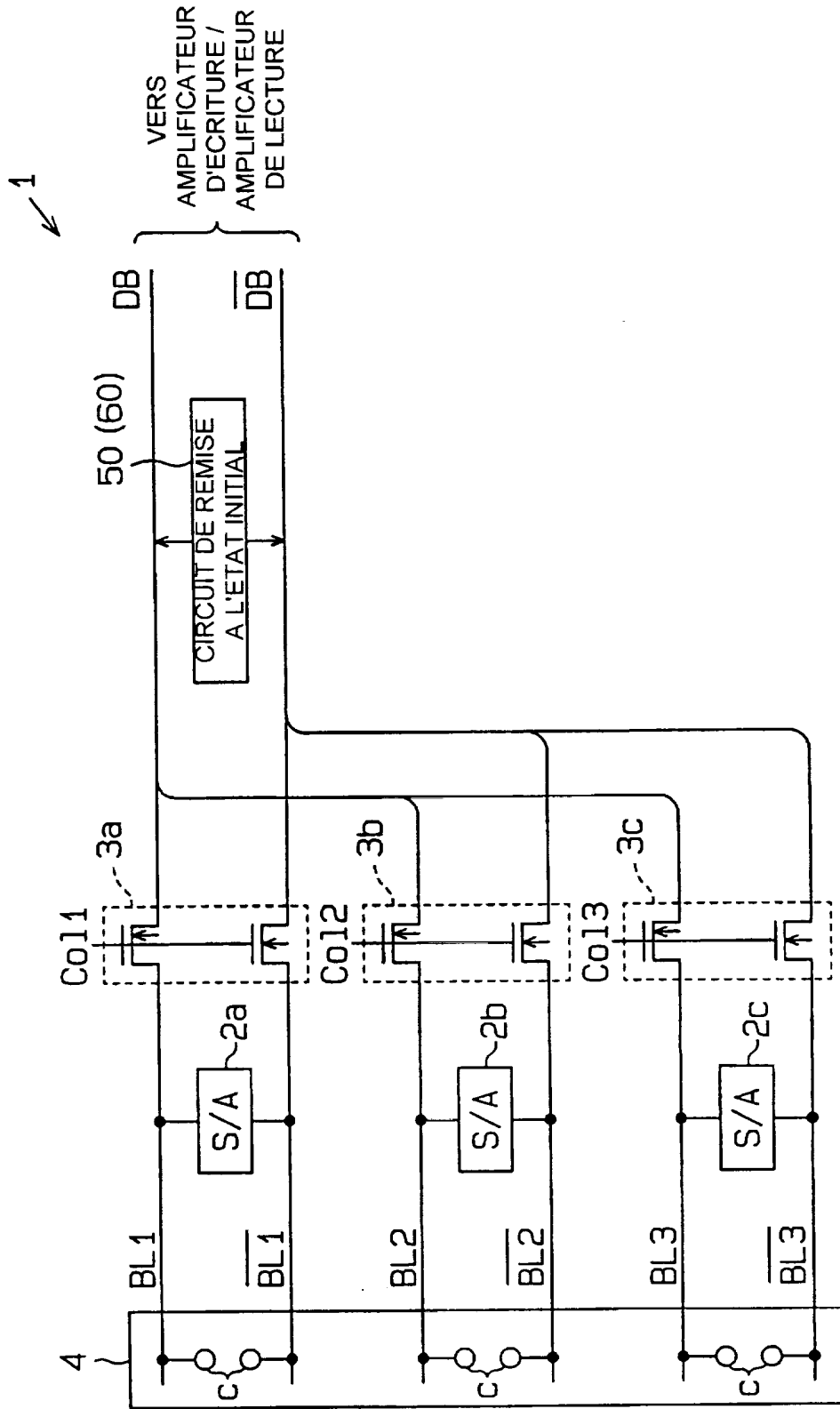
désactivation du circuit de remise à l'état initial lorsqu'une opération d'écriture est réalisée.

21. Procédé selon la revendication 20, caractérisé en ce que l'étape d'activation du circuit de remise à l'état initial inclut l'activation du circuit de remise à l'état initial après la fin d'une opération d'écriture en salve.

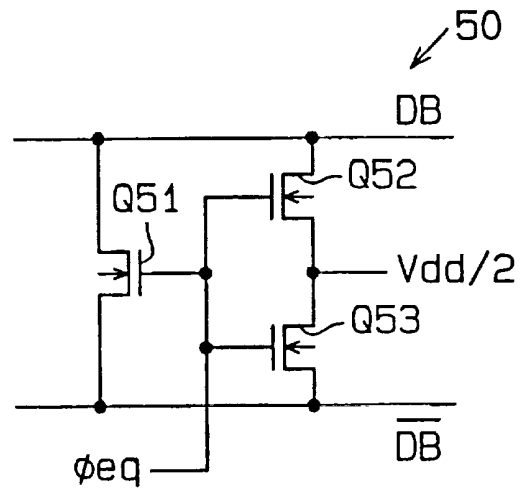
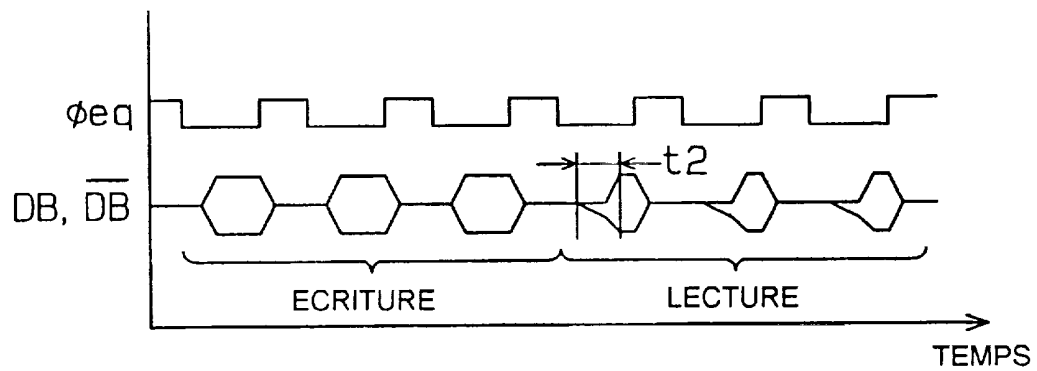
22. Procédé selon la revendication 20, caractérisé en ce que l'étape de désactivation du circuit de remise à l'état initial inclut la désactivation du circuit de remise à l'état initial pendant une opération d'écriture en salve.

23. Procédé selon la revendication 20, caractérisé en ce que l'étape d'activation du circuit de remise à l'état initial inclut l'activation du circuit de remise à l'état initial après l'initiation d'une opération de masquage d'écriture.

Fig.1



2/15

**Fig.2 (a)****Fig.2 (b)**

3/15

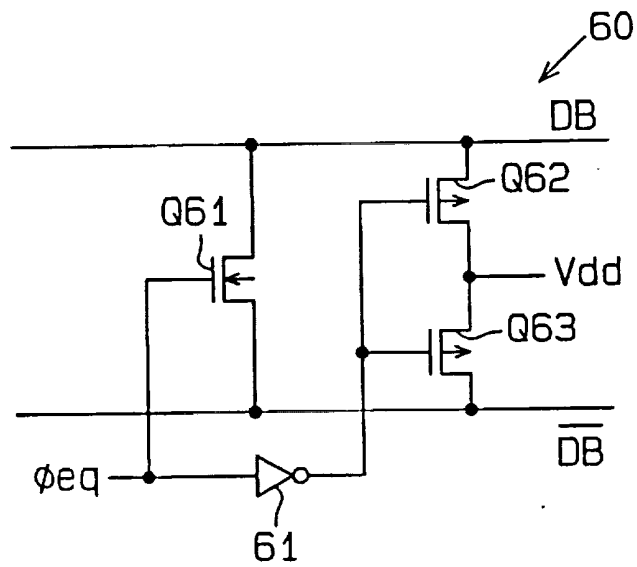
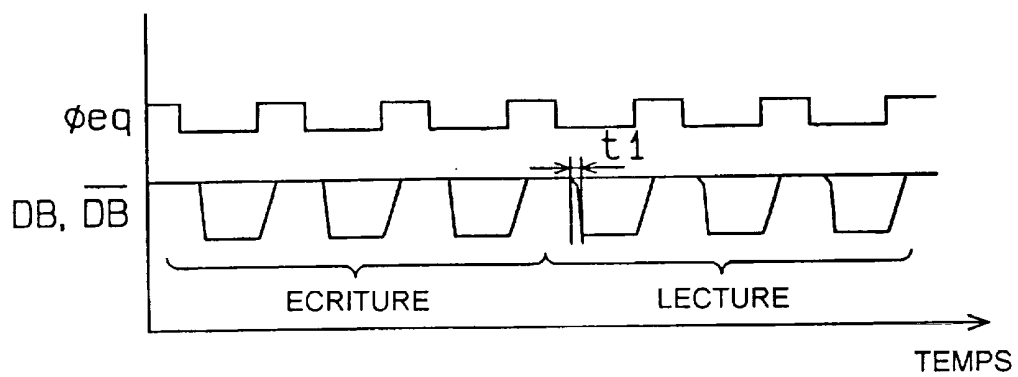
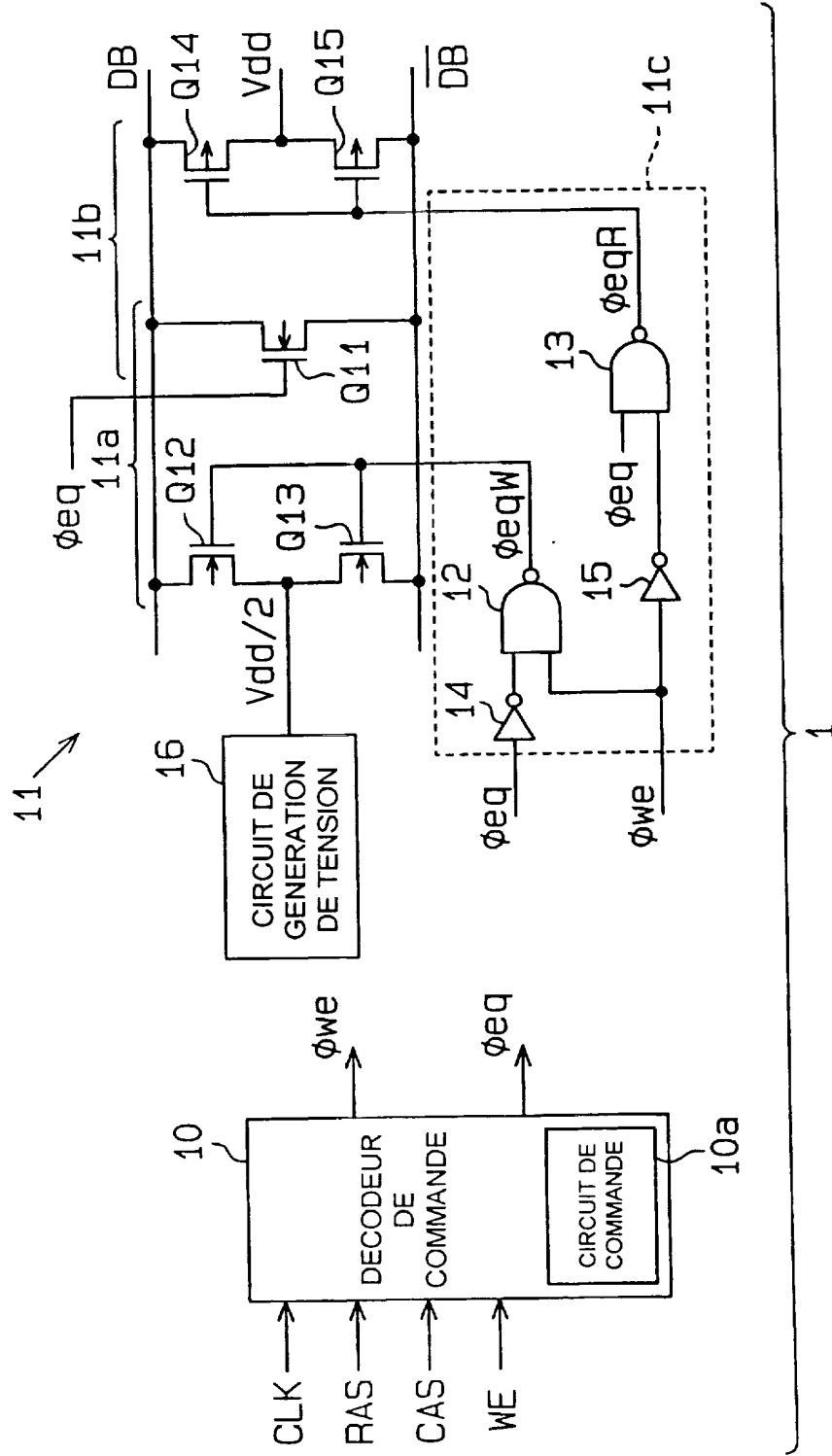
**Fig. 3(a)****Fig. 3(b)**

Fig. 4



5/15

Fig.5

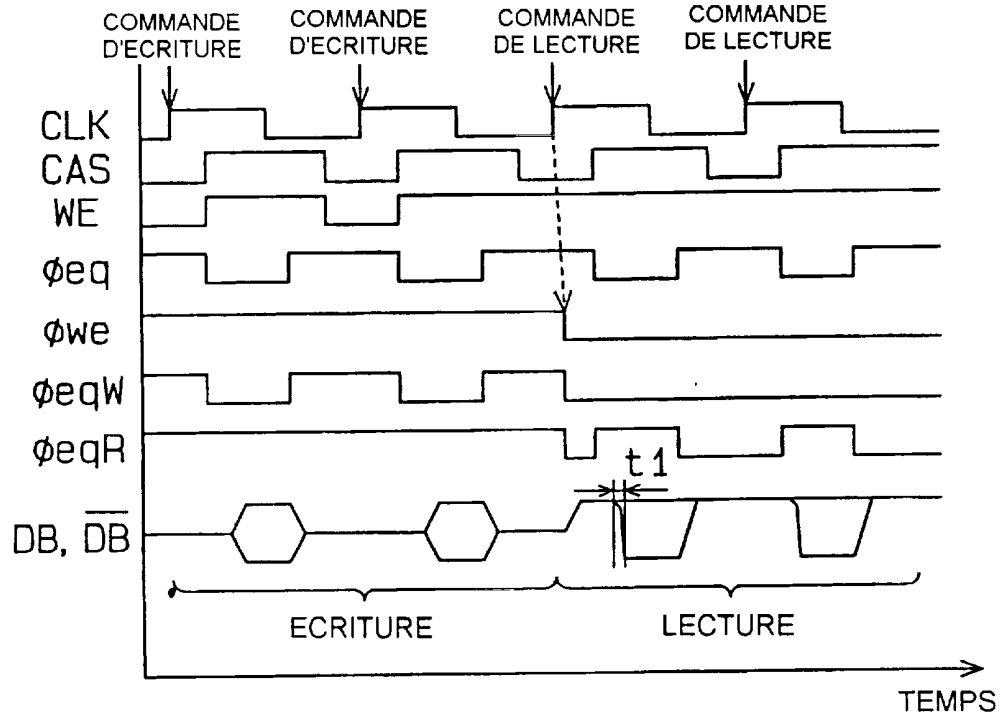


Fig.6

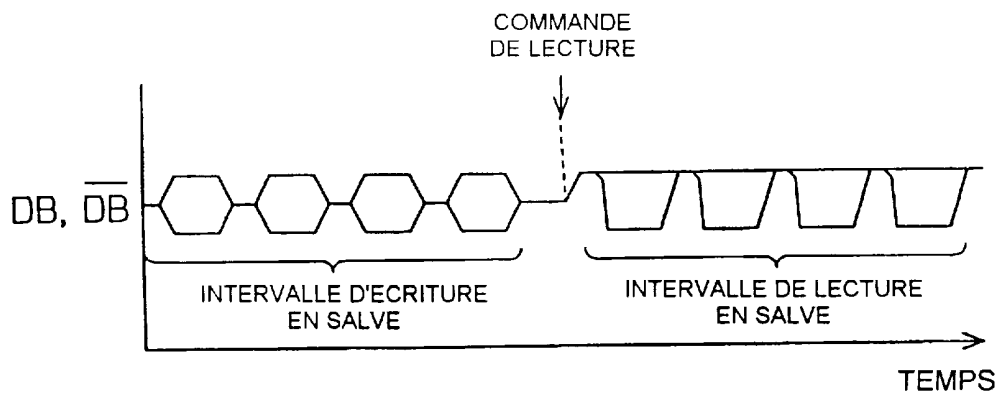


Fig.7

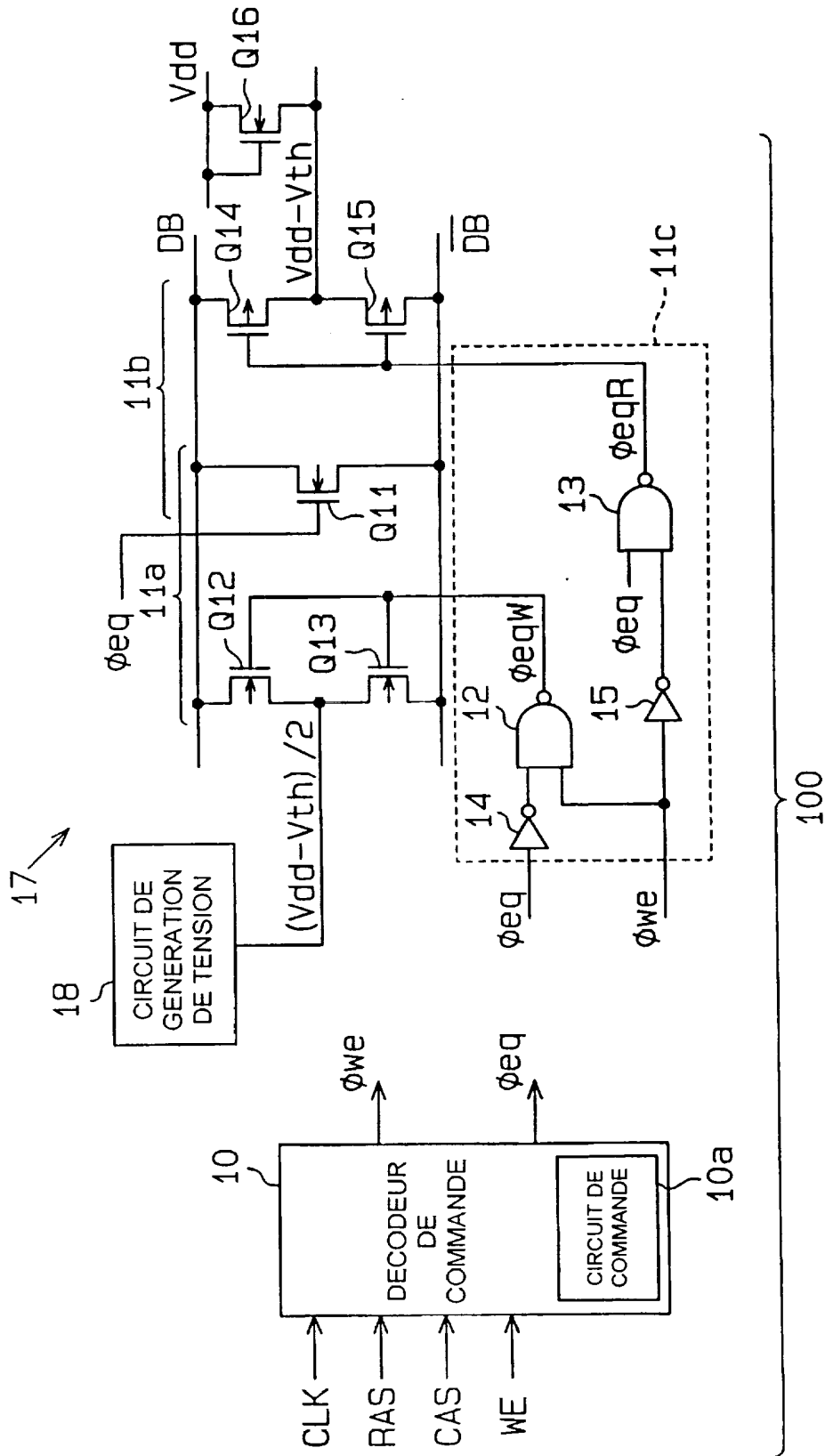
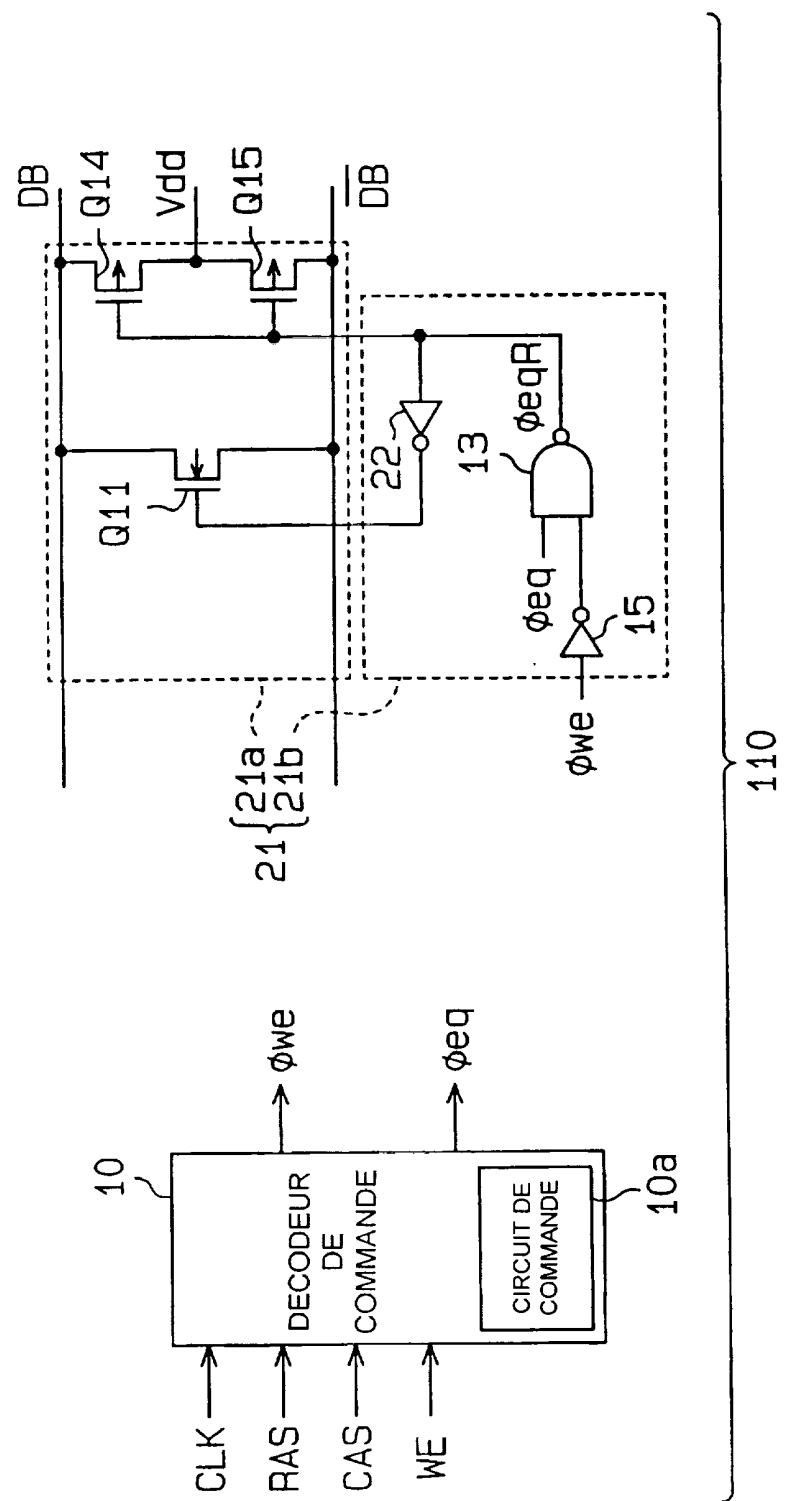
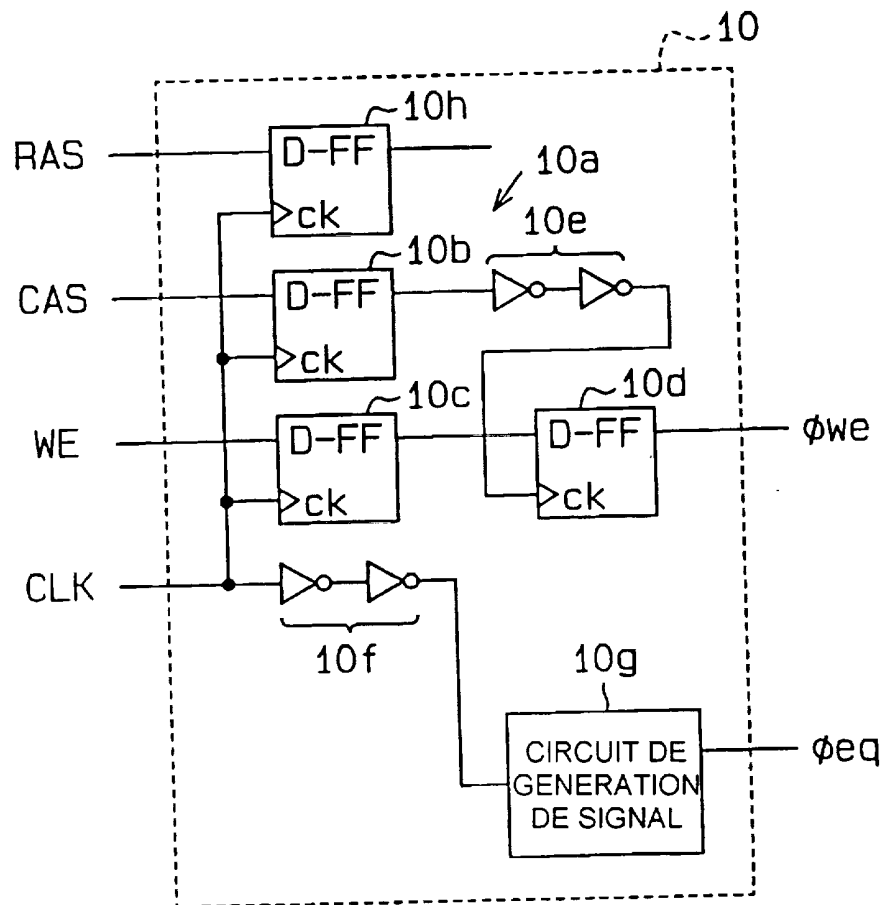


Fig. 8



8/15

Fig. 9



9/15

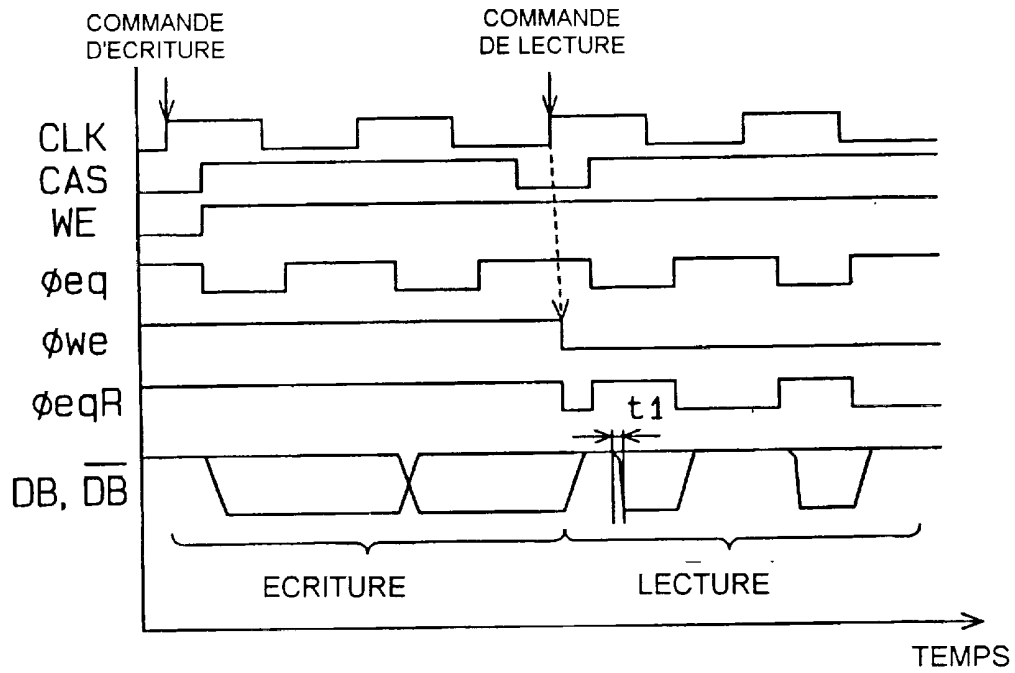
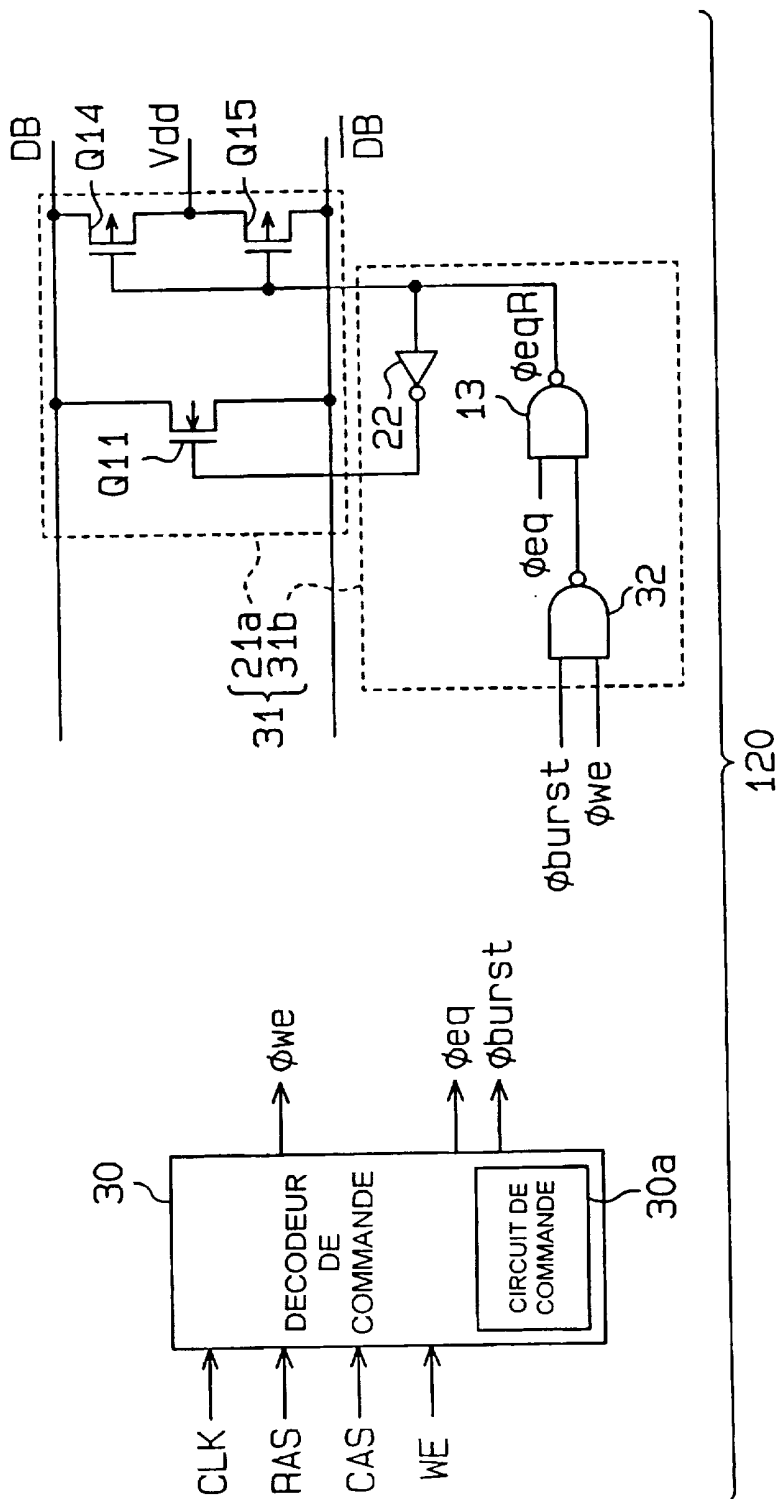
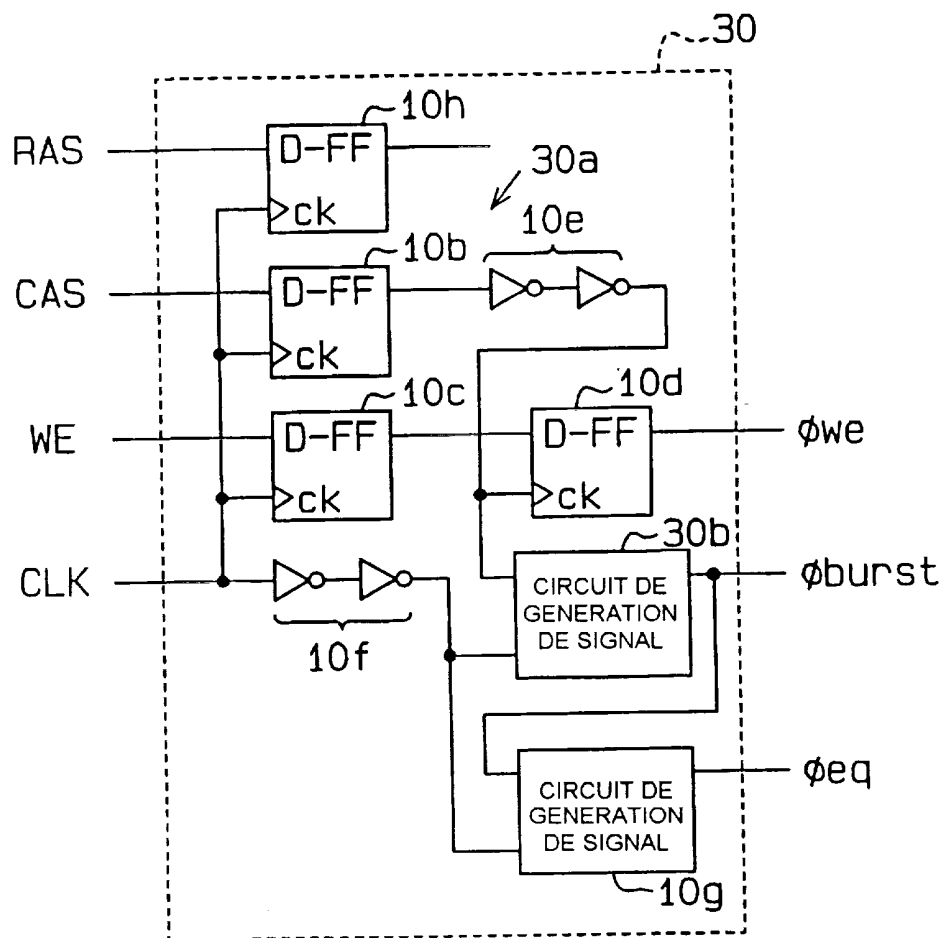
**Fig.10**

Fig.11



11/15

Fig.12



12 / 15

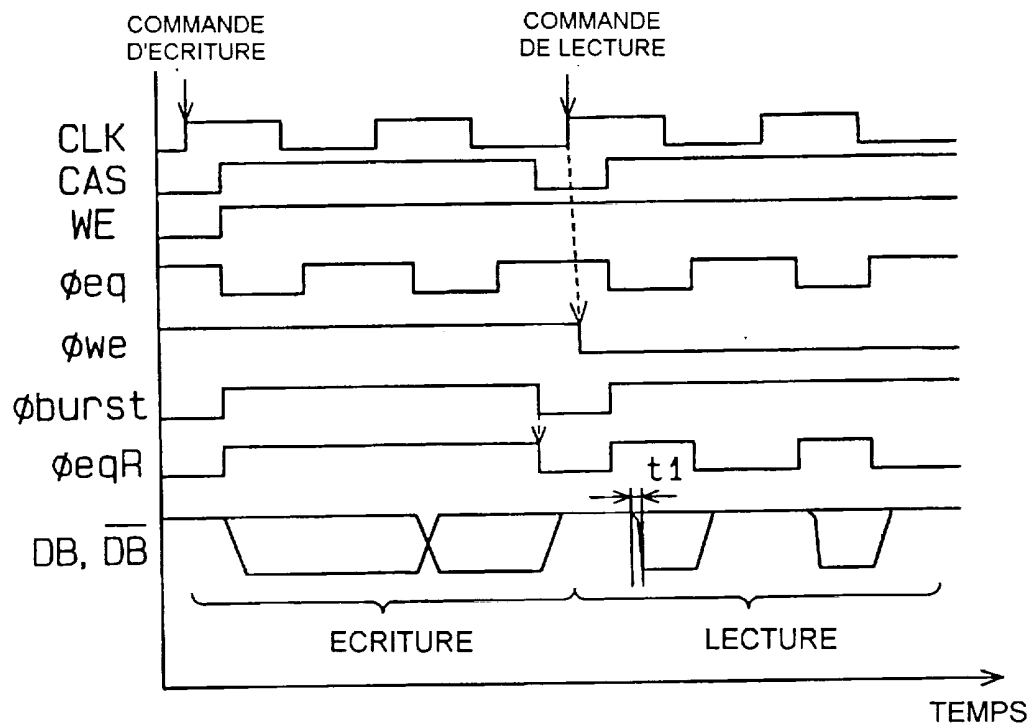
**Fig.13**

Fig.14

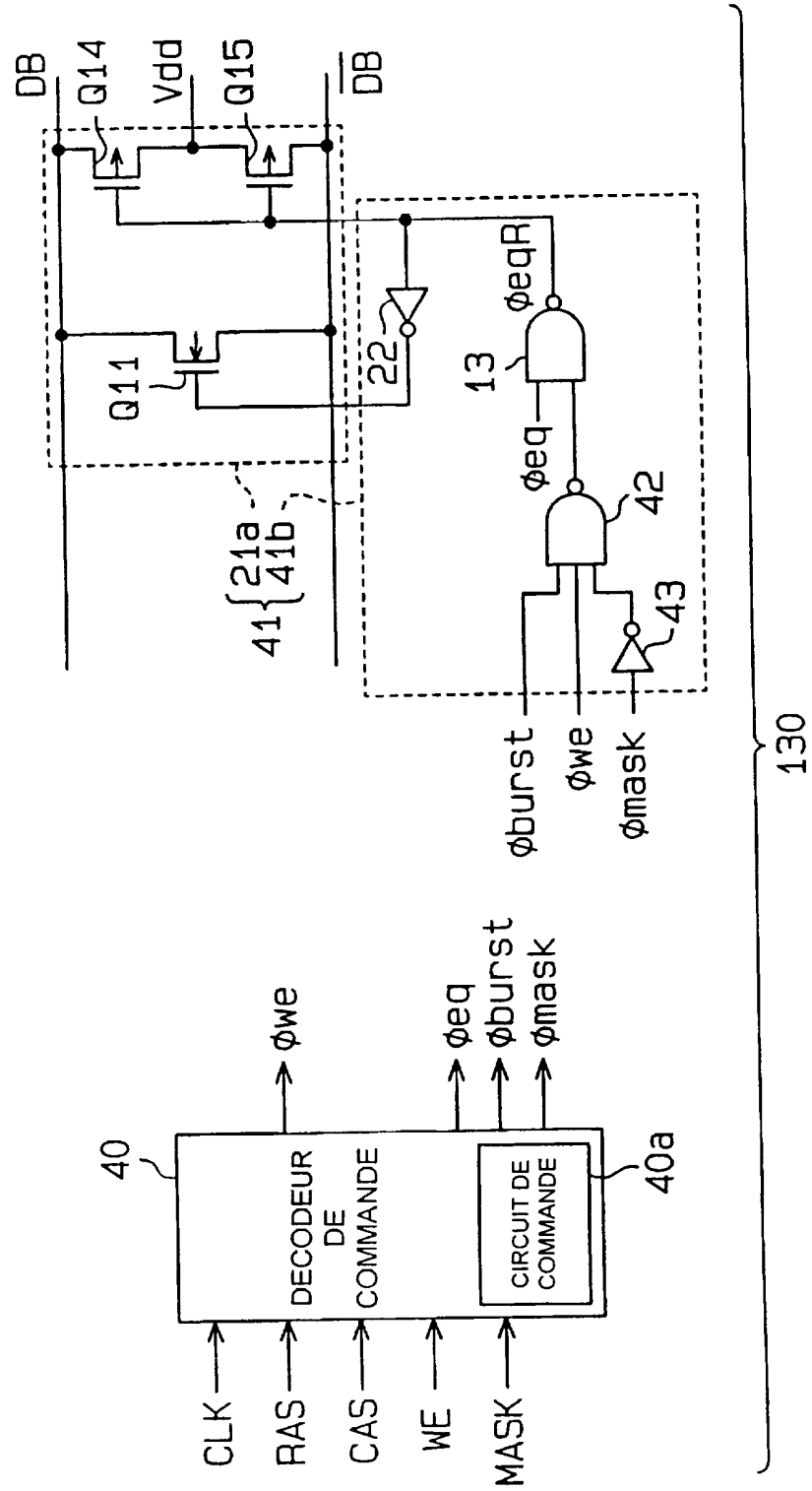
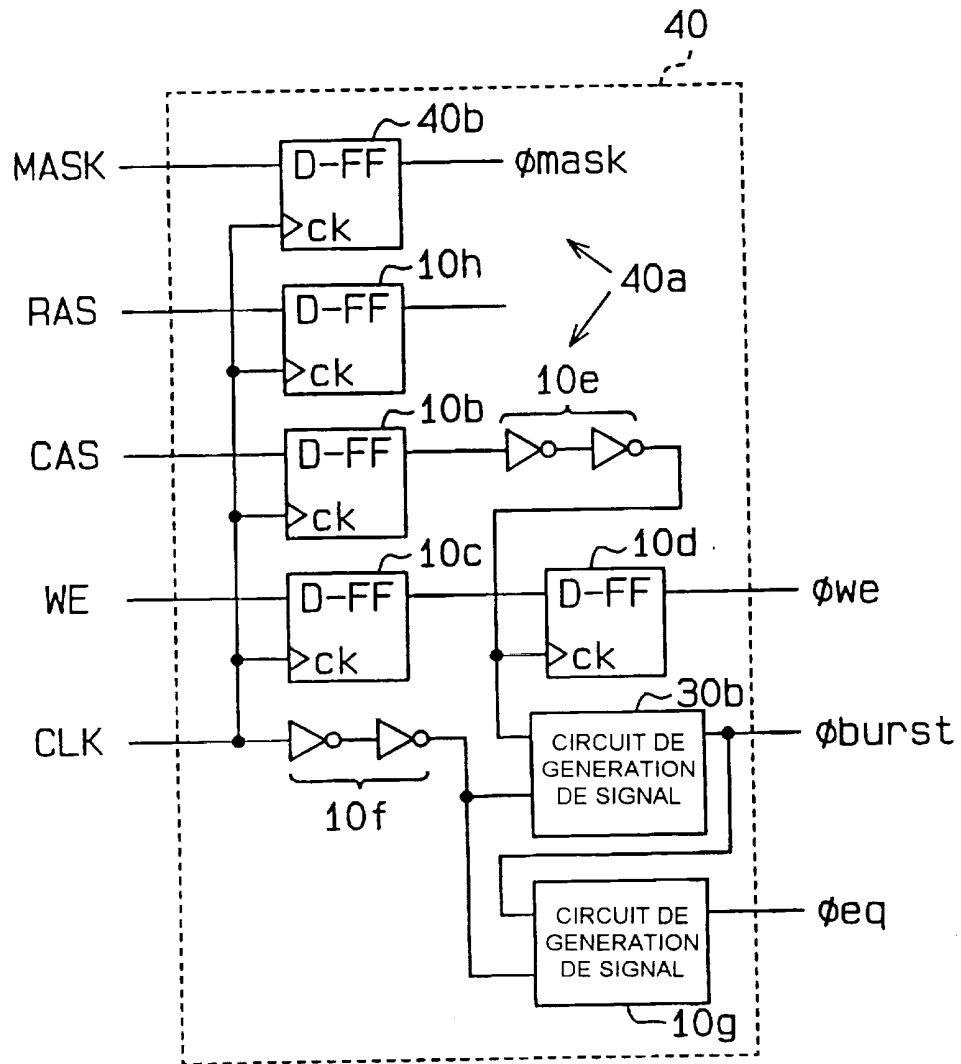


Fig. 15



**Fig.16**