(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/76

(11) 공개번호 특2000-0075301
(43) 공개일자 2000년12월15일

(21) 출원번호 10-1999-0019820
(22) 출원일자 1999년05월31일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 원대희
경기도이천시증포동대우2차아파트205-1806
(74) 대리인 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최종식, 특허법인 신성 박정후, 특허법인 신성 정지원

심사청구 : 없음

(54) 반도체 소자의 트렌치형 소자 분리막 형성방법

요약

본 발명은 반도체 기술에 관한 것으로, 특히 소자간의 전기적 분리를 위한 소자 분리막 형성 공정에 관한 것이며, 더 자세히는 트렌치형 소자 분리막 형성방법에 관한 것이다. 본 발명은 트렌치 상부 모서리에 발생하는 모트에 의한 전계 집중 현상, 게이트 열화 및 게이트 전극 물질의 잔류를 방지할 수 있는 트렌치형 소자 분리막 형성방법을 제공하는데 그 목적이 있다. 본 발명은 트렌치 소자 분리 공정을 진행함에 있어서, 게이트 희생산화 공정 전 세정 등을 통해 패드 산화막을 제거한 상태에서 H_2 분위기에서의 열처리를 실시하여 트렌치 모서리 상부의 실리콘 기판을 라운드(round)지게 형성하는 기술이다.

대표도

도2g

색인어

트렌치, 소자분리, 수소, 열처리, 라운드

명세서

도면의 간단한 설명

도 1은 종래기술에 따라 형성된 필드 산화막 단면(게이트 산화막 성장 후)도.

도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 트렌치 소자분리 공정도.

도 3a는 열처리 전의 트렌치 프로파일을 나타낸 주사전자현미경(SEM) 사진.

도 3b는 80Torr 및 1050℃의 조건으로 60초 동안 열처리한 상태의 트렌치 프로파일을 나타낸 주사전자현미경 사진.

도 3c는 80Torr 및 950℃의 조건으로 30초 동안 열처리한 상태의 트렌치 프로파일을 나타낸 주사전자현미경 사진.

* 도면의 주요 부분에 대한 부호의 설명

20 : 실리콘 기판 21 : 패드 산화막

22 : 질화막 23 : 열산화막

24 : 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술에 관한 것으로, 특히 소자간의 전기적 분리를 위한 소자 분리막 형성 공정에 관한 것이며, 더 자세히는 트렌치형 소자 분리막 형성방법에 관한 것이다.

트렌치 소자분리(shallow trench isolation, STI) 공정은 반도체 소자의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인과, 버즈비크(bird's beak)에 따른 활성 영역의 감소와 같은 문제점을 근본적으로 해결할 수 있는 소자분리 공정으로 부각되고 있으며, 1G DRAM 또는 4G DRAM급 이상의 초고집적 반도체 소자 제조 공정에의 적용이 유망한 기술이다.

종래의 STI 공정은 실리콘 기판 상에 패드 산화막 및 질화막을 형성하고, 이를 선택 식각하여 트렌치 마스크를 형성한 다음, 패터닝된 질화막을 식각 마스크로 사용하여 실리콘 기판을 건식 식각함으로써 트렌치를 형성하고, 계속하여 일련의 트렌치 측벽 희생산화 공정(건식 식각에 의한 실리콘 표면의 식각 결함의 제거 목적) 및 트렌치 측벽 재산화 공정을 실시한 후, 트렌치 매립용 산화막을 증착하여 트렌치를 매립하고, 화학·기계적 연마(chemical mechanical polishing, CMP) 공정을 실시한 다음, 질화막 및 패드 산화막을 제거하여 소자 분리막을 형성하게 된다.

그런데, 이러한 종래의 트렌치 소자분리 공정에서는, 질화막 제거 공정 이후에 행해지는 습식 식각 과정에서 필드 산화막이 등방성 식각되어 활성 영역과 필드 영역의 계면 부분 즉, 필드 산화막 상부 모서리에서 필드 산화막이 활성 영역보다 낮아지는 모트(moat)가 발생하게 된다.

첨부된 도면 도 1은 종래기술에 따라 형성된 필드 산화막 단면(게이트 산화막 성장 후)을 도시한 것으로, 활성 영역과 필드 영역의 계면 부분에서 모트(A)가 발생한 상태를 나타내고 있다.

확대도를 참조하면, 모트(A)가 형성된 활성 영역 가장자리 부분의 실리콘 기판(10)의 프로파일이 매우 날카롭게 형성되어 있음을 알 수 있다. 이처럼 날카로운 프로파일을 가지는 부분에는 전계가 집중되고, 특히 모서리 부분의 게이트 산화막(12)이 상대적으로 얇아지기 때문에 강한 전계에 의한 게이트 산화막(12)의 열화 및 소자의 전기적 특성을 열화시키게 되는 문제점이 있었다.

뿐만 아니라, 날카로운 프로파일에 의해 후속 워드라인 패터닝을 위한 폴리실리콘(또는 다른 게이트 전극 물질) 식각시 모트(A) 내에 폴리실리콘이 잔류하게 되어 단락을 유발시키는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 트렌치 상부 모서리에 발생하는 모트에 의한 전계 집중 현상, 게이트 열화 및 게이트 전극 물질의 잔류를 방지할 수 있는 트렌치형 소자 분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명은 트렌치 소자 분리 공정을 진행함에 있어서, 게이트 희생산화 공정 전 세정 등을 통해 패드 산화막을 제거한 상태에서 H_2 분위기에서의 열처리를 실시하여 트렌치 모서리 상부의 실리콘 기판을 라운드(round)지게 형성하는 기술이다.

상기의 기술적 과제를 달성하기 위한 본 발명의 특징적인 트렌치형 소자 분리막 형성방법은, 실리콘 기판 상에 패드 산화막 및 산화방지막을 포함하는 산화방지막 패턴을 형성하는 제1 단계; 상기 제1 단계 수행 후, 노출된 상기 실리콘 기판을 식각하여 트렌치를 형성하는 제2 단계; 상기 트렌치 내에 절연물을 매립하는 제3 단계; 상기 산화방지막 및 상기 패드 산화막을 제거하는 제4 단계; 및 상기 제4 단계 수행 후, 수소(H_2) 분위기에서 열처리를 실시하여 상기 트렌치 상부 모서리 부분의 상기 실리콘 기판의 프로파일을 라운드지게 하는 제5 단계를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 설명한다.

첨부된 도면 도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 반도체 장치 제조 공정을 도시한 것으로, 이하 이를 참조하여 그 공정을 살펴본다.

우선, 도 2a에 도시된 바와 같이 실리콘 기판(20) 상에 열산화 방식의 패드 산화막(21)과 질화막(22)을 각각 50~200Å 및 1000~3000Å의 두께로 차례로 형성한다.

이어서, 도 2b에 도시된 바와 같이 소자분리 마스크(도시되지 않음)를 사용한 사진 식각 공정을 실시하여 질화막(22) 및 패드 산화막(21)을 차례로 선택 식각하여 산화 방지막 패턴을 형성하고, 패드 산화막(21) 및 질화막(22)으로 이루어진 산화 방지막 패턴을 식각장벽으로 하여 실리콘 기판(20)을 1500~4000Å 깊이로 건식 식각함으로써 트렌치를 형성한다.

계속하여, 도 2c에 도시된 바와 같이 트렌치 측벽 희생산화 공정을 실시하여 50~200Å 두께의 희생 열산화막(도시되지 않음)을 형성하고, 이를 습식 제거한 다음, 다시 트렌치 측벽 산화 공정을 실시하여 50~200Å 두께의 열산화막(23)을 형성한다.

이어서, 도 2d에 도시된 바와 같이 고밀도 플라즈마 화학기상증착 또는 O_3-TEOS(teraethylothosilicate)

방식의 산화막(24)으로 트렌치를 매립한다.

다음으로, 도 2e에 도시된 바와 같이 화학·기계적 연마(CMP) 공정을 실시하여 산화막(24)을 평탄화함으로써 질화막(22)이 노출되도록 한다.

이어서, 도 2f에 도시된 바와 같이 질화막(22)을 습식 제거하고, 희생산화 전 세정을 실시하여 패드 산화막(21)을 제거한다. 이때, 필드 영역과 활성 영역의 계면 부분 즉, 트렌치 상부 모서리에서 산화막(24)이 식각되어 모트가 형성되고, 실리콘 기판(20)의 모서리가 날카로운 프로파일을 가지게 된다.

계속하여, 도 2g에 도시된 바와 같이 H_2 분위기에서 열처리를 실시한다. 이때, H_2 열처리는 900~970℃의 고온 및 50~100Torr의 H_2 가스 압력하에서 10초~5분 동안 실시하는 것이 바람직하며, 이러한 H_2 열처리에 의해 실리콘 기판(20)의 모서리가 라운드(round)진 프로파일을 가지게 된다.

첨부된 도면 도 3a는 열처리 전의 트렌치 프로파일을 나타낸 주사전자현미경(SEM) 사진이며, 도 3b는 80Torr 및 1050℃의 조건으로 60초 동안 열처리한 상태의 트렌치 프로파일을 나타낸 주사전자현미경 사진이며, 도 3c는 80Torr 및 950℃의 조건으로 30초 동안 열처리한 상태의 트렌치 프로파일을 나타낸 주사전자현미경 사진이다.

각각의 경우, 트렌치의 프로파일이 2단으로 나타나 있는데 이는 산화방지막인 질화막 패턴에 의한 것이다. 도 3b 및 도 3c은 질화막 패턴이 존재하는 상태에서 H_2 열처리를 실시한 경우로서, 트렌치 하부 모서리의 프로파일이 완만하게 변화되었음을 확인할 수 있다.

H_2 열처리에 의해 실리콘 기판의 프로파일이 달라지는 메커니즘은 정확하게 밝혀지지 않았으나, 실리콘 기판의 부위에 따른 표면 에너지의 차에 기인한 것으로 판단된다. 즉, 상대적으로 표면 에너지가 높은 트렌치 상/하부 모서리 부분에서 수소와 실리콘의 반응에 의한 재결정화가 일어나는데 따른 것으로 판단된다.

이때, 도 3b와 같이 너무 높은 온도로 H_2 열처리를 실시할 경우, 패턴의 변형이 너무 과도해지므로 소자 특성에 악영향을 주게 된다. 또한, H_2 열처리 시간 또한 중요한 인자로서 온도에 따른 열처리 시간의 최적화가 요구된다. 도 3c의 경우, 최적화된 실리콘 프로파일을 나타내고 있으며, 전술한 본 발명의 일 실시예와 같이 패드 산화막 제거 후 H_2 열처리를 실시하더라도 트렌치 상부 모서리에서 라운드진 실리콘 프로파일을 얻을 수 있다.

이후, 게이트 산화막 형성 전 공정으로 게이트 희생산화 공정을 실시하여 희생산화막을 증착하고, BOE 용액을 사용하여 희생 산화막을 제거하고, 활성 영역에 게이트 산화막을 성장시킨다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

예컨대, 전술한 실시예에서는 게이트 희생산화 전 세정으로 패드 산화막을 제거하는 경우를 일례로 들어 설명하였으나, 패드 산화막의 제거를 게이트 희생산화 전 세정과 별도로 실시하는 경우에도 본 발명을 적용할 수 있다.

또한, 전술한 실시예에서는 패드 산화막/질화막 구조의 산화방지막 패턴을 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 다른 구조의 산화방지막 패턴을 사용하는 경우에도 적용할 수 있다.

발명의 효과

전술한 본 발명은 트렌치 모서리 부분에서 필드 산화막의 모트가 발생하더라도, 실리콘 기판의 프로파일을 라운드지게 형성함으로써 전계 집중 현상, 게이트 산화막 열화 및 게이트 전극 물질의 잔류에 의한 소자의 전기적 특성 열화를 방지하는 효과가 있다.

(57) 청구의 범위

청구항 1

실리콘 기판 상에 패드 산화막 및 산화방지막을 포함하는 산화방지막 패턴을 형성하는 제1 단계;

상기 제1 단계 수행 후, 노출된 상기 실리콘 기판을 식각하여 트렌치를 형성하는 제2 단계;

상기 트렌치 내에 절연물을 매립하는 제3 단계;

상기 산화방지막 및 상기 패드 산화막을 제거하는 제4 단계; 및

상기 제4 단계 수행 후, 수소(H_2) 분위기에서 열처리를 실시하여 상기 트렌치 상부 모서리 부분의 상기 실리콘 기판의 프로파일을 라운드지게 하는 제5 단계

를 포함하여 이루어진 트렌치형 소자 분리막 형성방법.

청구항 2

제1항에 있어서,

상기 제2 단계 수행 후,

트렌치 내벽에 희생산화막을 형성하는 제6 단계;

상기 희생산화막을 제거하는 제7 단계; 및

상기 트렌치 내벽을 따라 열산화막을 형성하는 제8 단계를 더 포함하여 이루어진 것을 특징으로 하는 트렌치형 소자 분리막 형성방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 제3 단계가,

상기 제2 단계 수행 후, 전체구조 상부에 상기 절연물을 증착하는 제9 단계와,

상기 산화방지막이 노출되도록 상기 절연물을 평탄화하는 제10 단계를 포함하여 이루어진 것을 특징으로 하는 트렌치형 소자 분리막 형성방법.

청구항 4

제1항에 있어서,

상기 열처리가,

50~100Torr의 H_2 압력하에서 실시되는 것을 특징으로 하는 트렌치형 소자 분리막 형성방법.

청구항 5

제4항에 있어서,

상기 열처리가,

900~970℃의 온도로 실시되는 것을 특징으로 하는 트렌치형 소자 분리막 형성방법.

청구항 6

제5항에 있어서,

상기 열처리가,

10초~5분 동안 실시되는 것을 특징으로 하는 트렌치형 소자 분리막 형성방법.

청구항 7

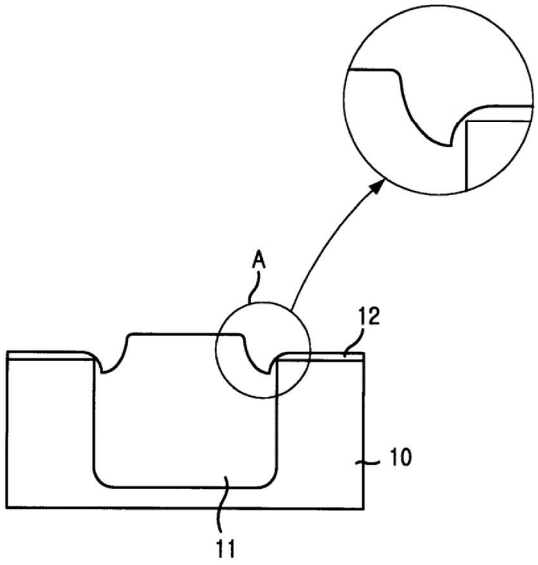
제1항, 제2항, 제4항, 제5항, 제6항 중 어느 한 항에 있어서,

상기 패드 산화막이,

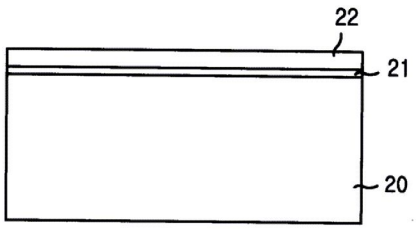
게이트 희생산화 전 세정에 의해 제거되는 것을 특징으로 하는 트렌치형 소자 분리막 형성방법.

도면

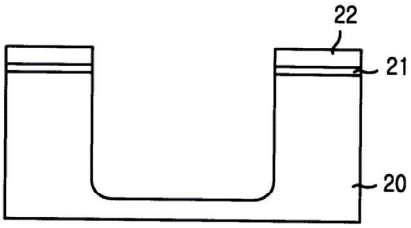
도면1



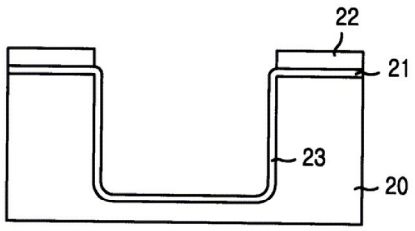
도면2a



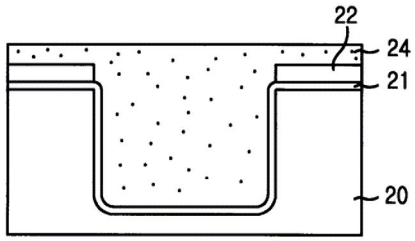
도면2b



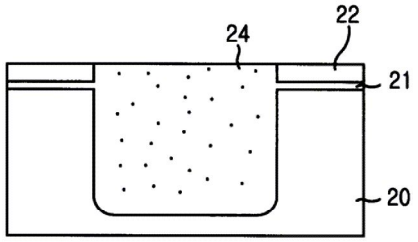
도면2c



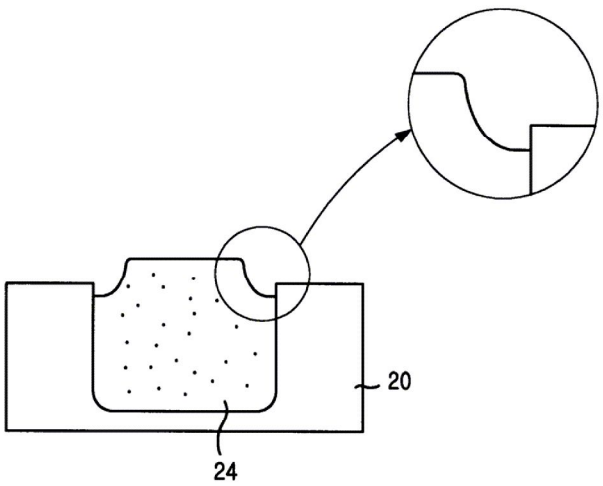
도면2d



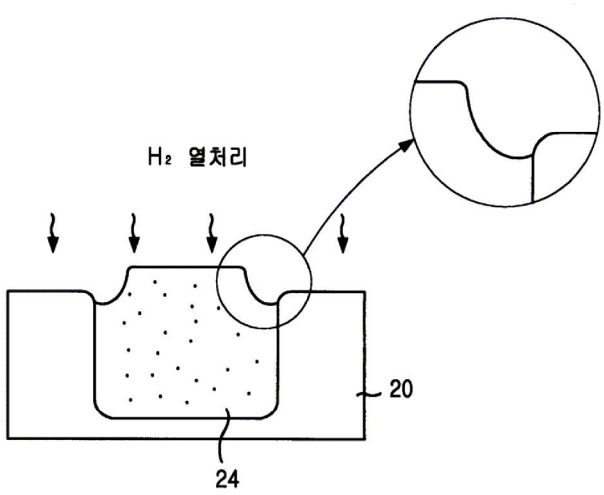
도면2e



도면2f

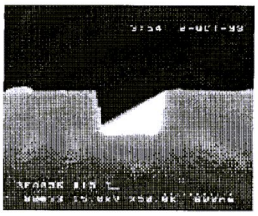


도면2g



도면3a

Anneal 전



도면3b

H_2, 80Torr, 1050℃, 60sec



도면3c

H_2, 80Torr, 950℃, 30sec

