

公告本

申請日期	91.5.2
案 號	91109129
類 別	G11C 8/08, 11/408

A4
C4

594788

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	用於半導體記憶裝置的字線驅動器
	英 文	WORD LINE DRIVER FOR A SEMICONDUCTOR MEMORY DEVICE
二、發明人	姓 名	1. 沈載潤 JAE-YOON SIM 2. 柳濟煥 JEI-HWAN YOO
	國 籍	1. 2. 均南韓 SOUTH KOREA
三、申請人	住、居所	1. 大韓民國京畿道水原市八達區靈通洞豐林APT 604棟 1302號 604-1302, POONGLIM APT., YOUNGTONG-DONG, PALDAL-GU, SUWON-CITY, KYUNGKI-DO, REP. OF KOREA 2. 大韓民國京畿道水原市勸善區勸善洞信友APT 703棟 201號 703-201, SINWOO APT., KWONSUN-DONG, KWONSUN-GU, SUWON-CITY, KYUNGKI-DO, REP. OF KOREA
	姓 名 (名稱)	韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
三、申請人	國 籍	南韓 SOUTH KOREA
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地 416, MAETAN-DONG, PALDAL-GU, SUWON-CITY, KYUNGKI-DO, REP. OF KOREA
三、申請人	代 表 人 姓 名	尹鍾龍 JONG-YONG YUN

A6
B6

國(地區) 申請專利, 申請日期: 案號: , ☐有 ☐無主張優先權

1.美國	2001 年 05 月 04 日	60/288,744	☒ 有	☐ 無主張優先權
2.美國	2001 年 07 月 09 日	09/901,785	☒ 有	☐ 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝訂線

五、發明說明 (1)

此項申請宣告優先於由本申請的相同發明人所提，存檔於2001年5月4日之臨時申請案號60/288,744，其名稱為“用於半導體記憶裝置的字線驅動器”，其內容以引用的方式併入本文中。

背景

1. 發明領域

本發明一般與半導體記憶裝置有關，且特別與用於半導體記憶裝置的字線驅動器電路有關。

2. 相關技藝說明

圖1圖示了在典型的動態隨機存取記憶裝置中的記憶單元。此記憶體單元的刷新時間會被兩種主要型式的漏電流所降級：由電晶體M1的接面邊界之缺陷所引起的接面漏電流 I_1 ；和由流經電晶體M1的次-臨界電流所引起的通道漏電流 I_2 。可以藉由減少通道植入混合物來減少此接面漏電流 I_1 ，但此舉會引起 I_2 的增加。相似地，可以藉由增加電晶體M1的臨界電壓 V_{th} 以減少次-臨界電流 I_2 ，但此舉會引起 I_1 的增加。

一種負偏壓字線模式已發明用以同時減少接面漏電流和通道漏電流。一種採用負字線模式的記憶裝置以一負的電壓 V_{bb} (一般是-0.4到-0.5伏特)加在未選到的記憶單元的字線上。無論如何負偏壓字線模式的具體實現呈現了許多問題。首先，需要一大的負電壓源以處理在預先充電期間字線自 V_{pp} 或 V_{dd} 放電至 V_{bb} 時所產生的大的放電電流。這些放電電流也會引起在 V_{bb} 上的電壓波動。操作字線控制

五、發明說明(2)

電路所需要的放電電流對此負電壓源增加了額外的要求。因此，此負電壓源會佔據此記憶裝置的大量空間。第二，因為每個字線需要一個負字線驅動器，所以傳統的負字線模式需要複雜的具體實現，如此一般會帶來晶片面積上的懲罰。此外，很難在一個字線驅動器的間距內具體實現一個負電壓轉換器。

摘要

依照本發明，在預先充電期間從負電壓源轉出字線放電電流的一種負字線驅動模式。

本發明的一個方面是一種用於對字線放電的方法，包含：將字線耦合到第一電源供應；而且自此字線將電流轉向到第二電源供應。

本發明的一個方面是一個半導體記憶裝置，包含：一個字線；和一個耦合到此字線且在預先充電操作時被調整將此字線耦合到第一電源供應的字線驅動器電路；其中此字線驅動器電路被調整在預先充電操作期間將字線放電電流轉向第二電源供應。

本發明的更進一步方面是一個半導體記憶裝置，包含：一個字線；在預先充電操作期間將此字線耦合到第一電源供應的方法；和在預先充電操作期間自字線將電流轉向到第二電源供應的方法。

本發明的這些和其它的方面在此揭示及宣告。

圖式簡單說明

圖1圖示了在一個動態隨機記憶體記憶裝置內的一個先

五、發明說明 (3)

前技藝記憶單元。

圖2圖示了一個使用一主要字線驅動器模式的一個先前技藝動態隨機記憶體裝置內的核心結構。

圖3圖示了一個先前技藝的字線驅動器的圖形。

圖4圖示了一個依照本發明的一個記憶裝置的第一種實施例。

圖5圖示了一個依照本發明的一個記憶裝置的第二種實施例。

圖6圖示了一個依照本發明的一個記憶裝置的第三種實施例。

圖7圖示了一個使用一次-字線驅動器模式的一個先前技藝動態隨機記憶體裝置的核心結構。

圖8圖示了一個先前技藝N型金屬氧化半導體次-字線驅動器的圖形。

圖9是圖示了圖8所示的N型金屬氧化半導體次-字線驅動器的一個操作週期的一個時序圖形。

圖10是一個先前技藝的互補式金屬氧化半導體次-字線驅動器的圖形。

圖11是圖示了圖10所示的互補式金屬氧化半導體-型式的次-字線驅動器的一個操作週期的一個時序圖形。

圖12是一個先前技藝的PXID產生器的圖形。

圖13是一個先前技藝的WEI產生器的圖形。

圖14圖示了先前技藝對N型金屬氧化半導體次-字線驅動器電路，PXID產生器，WEI驅動器的安排。

五、發明說明 (4)

圖15圖示了先前技藝對互補式金屬氧化半導體次-字線驅動器電路，PXID產生器，WEI驅動器的安排。

圖16圖示了一個依照本發明的一個記憶裝置的第四種實施例。

圖17圖示了一個依照本發明的一個記憶裝置的第五種實施例。

圖18圖示了一個依照本發明的一個記憶裝置的第六種實施例。

圖19圖示了一個依照本發明的一個記憶裝置的第七種實施例。

詳細說明

主字線驅動器模式

圖2圖示了在一個使用一主字線驅動器模式的一個先前技藝動態隨機記憶體裝置內的核心理構。在圖2中所示的核心理構包含了記憶單元陣列12，感測放大器方塊14，和主要的列解碼器16。在每個記憶單元陣列12中是個別的記憶單元MC，每個具有位於位元線BL/BLB和主字線WL相交處的一個單元電晶體和一個單元電容。未選到的記憶單元的字線WL維持在電源供應接地電壓 V_{ss} 。當存取一個記憶單元MC時(例如，在讀取操作時)，對應的字線被典型地驅動到昇壓電壓 V_{pp} ，其打開存取電晶體而且允許在感測放大器方塊14內的感測放大器經由位元線BL/BLB去感測單元電容的狀態。

因為每個主字線WL被耦合到許多記憶單元，所以它們

五、發明說明(5)

呈現沉重的電容性負載。因此主列解碼器18包含如圖3所示的字線驅動器。在此，此字線驅動器是一個簡單的由堆疊式的P型金屬氧化半導體電晶體M1和N型金屬氧化半導體電晶體M2所形成的簡易的推-拉級。在一個傳統的記憶裝置內，M2的源極連接到Vss。在預先充電操作期間(在對記憶單元的存取完成後)，當字線WL被放電時大量的電流經由M2流向Vss。在一個採用負字線模式之記憶裝置內，M2的源極會連接到負的電源供應Vbb以便此字線維持在Vbb，以減少在存取電晶體上的漏電流。無論如何，這樣會引起在預先充電操作期間，大量的放電電流流向Vbb，因而引起在Vbb上的電壓波動和其它的問題。

實施例 1

圖4圖示了一個依照本發明的一個記憶裝置的第一種實施例。如圖4所示的驅動器電路被建構在預先充電操作後維持字線WL在Vbb，但是將大部分的字線放電電流轉向到Vss，因而減少了對此負電源供應的需求。圖4的驅動器電路包含了一個電源供應保持電路(或是“保持電路”)20和具有修改過的驅動器區22的驅動級18。此保持電路20包含一個具有連接在WL和Vbb之間的通道，連接到反向器INV1輸出的閘極和連接到Vbb的基底之N型金屬氧化半導體電晶體M4。反向器INV1被參考到Vbb，且具有一個連接到字線的輸入。在修改過的驅動器區22內，一個連接到N型金屬氧化半導體電晶體M3的二極體與M2串接在一起。M2和M3兩者的基底-都連接到Vbb。此保持電路20較佳地位於此單

五、發明說明(6)

元陣列的一邊，而與主列解碼器的其餘部分相對，以節省解碼器區域的空間。

一個依照本發明的一個預先充電操作現在將參考圖4來作說明。在一個存取操作結束時，因為電晶體M1打開，所以字線WL是在 V_{pp} 。反向器INV1的輸出在低位準，電晶體M2和M4被關掉，而且二極體-連結的電晶體M3並未傳導電流。當此字線被解啟動以回應改變的列地址時，電晶體M1關閉，電晶體M2打開，而且放電電流從字線經由M2和M3流向 V_{ss} 。也就是說，因為字線經由M2和M3被耦合到 V_{ss} 以回應改變的地址，所以字線放電電流轉向到 V_{ss} 。

當字線的電壓掉到INV1的交換點以下時，INV1的輸出上昇到高位準，M4打開，因為字線經由M4耦合到 V_{bb} 以回應字線上減少的電壓，所以字線被拉下到 V_{bb} 。在字線上的電壓掉到低得足以切換反相器INV1之前，大部分來自字線的放電電流已被轉向到 V_{ss} ，所以僅需非常少的電流來維持字線在 V_{bb} 。

當保持電路啟動時，二極體-連結的電晶體M3防止電流經由M2從 V_{ss} 回流。也就是說，在字線放電電流的實際數量已被轉向到 V_{ss} 後，M3將字線自 V_{ss} 解耦合以回應此字線的電壓。M2和M3的基底也連接到 V_{bb} 以便當保持電路啟動時，防止電流流經這些電晶體。

圖4所示的安排的一個優點是因為大部分的字線放電電流被轉向到 V_{ss} ，所以減少了來自負電壓源的電流消耗。一個更進一步的優點是其最小化用於字線控制電路所需的

五、發明說明 (7)

Vbb電流。但是另一個優點是此字線驅動器電路可以配合字線的間距。

實施例 2

圖5圖示了一個依照本發明的一個記憶裝置的第二種實施例。圖5與圖4所示的驅動器電路之不同處在於其消除了保持電路，而且修改過的驅動器區24已更進一步修改成包含一個大的N型金屬氧化半導體下拉電晶體M2。M2的源極連接到Vbb，而且M3的閘極連接到列解碼器的輸出以及M2的閘極。M4的通道連結於M2的汲極和Vss之間，M4的閘極連接到字線WL。M2，M3和M4的基底全連接到Vbb。因此，假定M3是開啟的，藉由將字線耦合到Vss以回應字線的電壓，電晶體M4現在將字線放電電流被轉向到Vss。電晶體M2現在將字線耦合到Vbb以回應列地址資訊。

在存取操作結束時，字線在Vpp，M4是開啟的，但是因為M2和M3為列解碼器所關閉，所以並無電流流經M4。當預先充電操作開始時，M2和M3開啟，但是因為M4遠大於M2，大部分的字線放電電流經由M4流到Vss。當字線的電壓到達M3的臨界電壓Vth時，且WL被拉下到Vbb時，其餘的字線放電電流流經M1和M2。

圖5所示的安排有許多與圖4所示的安排相同的優點，而更進一步的優點是消除了保持電路，雖然增加了M4需要更多的解碼器區域面積。

實施例 3

圖6圖示了一個依照本發明的一個記憶裝置的第三種實

五、發明說明 (8)

施例。圖6所示的驅動器電路之結構和操作是與圖5類似，但電晶體M3已被移動成與M4而非與M2串接。

次-字線驅動器模式

以上所討論，關於具有主字線模式的記憶裝置的本發明之原理可被擴展到其它型式的記憶裝置，包含，例如，使用次-字線驅動器模式的記憶裝置。圖7圖示了一個使用次-字線驅動器模式的一個典型先前技藝動態隨機記憶體裝置的核心結構。此種型式的記憶裝置，在美國專利號碼5,416,748；5,596,542；5,764,585；5,781,498和5,986,966中有所揭示，但為方便起見，在此作簡單的提要。

圖7所示的核心結構包含感測放大器方塊28，單元陣列30，次-字線器方塊32，和連接電路34。在每個記憶單元陣列30中的是各別的記憶單元MC，每個MC具有位於位元線BL/BLB和次-字線WL交會處的一個單元電晶體和一個單元電容。次-字線WL是由位在次-字線驅動器方塊32內的次-字線驅動器36所驅動。每個次-字線驅動器36是由來自主列解碼器38的字線啟動線WEI中的一條和如下說明的分佈於整個此裝置的一種型式的PX線所控制。

主列解碼器38產生64個字線啟動信號WEI<0:63>以回應7個較上方的地址位元ADDRESS(2-8)。這些信號是由顯示在解碼器38外面，但也可以是在解碼器內的驅動器39所緩衝。圖7的字線啟動信號以如圖2的主字線的相同方式來操作，除了這些信號是被連接到次-字線驅動器36而不是直接連接到記憶單元中的存取電晶體。

五、發明說明 (9)

無論如何，其餘的字線PXI<0:3>是由PXI產生器/解碼器42所驅動，以回應兩個較低的地址位元ADDRESS(0-1)。這些PX信號藉由本身分佈於整個裝置的字線驅動電路而分佈於整個記憶裝置中。這些PXI線驅動了典型地位於連接電路34內的PXID產生器40。此PXID產生器，依次驅動了用以驅動次-字線驅動器36的互補信號線PXID/PXIB。

所有的次-字線WL在正常下是預先充電到Vss。當存取記憶單元時，相對應的字線啟動信號WEI和PXID/B被啟動。如此會引起相對應的次-字線驅動器SWD將相對應的次-字線驅動到Vpp。當存取操作結束後，此次-字線驅動器將次-字線WL預先充電到Vss。

將PX線和字線驅動器電路分佈於整個裝置中允許記憶單元可以操作於較高的速度上。

圖8圖示了一個典型的先前技藝N型金屬氧化半導體-型式次-字線驅動器電路。此電路的結構和操作將參考圖8和圖9來作說明。在啟動操作前，所有圖9圖示的信號線除了PXIB外，其為低位準啟動信號，都在Vss。要開始啟動操作，首先WEI被驅動到Vpp。如此會引起節點N1切換到Vpp-Vth(假設百分之百的幫浦效率)，其中Vth是M4的臨界電壓。因為M4的閘極到源極的電壓為Vth，所以節點N1仍然維持在浮接狀態。在短暫的時間過後，當PXID被驅動到Vpp時，節點N1由於M1的汲極到閘極的耦合電容的緣故，電壓被升高到2Vpp-Vth(再次假設百分之百的幫浦效率)。PXID接著經由M1供應足夠的電流以使字線WL到達Vpp的

五、發明說明 (10)

位準。

在預先充電操作期間，此時序序列被反轉，且此字線WL被放電。因為M1的寬度/長度比遠大於M2的寬度/長度比，所以大部分的字線放電電流是流經M1。

圖10圖示了一個典型的先前技藝互補式金屬氧化半導體-型式次-字線驅動器電路。此電路的結構和操作將參考圖10和圖11來作說明。在此互補式金屬氧化半導體的具體實現中，啟動操作前，在CMOS實施中，WEIB(WEI的互補信號)作為此字線啟動信號。在啟動操作前，所有圖11所示的信號線全在其未啟動狀態。要開始啟動操作，WEIB自Vpp切換到Vss，同時PXID自Vss昇到Vpp。如此會引起PXID將此次-字線WL經由M5充電到Vpp。

在預先充電操作期間，此時序序列被反轉，且此字線WL被放電到Vss。在預先充電操作期間的早期部分，因為M5的寬度/長度比遠大於M7的寬度/長度比，所以大部分的字線是經由M5來將電流放電。當此次-字線電壓到達M5的臨界電壓Vth時，電晶體M5關閉且剩餘的放電電流流經M6和M7。

如圖10所示的次-字線驅動器電路的互補式金屬氧化半導體的實施例是比如圖8所示的電路較簡單的電路，但是因為在半導體晶片上需要一個分開的阱，所以P型金屬氧化半導體電晶體M5佔了額外的空間。

圖12是一個先前技藝的PXID產生器電路40的圖形。圖12的電路產生典型地用來驅動在圖7中的次-字線驅動器電路

五、發明說明 (11)

36，和在圖8中和圖10中的電路之互補信號PXID和PXIB。PXID和PXIB的電壓擺動典型地分別為Vss-到-Vpp和Vss-到-Vdd。因為其供應大部分的充電和放電電流給次-字線，所以反相器INV3通常是以大的電晶體來製造。

圖13是用以驅動如圖7所示的字線啟動信號WEI的一個先前技藝驅動電路39的圖形，WEI依序驅動如圖8和圖10所示的次-字線驅動器電路。

圖14圖示了先前技藝對N型金屬氧化半導體次-字線驅動器電路，PXID產生器，WEI驅動器的安排。如圖9中所示的時序序列被應用於此安排以啟動和失效次-字線WL。如果圖14所示的電路參考到Vbb以試著去具體實現一個負偏壓字線模式，則會自負的電壓產生器消耗過量的電流。這些電流是：(i)在預先充電操作期間，此字線的放電電流，(ii)用於PXI產生器42和PXID產生器40的驅動電流，和(iii)用於WEI驅動器39的驅動電流。這些高的電流成分引起在供應電壓Vbb和字線“低”位準上的波動，而且降低了單元刷新特性的效能。

圖15圖示了先前技藝對互補式金屬氧化半導體次-字線驅動器，PXID產生器，WEI驅動器的安排。如圖11中所示的時序序列被應用於此安排以啟動和失效次-字線WL。以圖15的安排去具體實現一個負偏壓字線模式的嘗試會遇到如上討論的與圖14有關的相同問題。

實施例 4

圖16圖示了一個依照本發明的一個記憶裝置的第四種

五、發明說明 (12)

實施例。圖 16 所示的安排在某些方面與圖 14 所示的 N 型金屬氧化半導體的次-字線驅動器模式相似，但有以下這些修改。反相器 INV3 和 PXID 產生器 40 的共同的電源供應端子經由一個 N 型金屬氧化半導體電晶體 M5 連接到 Vss。M5 的閘極連接到此 PXID 線。M7 的源極如電晶體 M6 的源極是連接到 Vbb，電晶體 M6 其源極連接到 PXID 而其閘極連接到 PXIB。WEI 驅動器 39 中的驅動級中有一個如圖 4 所示的修改過的驅動級區 22 的相同方式建構成的驅動級區 46。一個保持電路 44，其用如圖 4 所示的保持電路 20 的相同方式來建構，被連接到字線啟動信號 WEI。

一個依照本發明的預先充電操作現在將參考圖 16 來作說明。如圖 9 所示的相同時序序列被應用於圖 16 的電路上。為了要開始預先充電操作，PXI 降成低位準(也許是說，降到 Vss)，這樣會引起節點 N2 和 PXIB 昇到高位準(也許是說，昇到 Vpp)。在預先充電操作期間的早期部分，由於次-字線 WL 的大的電容負載，所以 PXID 仍然維持在 Vpp。因為 PXID 緩慢放電，M5 開啟而且大部分的放電電流經由 M5 和 M8 流向 Vss 直到 PXID 的電壓位準到達 M5 的臨界電壓 Vth。因此，在這個例子中，次-字線被耦合到 Vss 且然後自 Vss 被解耦合以回應此字線的電壓。當 PXID 的電壓掉到 M5 的臨界電壓 Vth 之下時，電晶體 M5 關閉且次-字線 WL 經由電晶體 M6 和 M7 更進一步放電到 Vbb。當 WL 的電壓到達 Vbb 時，M6 和 M7 保持 WL 和 PXID 線在 Vbb。因此，大部分的字線放電電流自 Vbb 轉向到 Vss。

五、發明說明 (13)

就在PXID上昇到高位準不久後，此列地址解碼器引起WEI經由M2和M3放電直到WEI到達M3的臨界電壓 V_{th} 。當WEI的電壓減少到足以引起輸出反相器INV1昇到高位準，電晶體M4開啟，而且更進一步將WL放電到 V_{bb} 。保持電路44接著保持WL在 V_{bb} 以防止不想要的電流經PXID回流。因此來自字線啟動信號的放電電流也被轉向到 V_{ss} 。

在一個較佳的實施例中，保持電路44被安排在陣列30中與WEI驅動器相反的另一邊。這樣做使得具體實現會容易些，否則由於小的WEI線的間距，很難將這些保持電路容納在列解碼器區域中。

如圖16所示，反相器INV2的信號擺動較佳地設定在 V_{ss} 到 V_{dd} 以消除當PXIB被一路驅動降到 V_{bb} 時所產生的 V_{bb} 的電流消耗。

在一個較佳的實施例中，增加電晶體M6和M7的臨界電壓 V_{th} ，以減少流經M6和M7的次-臨界電流。此可以藉由使用相同的用來製造單元存取電晶體的單元 V_{th} 植入製程來製造M6和M7以達成。因此，本發明可以更進一步減少來自負的電壓供應的電流消耗而不需要額外的製程步驟而且僅需最小的晶片面積代價。

電晶體M6是位於圖16的右手邊的連接區域以節省反相器INV2，INV3和INV4所在的連接區域的空間。如此做是便利的，因為在圖16所示的雙條PXID已經以如圖14所示的安排來繞線。因此，本發明的一個優點是如果依照本發明則更容易修改現存的記憶裝置。

五、發明說明 (14)

如上的說明，圖16所示的實施例的一個優點是因為大部分的字線放電電流轉向到Vss，所以其減少來自負電壓源的電流消耗。一個更進一步的優點是其最小化了次-字線控制電路所需的Vbb電流。而另外的優點是預先充電操作所需的時序序列不需要更改。

實施例 5

圖17圖示了一個依照本發明的一個記憶裝置的第五種實施例。圖17所示的安排是與圖16所示的N型金屬氧化半導體的次-字線驅動器模式相似，但是二極體連接的電晶體M3已自驅動級移除。代之的是，使用單元Vth植入以具體實現N型金屬氧化半導體電晶體M2，而且其源極直接連接到Vbb。保持電路則被消除。在預先充電操作期間，當WEI變遷到低的邏輯位準時，WEI經由M2直接放電到Vbb。因為使用單元Vth植入以具體實現M2，所以列地址解碼器仍然可以參考到Vss而不會引起次-臨界電流流經M2。雖然圖17所示的安排是將正常的字線放電電流耦合到Vbb，WEI的電容負載仍是相對低，且圖17的實施例具有的更進一步的優點是其消除了對保持電路的需求。

實施例 6

圖18圖示了一個依照本發明的一個記憶裝置的第六種實施例。圖18所示的安排採用了一個如圖15所示的互補式金屬氧化半導體的次-字線驅動器，但是PXID產生器40已依照本發明被修改成包含電晶體M5以便在大部分的字線放電電流已經被轉向到Vss時，將反相器INV3自Vss解耦合。

五、發明說明 (15)

電晶體 M6 已被加上用來將 PXID 線耦合到 Vbb 以回應 PXIB。另外也使用單元 Vth 植入來具體實現電晶體 M6, M7 和 M9。

如圖 11 所示的相同時序序列被應用於圖 18 的實施例上。此 PXID 產生器以如圖 16 的電路的相同方式將次-字線放電電流轉向到 Vss。無論如何，圖 18 的實施例的一個更進一步的好處是字線啟動信號 WEIB 經由 M2 被放電到 Vss，因而減少了 Vbb 的電流消耗。因為使用單元 Vth 植入來具體實現電晶體 M6, M7 和 M9，所以字線啟動信號 WEIB 可以被參考到 Vss。因此，消除了保持電路。圖 18 的實施例提供了一個具有低 Vbb 電流需求和最小的晶片面積代價之負偏壓次-字線模式的緊緻而容易的具體實現。

實施例 7

圖 19 圖示了一個依照本發明的一個記憶裝置的第七種實施例。圖 19 所示的安排在大部分採用了類似如圖 18 的實施例的方式，但是電晶體 M6 已經被移到具有 PXID 產生器位在陣列左邊的連接區域上。如此消除了一路上繞線跨過次-字線驅動器 (SWD)32 的雙 PXID 線。

一種更進一步的變動是，如果圖 16 的保持電路和修改過的 WEI 驅動器是以圖 18 或圖 19 的實施例來使用，則電晶體 M6, M7 和 M9 可以不必使用單元 Vth 植入來具體實現。

在以其一種較佳的實施例來說明和例舉本發明的原理後，很顯然地本發明可以在安排和細節上作修改而不會脫離這些原理。例如，用作範例的實施例是在動態隨機記憶

四、中文發明摘要(發明之名稱： 用於半導體記憶裝置的字線驅動器)

一種使用負偏壓字線模式的記憶裝置，在預先充電操作期間從負電壓源轉出字線放電電流，藉此減少來自此負電壓源的電壓波動和電流消耗。在預先充電期間，主字線，副-字線，字線啟動信號，和其它型式的字線被耦合到此負電壓源。此字線在預先充電期間也耦合到第二電源供應，且接著在大部分的字線放電電流已轉化後自第二電源供應處解耦合。此負電壓源然後可以放電且維持此字線在負偏壓。

英文發明摘要(發明之名稱： WORD LINE DRIVER FOR A SEMICONDUCTOR MEMORY DEVICE)

A memory device utilizing a negatively biased word line scheme diverts word line discharge current from the negative voltage source during a precharge operation, thereby reducing voltage fluctuations and current consumption from the negative voltage source. A main word line, sub-word line, word line enable signal, or other type of word line is coupled to the negative voltage source during a precharge operation. The word line is also coupled to a second power supply during the precharge operation, and then uncoupled from the second power supply after most of the word line discharge current has been diverted. The negative voltage source can then discharge and maintain the word line at a negative bias.

六、申請專利範圍

1. 一種用以對字線放電的方法，包含：

將字線耦合到一第一電源供應，以回應此字線的電壓或列地址；以及

將來自字線的電流轉向到第二電源供應。

2. 如申請專利範圍第1項之方法，其中將電流轉向到第二電源供應包含：

將字線耦合到第二電源供應，以回應列地址；和

在實質的字線放電電流已被轉向到第二電源供應後，將字線自第二電源供應解耦合。

3. 如申請專利範圍第2項之方法，其中將字線自第二電源供應解耦合包含當字線的電壓到達此二極體的臨界電壓後，關掉此二極體。

4. 如申請專利範圍第1項之方法，其中該字線是由一次-字線驅動器所驅動之次-字線，以回應一字線啟動信號和一PX信號。

5. 如申請專利範圍第4項之方法，其中將字線啟動信號耦合到第一電源供應包含將字線啟動信號耦合到第一電源供應以回應此字線啟動信號的電壓。

6. 如申請專利範圍第5項之方法，其中此字線啟動信號經由一具有用來製造單元存取電晶體的相同單元 V_{th} 植入製程的電晶體耦合到第一電源供應。

7. 如申請專利範圍第5項之方法，更進一步包含將來自字線啟動信號的電流轉向到第二電源供應，以回應列地址。

8. 如申請專利範圍第4項之方法，其中將來自字線的電流轉

六、申請專利範圍

向到第二電源供應包含：

以一個參考到第二電源供應的反相器來驅動此PX信號，以及

在實質的字線放電電流已被轉向到第二電源供應後，將此反相器自第二電源供應解耦合。

9. 如申請專利範圍第4項之方法，更進一步包含將此PX信號耦合到第一電源供應以回應列地址。

10. 一種用以對字線放電的方法，包含：

將此字線耦合到第一電源供應；和

將來自此字線的電流轉向到第二電源供應，以回應此字線的電壓或列地址。

11. 如申請專利範圍第10項之方法，其中：

第一電源供應是一個基底電源供應；以及

第二電源供應是一個接地電源供應。

12. 如申請專利範圍第10項之方法，其中：

第一電源供應是一個負電源供應；以及

第二電源供應是一個接地電源供應。

13. 一種用以對耦合到一次-字線驅動器的次-字線放電的方法，此次-字線驅動器由一為較高列地址和一為較低列地址所解碼的PX信號所解碼的字線啟動信號所驅動，此方法包含：

將此次-字線耦合到第一電源供應；

將來自此次-字線的電流轉向到第二電源供應；和

將此字線啟動信號耦合到第一電源供應。

六、申請專利範圍

- 14.如申請專利範圍第13項之方法，其中將來自此次-字線的電流轉向到第二電源供應包含：

將此PX信號耦合到第二電源供應以回應較低列地址；
以及

在實質的放電電流已被轉向到第二電源供應後，將PX信號自第二電源供應解耦合。

- 15.如申請專利範圍第13項之方法，更進一步包含將來自此字線啟動信號的電流轉向到第二電源供應以回應此字線啟動信號的電壓。

- 16.一種半導體記憶裝置，包含：

一個字線；以及

一個耦合到此字線且修改以便在預先充電操作期間將此字線耦合到第一電源供應之字線驅動器電路；

其中此字線驅動器電路適於在預先充電操作期間將字線放電電流轉向到第二電源供應。

- 17.如申請專利範圍第16項之半導體記憶裝置，其中：

此字線是一個主字線；以及

此字線驅動器電路包含一個耦合到此主字線而且被修改以便在預先充電操作期間將字線放電電流轉向到第二電源供應的驅動級。

- 18.如申請專利範圍第17項之半導體裝置，其中此字線驅動器電路更進一步包含一個耦合到此主字線的電源供應保持電路。

- 19.如申請專利範圍第18項之半導體裝置，其中此電源供應

六、申請專利範圍

保持電路被安排在記憶陣列的一端而與一系列解碼器相對。

20.如申請專利範圍第18項之半導體裝置，其中此電源供應保持電路包含：

一個耦合在主字線和第一電源供應之間的第一電晶體，

一個耦合在第一電晶體和主字線間的一個反相器，以及此驅動級包含：

一個耦合到第二電源供應之間的第二電晶體，以及

一個耦合在第二電晶體和主字線間的一個二極體。

21.如申請專利範圍第17項之半導體裝置，其中此驅動級包含：

安排用來將主字線耦合到第一電源供應的第一電晶體；以及

安排用來將字線放電電流轉向到第二電源供應的第二電晶體。

22.一種半導體裝置，包含：

多條的字線；以及

多個耦合到這些字線並適於在預先充電操作期間將該等字線耦合到第一電源供應的字線驅動器電路；

其中該等字線驅動器電路適於在每條字線的預先充電操作期間，將字線放電電流轉向到第二電源供應，以回應相對字線的電壓。

23.如申請專利範圍第22項之半導體記憶裝置，其中：

六、申請專利範圍

第一電源供應是一個基底電源供應；以及

第二電源供應是一個接地電源供應。

24.如申請專利範圍第22項之半導體記憶裝置，其中：

第一電源供應是一個負電源供應；以及

第二電源供應是一個接地電源供應。

25.一種半導體記憶裝置，包含：

多條的次-字線；

多個耦合到這些次-字線並適於在預先充電操作期間將這些次-字線耦合到第一電源供應，以回應多個字線啟動信號和多個PX信號的次-字線驅動器；

多個耦合到這些次-字線驅動器並適於產生多個PX信號以回應一個較低列地址的PX信號產生器；以及

一個耦合到這些多個次-字線驅動器並適於產生多個字線啟動信號，以回應一個較高列地址的列解碼器；

其中該等多個PX信號產生器適於在每條字線的預先充電操作期間，將次-字線放電電流轉向到第二電源供應，以回應較低列地址。

26.如申請專利範圍第25項之半導體記憶裝置，其中此列解碼器適於在每條字線的預先充電操作期間，將字線啟動信號放電電流轉化到第二電源供應，以回應較高列地址。

27.如申請專利範圍第26項之半導體記憶裝置，更進一步包含多個耦合到該等字線啟動信號且適於將該等字線啟動信號耦合到第一電源供應，以回應每個字線啟動信號的電壓的電源供應保持電路。

六、申請專利範圍

28.如申請專利範圍第25項之半導體記憶裝置，其中該等列解碼器適於在每條字線的預先充電操作期間，將字線啟動信號耦合到第一電源供應，以回應較高列地址。

29.一種半導體記憶裝置，包含：

多條的次-字線；

多個耦合到這些次-字線且適於在預先充電操作期間，將這些次-字線耦合到第一電源供應，以回應多個字線啟動信號和多個PX信號的次-字線驅動器；

多個耦合到這些次-字線驅動器而且被修改以便產生多個PX信號，以回應一個較低列地址的PX信號產生器；

一個耦合到這些多個次-字線驅動器而且被修改以便產生多個字線啟動信號，以回應一個較高列地址的列解碼器；以及

多個耦合到這些字線啟動信號且適於字線啟動信號耦合到第一電源供應，以回應每個字線啟動信號的電壓的電源供應保持電路；

其中該列解碼器適於在每條字線的預先充電操作期間，將字線啟動信號放電電流轉向到第二電源供應，以回應較高列地址。

30.如申請專利範圍第29項之半導體記憶裝置，其中該列解碼器適於將每個字線啟動信號耦合到第二電源供應，以回應較高列地址而且將每個字線啟動信號自第二電源供應解耦合，以回應每個字線啟動信號的電壓。

五、發明說明(16)

體的上下文中來說明如上，無論如何，本發明並不限於動態隨機記憶體字線驅動器。做為一個更進一步的例子，如上所述的實施例具體實現了負偏壓字線模式。無論如何，負偏壓被了解意味著在啟動模式中加諸於字線上的相反極性中的一種可能。

另外，如上所述，依照本發明在預先充電操作期間，字線被耦合到不同的電源供應以回應改變的地址或在字線上的特定電壓，但本發明也預期這些操作也可以回應其它的激勵。此外，字線放電電流被說明成轉向到電源供應而不是Vbb。無論如何，在這樣的上下文中，電源供應不僅是指諸如Vss的電壓源，而且也指用來轉向來自字線的放電電流的任何合適之電流槽。

圖式元件符號說明

12	記憶單元陣列	40	PXID 產生電路
14	感測放大器方塊	42	PXID 產生器/解碼器
16	主要的列解碼器	44	保持電路
18	主要的列解碼器	INV1~INV3	反相器
20	電源供應保持電路(或 保持電路)	M1	PMOS 電晶體
		M2	NMOS 電晶體
22	修改過的驅動器區	M3	二極體連接之電晶體
24	修改過的驅動器區	M4	NMOS 電晶體
30	單元陣列	M5	NMOS 電晶體
32	次-字線驅動器 (SWD) 方塊	M6	電晶體
		M7	電晶體
36	次-字線驅動器電路	M9	電晶體
38	主列解碼器	MC	記憶單元
39	驅動電路	WL	字線

第 091109129 號專利申請案
中文圖式替換本(93 年 1 月)

圖 1 (先前技藝)

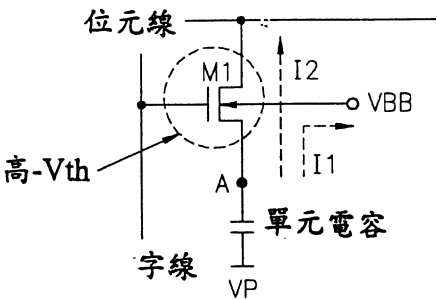
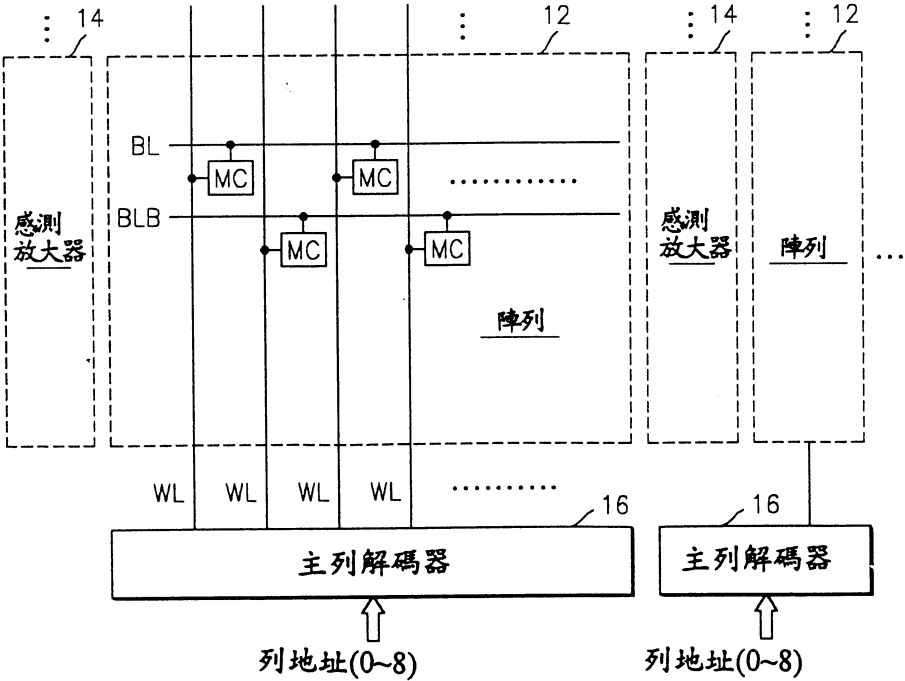


圖 2 (先前技藝)



年 月 日 修正
93. 1. -6 補充

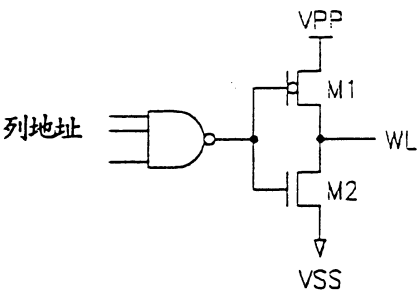


圖 3 (先前技藝)

年 月 日 修正
93. 1. -6 補充

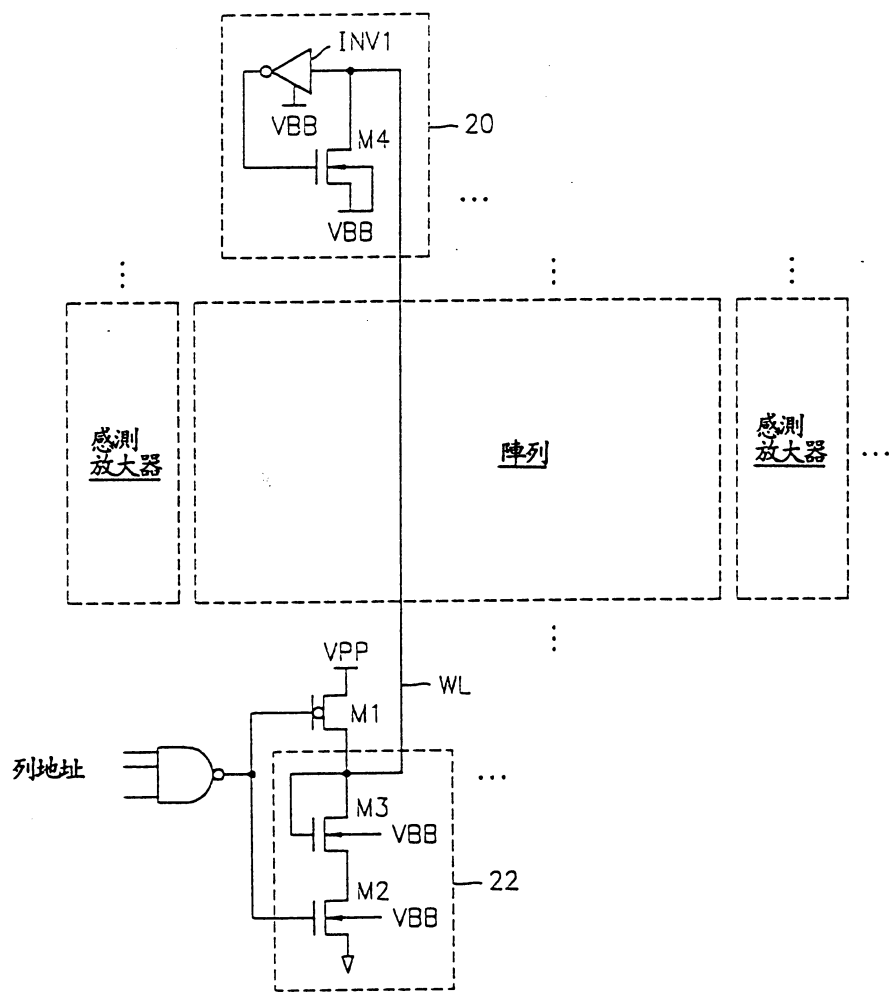


圖 4

修正
年 月 日
93. 1. - 6 補充

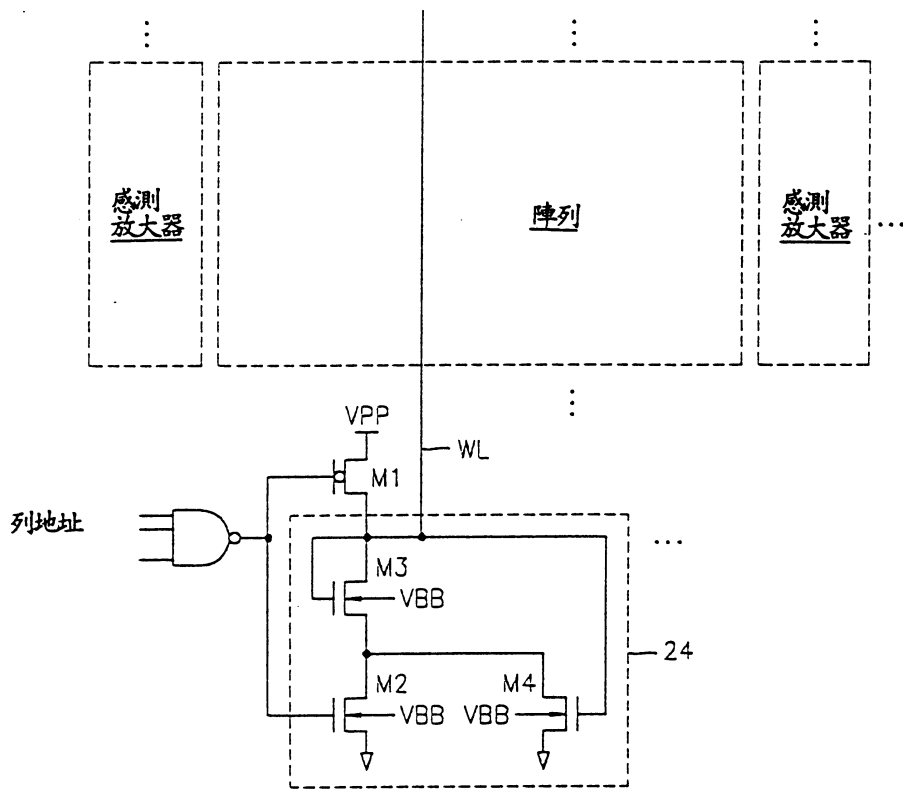


圖 5

修正
年月日
88. 1. 8 補充

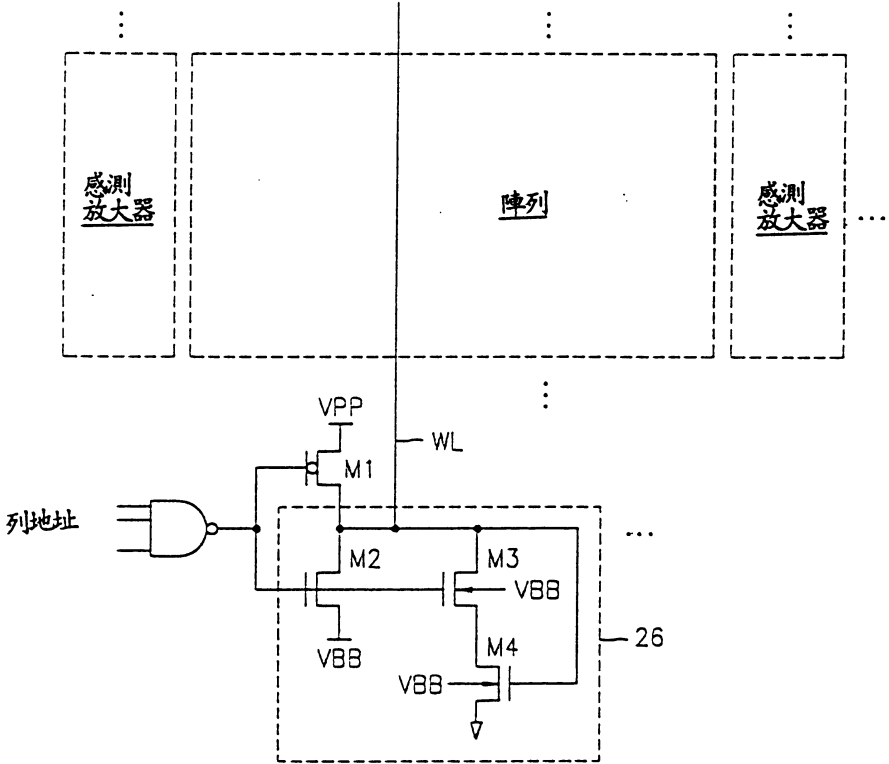
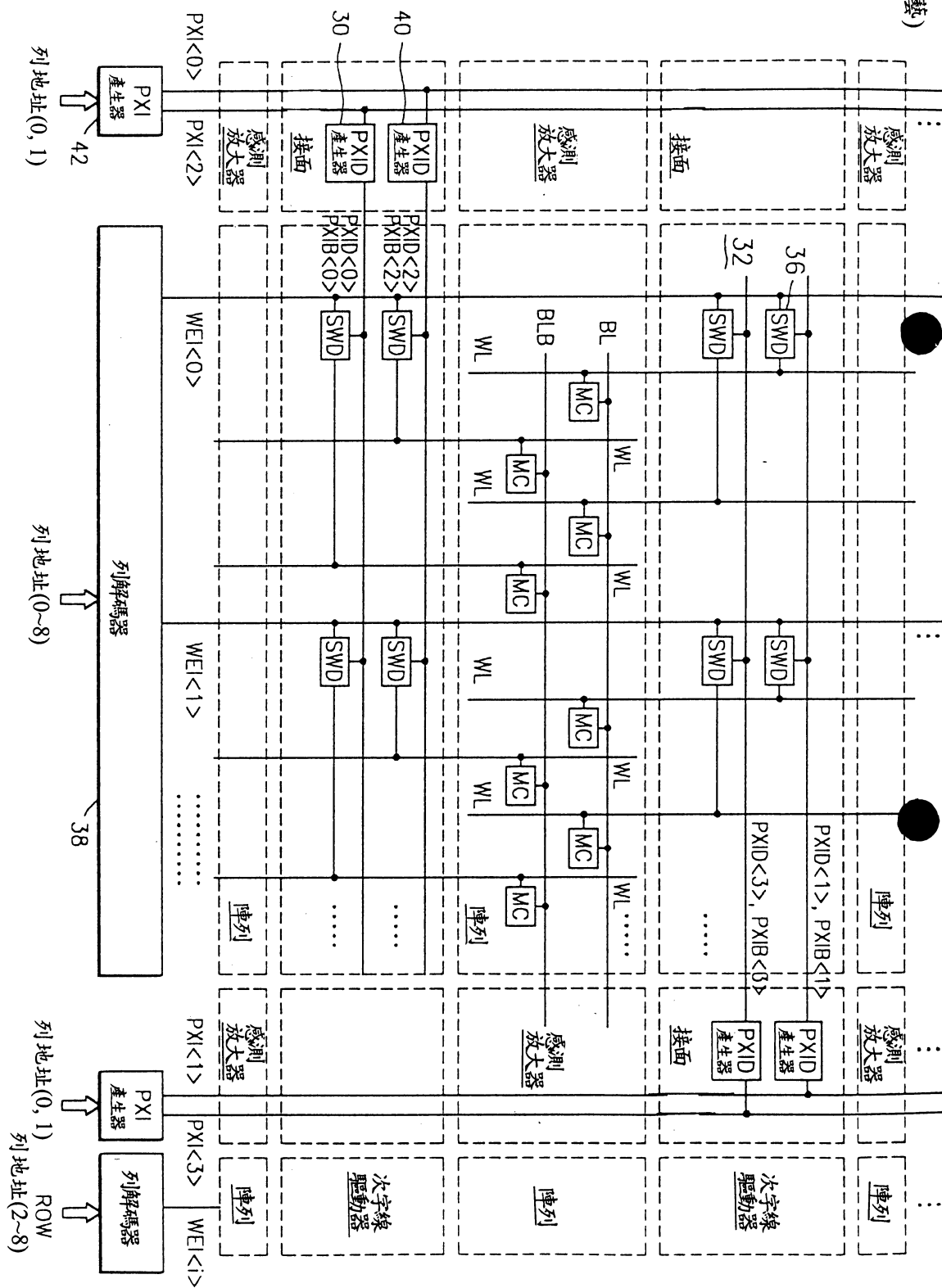


圖 6

圖 7 (先前技藝)



修正
年月日
93. 1. -6補充

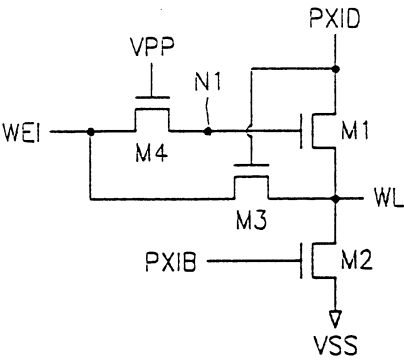


圖 8 (先前技藝)

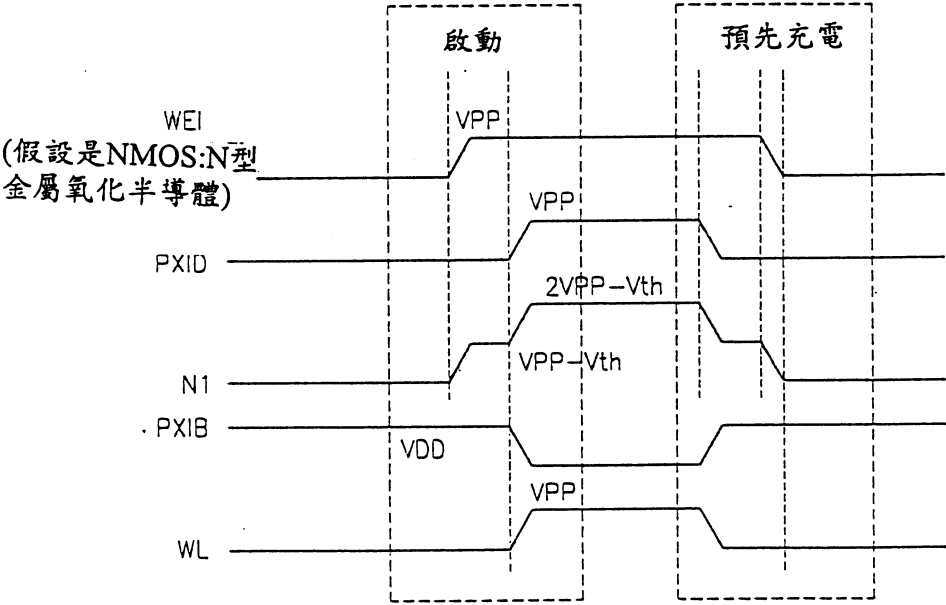
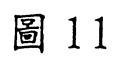


圖 9



年 月 日 修正
93.1.6 補充

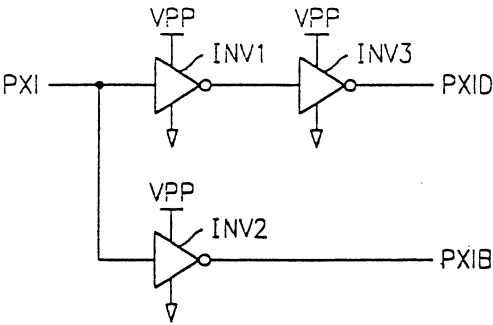


圖 12 (先前技藝)

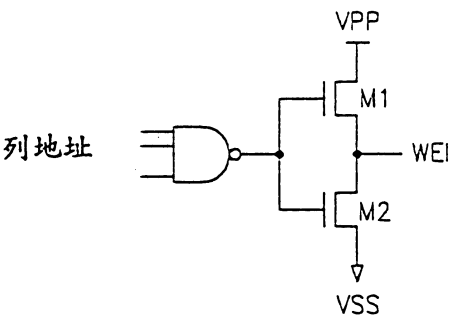


圖 13 (先前技藝)

修正
年月日
第 1. - 6 補充

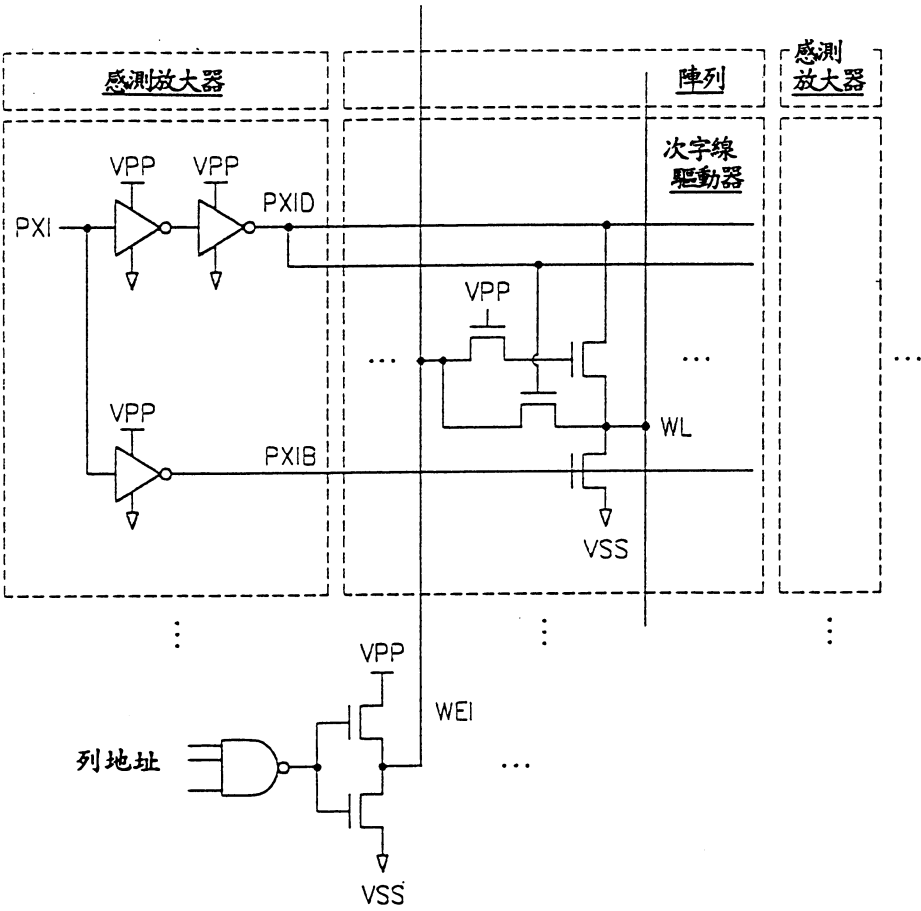


圖 14 (先前技藝)

修正
補充
年 月 日

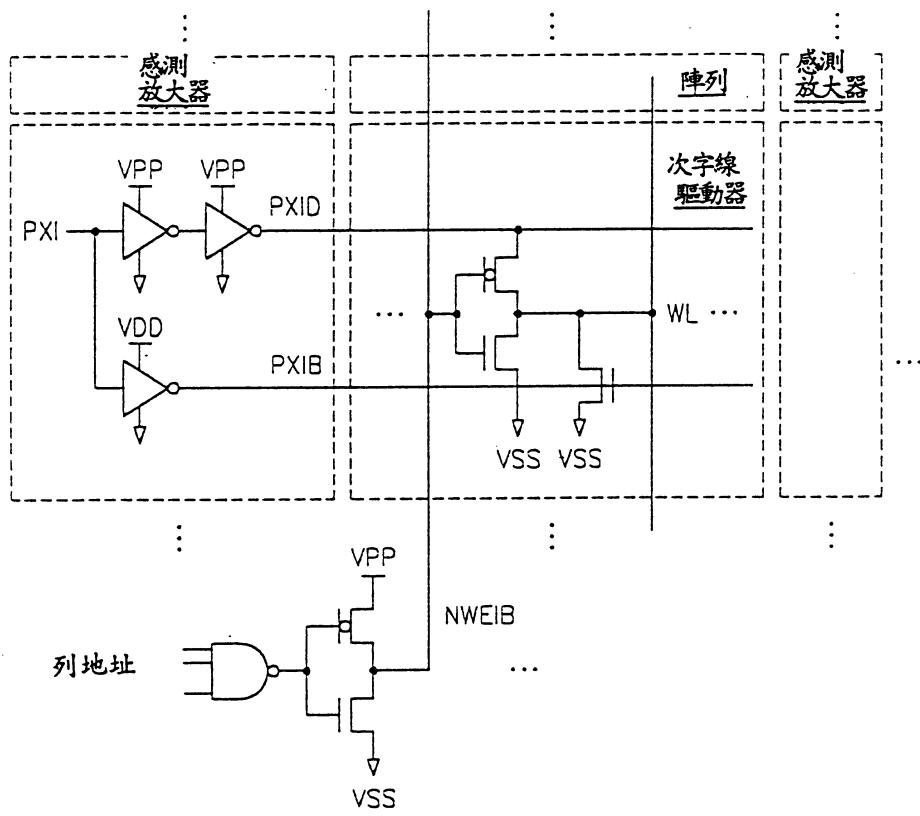


圖 15 (先前技藝)

修正
年 月 日
93. 1. -6 補充

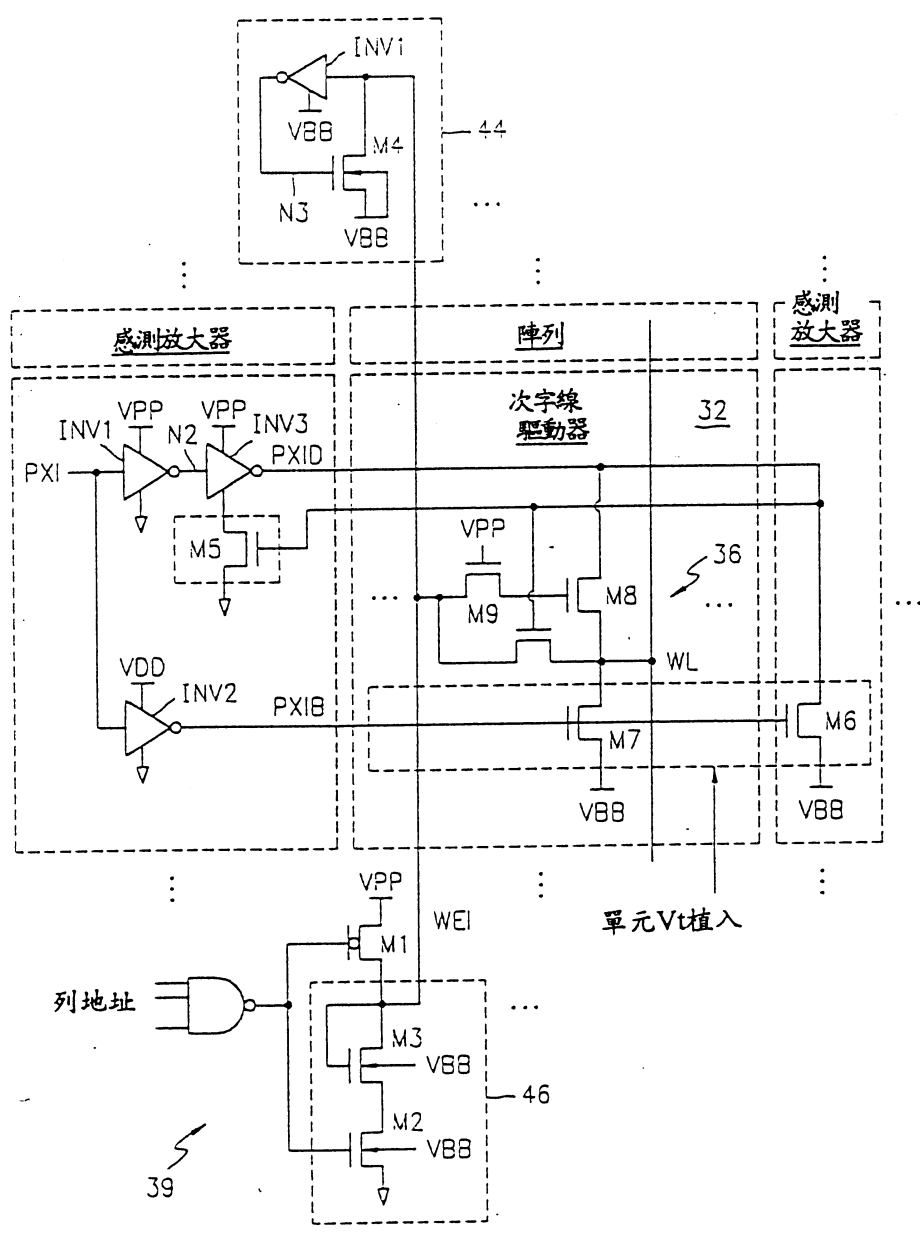


圖 16

修正
年月日
93. 1. -6 補充

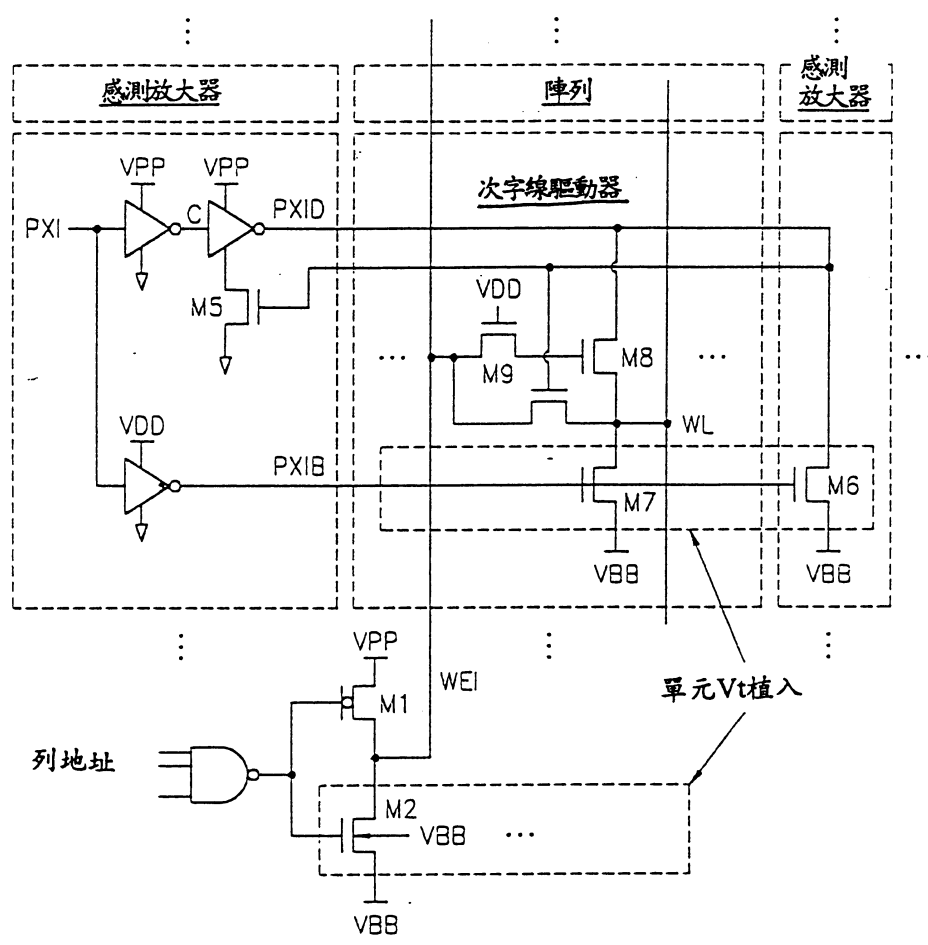


圖 17

修正
年月日
93. 1. -6補充

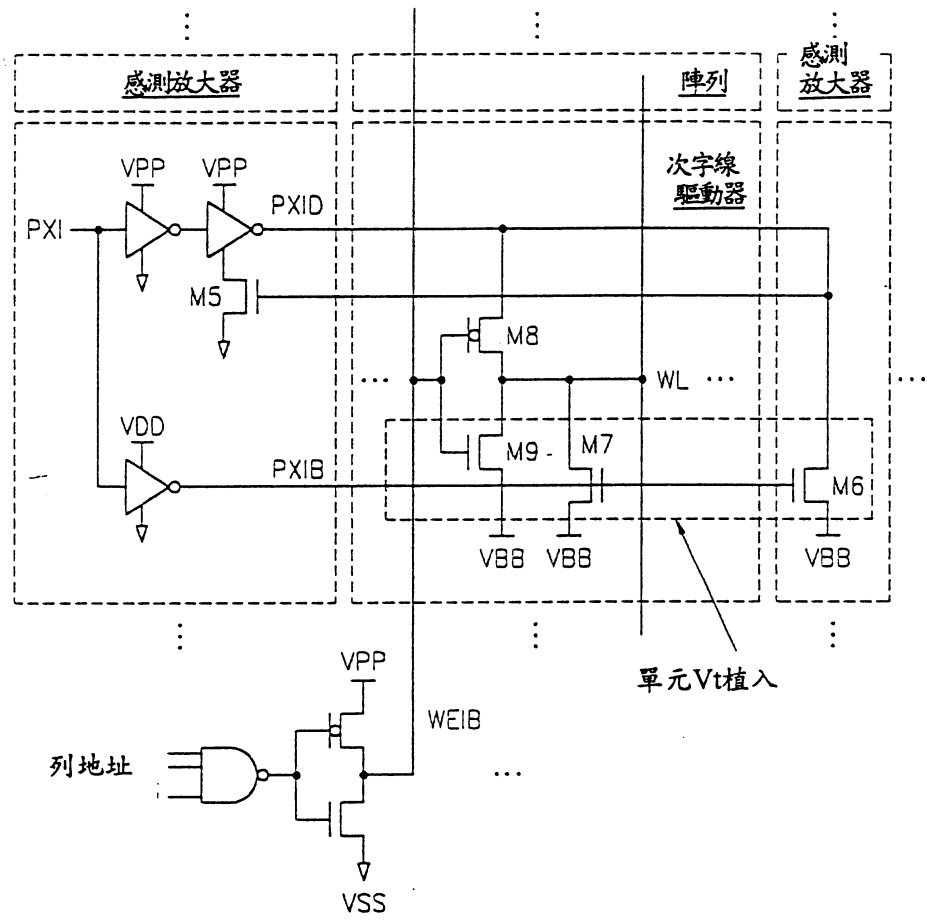


圖 18

修正
年 月 日
93. 1. -6 補充

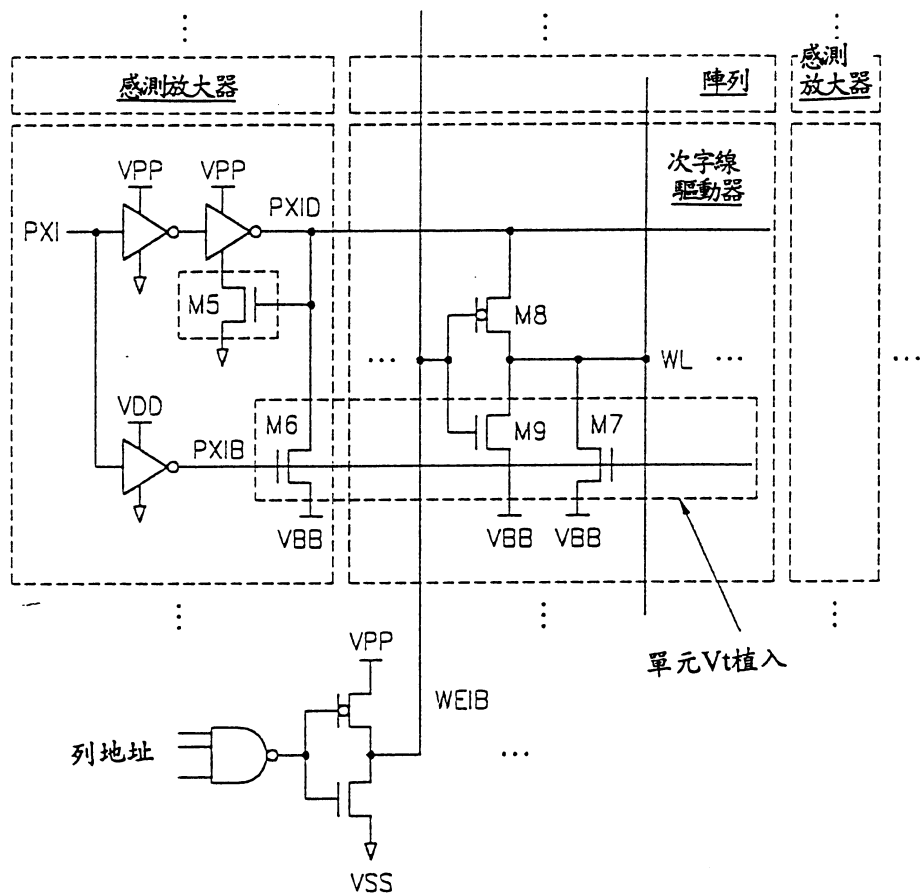


圖 19