(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4070824号
(P4070824)

(45)発行日　平成20年4月2日(2008.4.2)　(24)登録日　平成20年1月25日(2008.1.25)

(51)Int.Cl.　　F I
G06F 9/48 (2006.01)　　G06F 9/46 311B
G06F 1/04 (2006.01)　　G06F 1/04 301C

請求項の数 14　(全 10 頁)

(21)出願番号　特願平6-224335
(22)出願日　平成6年9月20日(1994.9.20)
(65)公開番号　特開平7-152584
(43)公開日　平成7年6月16日(1995.6.16)
審査請求日　平成13年8月7日(2001.8.7)
審判番号　不服2006-1704(P2006-1704/J1)
審判請求日　平成18年1月27日(2006.1.27)
(31)優先権主張番号　125336
(32)優先日　平成5年9月22日(1993.9.22)
(33)優先権主張国　米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄

最終頁に続く

(54)【発明の名称】コンピュータシステムおよび割込制御装置

(57)【特許請求の範囲】

【請求項１】

割込要求信号をアサートすることの可能な周辺装置と、

前記割込要求信号を受信するための少なくとも１つの割込要求ラインを含む割込制御装置とを含み、前記割込制御装置は前記割込要求信号のアサートに応答してマイクロプロセッサ割込信号を発生することの可能な制御回路を含み、前記割込制御装置はさらに、複数のビットを記憶するための処理中レジスタを含み、前記複数のビットの各々は、セットされたときに、現在マイクロプロセッサによって処理中である対応する割込要求を表示し、さらに、

前記処理中レジスタの出力ラインに結合された電力管理ユニットを含み、前記電力管理ユニットは前記処理中レジスタ内に記憶された前記複数のビットによってクロック信号が供給されるか否かを制御する、コンピュータシステム。

【請求項２】

前記割込制御装置は、

複数の割込要求信号を受信するための複数の付加的な割込要求ラインと、

前記複数の割込要求ラインに結合され、割込を要求している任意の前記複数の割込ラインの識別情報を受信および記憶するための割込要求レジスタとをさらに含む、請求項１に記載のコンピュータシステム。

【請求項３】

前記割込要求レジスタは優先順位決定器にさらに結合され、前記複数の割込信号を優先

順位付けする、請求項２に記載のコンピュータシステム。
【請求項４】
前記制御回路は前記マイクロプロセッサから肯定応答信号を受信することが可能であり、前記処理中レジスタ内に記憶されたデータは前記肯定応答信号によって制御される、請求項１に記載のコンピュータシステム。
【請求項５】
前記電力管理ユニットは処理中レジスタ内に記憶されたデータによって前記クロック信号の停止を制御する、請求項１に記載のコンピュータシステム。
【請求項６】
前記マイクロプロセッサが割込要求を処理していない場合のみ、前記電力管理ユニットは前記クロック信号を停止する、請求項５に記載のコンピュータシステム。
【請求項７】
前記クロック信号は前記マイクロプロセッサをクロックするために供給される、請求項１に記載のコンピュータシステム。
【請求項８】
前記クロック信号はコンピュータサブシステムをクロックするために供給される、請求項１に記載のコンピュータシステム。
【請求項９】
割込要求信号をアサートすることの可能な周辺装置と、
前記割込要求信号を受信するための少なくとも１つの割込要求ラインを含む割込制御装置とを含み、前記割込制御装置は前記割込要求信号のアサートに応答してマイクロプロセッサ割込信号を発生することの可能な優先順位制御回路を含み、前記割込制御装置はさらに、複数のビットを記憶するための処理中レジスタを含み、前記複数のビットの各々は、セットされたときに、現在マイクロプロセッサによって処理中である対応する割込要求を表示し、さらに、
前記処理中レジスタの出力ラインに結合された電力管理ユニットを含み、前記電力管理ユニットは前記処理中レジスタ内に記憶された前記複数のビットによって電力がコンピュータサブシステムへ供給されるか否かを制御する、コンピュータシステム。
【請求項１０】
前記割込制御装置は、
複数の割込要求信号を受信するための複数の付加的な割込要求ラインと、
前記複数の割込要求ラインに結合され、割込を要求している任意の前記複数の割込ラインの識別情報を受信および記憶するための割込要求レジスタとをさらに含む、請求項９に記載のコンピュータシステム。
【請求項１１】
前記割込要求レジスタは優先順位決定器にさらに結合され、前記複数の割込信号を優先順位付けする、請求項１０に記載のコンピュータシステム。
【請求項１２】
前記制御回路は前記マイクロプロセッサから肯定応答信号を受信することが可能であり、前記処理中レジスタ内に記憶されたデータは前記肯定応答信号によって制御される、請求項９に記載のコンピュータシステム。
【請求項１３】
前記電力管理ユニットは前記処理中レジスタ内に記憶されたデータによって前記コンピュータサブシステムから電力を除去する、請求項９に記載のコンピュータシステム。
【請求項１４】
前記マイクロプロセッサが割込要求を処理していない場合のみ、前記電力管理ユニットは前記コンピュータシステムから電力を除去する、請求項１３に記載のコンピュータシステム。
【発明の詳細な説明】
【０００１】

【発明の分野】
この発明はコンピュータシステムに関し、より特定的には、コンピュータシステム内の割込制御装置および電力管理に関する。
【０００２】
【関連技術の説明】
現在も続いている製造業者の開発上の目的は、コンピュータシステムの電力消費を削減することである。電力消費の削減は、典型的には、システムの発熱を減少させ、それにより、信頼性を増し、コストを削減する。さらに電力削減は、電池を電源とするポータブルコンピュータシステムの稼動寿命を最大限に延ばすことにおいて、特に重要である。
【０００３】
様々な技術がコンピュータシステムの電力消費の削減のために考案されてきた。これらの技術には、回路の集積化の増加と、改良された回路および電力管理ユニット（ＰＭＵ）の組入れが含まれる。１つの具体的な電力消費技術には休止中の回路部分を駆動するクロック信号を停止（またはその周波数を減少）させる能力が含まれる。このような技術を使用するシステムは、典型的には、休止中の回路部分を検出または予測し、それにしたがって休止中の回路部分に関連したクロック信号を停止する電力管理ユニットを含む。休止中の回路部分を駆動する「不使用の」クロック信号をオフにすることによって、システムの全体の電力消費が減少する。同様の技術に、休止中の回路部分に供給される電力の除去が含まれる。
【０００４】
上述の、不使用クロック信号を停止するという、および／または休止中の回路部分からの電力を除去するという、除去の電力管理技術は、しばしば、割込駆動システム内で使用される。割込駆動システムでは、キーボード、ディスプレイ、タイマ、センサおよび他の構成要素のような、周辺装置およびＩ／Ｏ装置が、中央ソースまたはマイクロプロセッサから独立して特定のタスクを行なうが、不規則で、ランダムな、それゆえに非同期的な間隔で、マイクロプロセッサとの通信を必要とする。このようなシステムでは、特定の周辺装置またはＩ／Ｏ装置が割込信号を発生させ、その割込信号は専用の割込ラインまたはチャネルを介してマイクロプロセッサに伝達され、マイクロプロセッサが処理を中断してその特定の周辺装置またはＩ／Ｏ装置と通信するよう要求する。割込要求の存在を検出すると、マイクロプロセッサは制御を移し、その特定の要求を処理する。
【０００５】
マイクロプロセッサは、典型的には、単一の入出力チャネルで多くの周辺装置に応じるが、このチャネルは一度に１つの周辺装置によってしか利用できない。その結果、同時の割込要求を区別して最も緊急な要求を他に先んじて処理するために優先順位が様々な周辺装置に割当てられる。従来のシステムでは、割込の順位付けを集中的に分類し、優先順位をつけ、制御するために、マイクロプロセッサと周辺装置の間にインターフェイス回路を供給することによって、多数の割込ソースの問題に対処してきた。１つのそのような回路はアドバンスト・マイクロ・ディバイシズ・インコーポレイテッド（Advanced Micro Devices, Inc.）によって製造され、刊行物『ＭＯＳマイクロプロセッサおよびその周辺装置』（“MOS Microprocessors and Peripherals ”）ｐｐ．３－３７１から３－３８８（アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド　１９８７）に記載されている８２５９Ａシリーズのプログラム可能な割込制御装置である。この刊行物の全体を引用によりここに援用する。
【０００６】
大抵の割込制御装置は８以上の周辺装置またはＩ／Ｏ装置からの割込要求を処理する。各割込ソースは、割込要求を処理するために、特定のベクタ化されたアドレスに、割込処理ルーチンを備える。各割込ソースはそれ自身の割込要求ラインを有し、８２５９Ａのような、プログラム可能な制御装置は、システム初期設定の際に様々なソースの識別および優先順位付けを考慮する。典型的動作において、割込制御装置は割込要求を認識して最高優先順位の要求をマイクロプロセッサに伝達し、その一方で、マイクロプロセッサが処理中

の割込の処理が完了してしまうまで、優先順位の低い要求を保持しておく。

【０００７】

割込制御装置を含む割込駆動システム内の電力管理ユニットが、たとえば、マイクロプロセッサ、メモリサブシステムおよび／または他の休止中の周辺装置に関連するクロック信号を停止させると、電力管理ユニットは、典型的には、割込要求ラインをモニタする。割込要求信号が検出された場合には、電力管理ユニットはマイクロプロセッサおよび他の周辺構成要素のクロック信号を再始動させ、それにより、割込処理ルーチンの実行を許可する。電力管理ユニットは、典型的には、このようなシステムにおいては、特定の割込処理ルーチンがいつ完了したかについては関知しないので、電力管理ユニットは予測された一定の時間が経過した後、クロック信号を再停止するようにプログラムされている。クロックが再停止する前に、割込処理ルーチンが完了するのに十分な時間が確保できるように、電力管理ユニットは、通常、割込ルーチンが実際に完了する時間よりもかなり長い間、関連のクロック信号を維持する。

【０００８】

しかし、このようなシステムでは、クロック信号が実際の割込処理時間を越えて駆動されると、電力が浪費される。電力管理ユニットが特定の回路部分から電力を除去したときの状況にも、同様の問題が当てはまる。

【０００９】

【発明の概要】

上記の問題の大部分は、この発明による外部への処理中表示を有する割込制御装置によって解決される。この割込制御装置は、１組の要求ラインを介して様々な周辺装置またはＩ／Ｏ装置から割込要求を受信するための割込要求レジスタを含む。優先順位決定器が、割込ラインの優先順位レベルを比較し、優先順位の低い要求を待機モードにラッチし、最高優先順位の要求の処理を指示するためにさらに設けられている。処理中レジスタがマイクロプロセッサによって処理中である任意の要求ラインの識別を記憶するために設けられている。１つの実施例において、その上に割込制御装置が作られている集積回路の処理中レジスタと外部端子との間に、１組の信号ラインが結合される。電力管理ユニットは集積回路の外部ピンと結合され、それにより、現在処理中の割込要求および完了した割込処理ルーチンについて、実時間情報を受信する。この情報を利用して、電力ユニットは、完了時間の予測をする必要なしに割込ルーチンが完了すると、有利に不使用のクロック信号を停止し、および／または休止中の回路部分から電力を除去する。不使用のクロック信号を正確に停止して電力を除去することにより、コンピュータシステムの全体の電力消費の削減が達成できる。

【００１０】

広く言うと、この発明は、割込要求信号のアサートが可能な周辺装置と、割込要求信号を受信するための少なくとも１つの割込要求ラインを含む、割込制御装置とを含む、コンピュータシステムを目的とする。割込制御装置は、割込要求信号がアサートされたことに応答して、マイクロプロセッサ割込信号を発生させることのできる制御回路と、特定の割込要求がマイクロプロセッサによって現在処理中であるかどうかを表示するデータを記録するための処理中レジスタとを含む。電力管理ユニットは処理中レジスタの出力ラインに結合され、電力管理ユニットは、処理中レジスタ内に記憶されたデータによってクロック信号またはコンピュータシステムに供給される電力を制御する。

【００１１】

この発明はさらに、複数の周辺装置から複数の割込要求信号を受信するための割込要求レジスタを含む、集積回路チップ上に製造された割込制御装置を目的とする。優先順位決定器回路が、最高優先順位の割込要求信号の処理を指示するために、割込要求レジスタに結合される。最高優先順位の割込要求信号に応答してマイクロプロセッサ割込信号を発生させ、マイクロプロセッサから肯定応答信号を受信するために、制御回路がさらに設けられる。処理中レジスタが、制御回路に結合され、割込要求信号のいずれかがマイクロプロセッサによって現在処理中であるかどうかを表示するデータを記憶する。出力端子が処理中

レジスタの出力ラインに結合され、出力端子は集積回路の外部にある装置に接続可能である。

【００１２】

この発明の他の目的および利点は、以下の詳細な説明を読み、添付の図面を参照すれば明らかとなる。

【００１３】

この発明は様々な変更および代替形式が容易であるが、この発明の特定の実施例を図面中に例として示し、ここに詳細に記載する。しかしながら、図面およびその詳細な説明は、この発明を、開示された特定の形式に限定することを意図するものではなく、逆に、この発明は、前掲の特許請求の範囲によって定義されるようなこの発明の精神および範囲内にあるすべての変更、均等物および代替物を包含するものである。

【００１４】

【詳細な説明】

図面を参照すると、図１は、割込制御装置２０に結合された電力管理ユニット１０を含むコンピュータシステムの一部のブロック図である。Ｉ／Ｏ装置３０およびクロック／電力スイッチング回路４０が、それぞれ、割込制御装置２０および電力管理ユニット１０に結合されて、さらに図示されている。

【００１５】

割込制御装置２０は、カスケードバッファ／コンパレータ１１０、読出／書込論理回路１１２およびデータバスバッファ回路１１６を含む。割込制御装置２０は、さらに、制御論理回路１１８、割込要求レジスタ１２０、優先順位決定器１２２、処理中レジスタ１２４、および割込マスクレジスタ１２６を含む。これらの回路部分を、以下に、より詳細に記述する。

【００１６】

割込制御装置２０は、中央プロセッサ（図示せず）と、プロセッサによる処理の必要性を示す割込信号を発生する１つ以上の周辺装置（たとえばＩ／Ｏ装置３０）との間をインターフェイスする。割込制御装置２０は、入力／出力周辺装置として、中央プロセッサに取付けられる。システムの特定のニーズを満たすために、優先順位レベル、割込信号モードなどのような、割込制御装置２０の様々なパラメータが、ユーザによってプログラム可能である。このようなプログラミングの詳細は当業者に周知である。

【００１７】

周辺装置からの割込要求信号は割込要求ラインIR_0－IR_7上で受信される。図１の割込制御装置は８つのソースから割込を受信するように構成されているが、複数の割込制御装置を、先行技術の８２５９Ａ制御装置と同様の方法で、カスケードバッファ／コンパレータを介して、マスタ／スレーブ関係で動作するようにカスケードすることが可能であることが理解されるであろう。分かりやすくするために、単一の割込制御回路を図示し、ここに記載する。

【００１８】

割込制御装置２０は以下のようにプロセッサに接続している。／ＣＳピン（注：この明細書においてＣＳ、ＷＲおよびＲＤの上にローアクティブの意味を表わすバー記号を記す代わりに、ＣＳ、ＷＲおよびＲＤの前に／記号を記すことにする。）はチップ選択入力であり、このチップ選択入力は、可能化（ロー）されると、読出／書込論理回路１１２が、双方向内部バス１１４、データバスバッファ回路１１６および双方向システムデータバス（D_7－D_0）を介して、割込制御装置２０とプロセッサ間の通信を許可することを可能にする。

【００１９】

読出／書込論理回路１１２への書込（／ＷＲ）入力は、可能化されると、割込制御装置２０がプロセッサからプログラムのための指示を受取ることを許可する。これらの命令は、制御装置２０の動作のための様々なパラメータを設定する動作コマンド語を含むだろう。読出／書込論理回路１１２の読出（／ＲＤ）入力を可能化することにより、プロセッサは

、初期設定シーケンス中に設定されたパラメータの状態を含む、制御装置２０の状態を示すデータを入手できる。A_0 アドレスラインは、論理回路１１２の／ＷＲ、／ＣＳおよび／ＲＤラインとともに、プロセッサからの様々なコマンド語およびプロセッサからの状態要求をデコードする。

【００２０】

データバスバッファ回路１１６は、制御装置２０とプロセッサとの間で、制御、状態および割込アドレスデータの転送を許可する双方向バスインターフェイスである。割込アドレスデータはベクタ化されたポインタを含み、このポインタは、特定の周辺装置のための割込処理ルーチンが記憶されている、プロセッサ読出可能メモリ中のアドレスを識別する。

【００２１】

制御論理回路１１８は、割込ライン（ＩＮＴ）を介してプロセッサへの割込要求の伝達を制御し、割込肯定応答ライン（ＩＮＴＡ）を介してプロセッサからの割込肯定応答信号を受信する。

【００２２】

動作において、有効な割込要求が周辺装置によってアサートされると、制御装置２０によって、割込信号が、典型的にはプロセッサの割込入力端子に接続されている出力ピンＩＮＴに出力される。ＩＮＴラインを介して割込要求を受信した後、プロセッサは割込肯定応答信号を発生し、その割込肯定応答信号はＩＮＴＡラインを介して制御論理回路１１８へ伝送される。ＩＮＴＡライン上の可能化信号によって、制御論理回路１１８は、バッファ１１６を介して、データバスに、ベクタ化された適切な割込処理ルーチンのアドレスを書込む。

【００２３】

前述したように、様々な周辺装置からの割込要求が要求ラインIR_0－IR_7を介して受信される。これらは非同期の要求である。割込要求レジスタ１２０は、割込を要求している任意の割込ラインIR_0－IR_7の識別情報を受信し、記憶する。

【００２４】

割込要求レジスタ１２０は、カスケード構成で、優先順位決定器１２２に接続される。優先順位決定器１２２は、処理を要求する割込ラインの（ユーザによってプログラムされた）優先順位レベルを、現在処理中の優先順位レベルと比較し、優先順位の低い要求を待機モードにラッチし、そして最高優先順位の割込の処理を指示する。

【００２５】

優先順位決定器１２２の出力は処理中レジスタ１２４に接続される。処理中レジスタ１２４は、プロセッサによって処理されている任意の要求ラインの識別情報を記憶する。

【００２６】

１つ以上の割込ラインが処理されるのを一時的に、またはより長期にわたって防ぐことをユーザが所望する場合には、その割込ラインに対応するマスクビットがセットできる。これらのマスクビットは割込マスクレジスタ１２６に記憶される。割込マスクレジスタ１２６は、割込要求レジスタ１２０内の１つ以上の割込要求ラインを不能化するように構成される。割込マスクレジスタ１２６は、内部バス１１４およびデータバスバッファ回路１１６を介しての、プロセッサとの双方向通信のできる、読出可能／書込可能なレジスタである。

【００２７】

割込制御装置２０の構成要素内の様々な回路ブロックについてのさらなる詳細は、たとえば、アドバンスト・マイクロ・ディバイシズの出版物である「ＭＯＳマイクロプロセッサおよびその周辺装置」、および１９９２年３月３１日にカリー（Culley）らに対して発行された米国特許第５，１０１，４９７号内に記載されている。この特許全体を引用によってここに援用する。

【００２８】

この発明によれば、割込制御装置２０はさらに、現在プロセッサによって処理中の任意の要求ラインの識別情報を、外部に接続された装置に供給するための、処理中レジスタ１２

４に結合されたバス１３０を有して構成される。示された実施例では、電力管理ユニット１０は、割込制御装置２０の１組の端子１３１で、バス１３０に接続される。割込制御装置２０は集積回路チップ上に作られ、１組の端子１３１は集積回路チップの外部ピンであることに、注目すべきである。以下でさらに詳細に説明するように、電力管理ユニット１０は内部処理レジスタ１２４からの情報を利用して、電力管理のために、様々なクロック信号の再停止を制御し、または休止中の回路部分からの電力の除去を制御する。

【００２９】

電力管理ユニット１０は、コンピュータシステムによって消費される全体の電力を管理するように構成される。たとえば、電力管理ユニット１０は、通常はマイクロプロセッサ（ＣＰＵ）、メモリサブシステムおよび／または周辺装置を駆動する不使用のクロック信号をオフにすることにより、電力消費を削減するかもしれない。電力管理ユニット１０は、同様に、休止中の様々なサブシステムから電力供給を除去するように構成されるかもしれない。このような構成において、電力管理ユニット１０は割込要求ラインIR_0－IR_7をモニタし、割込要求信号がアサートされると、クロック信号を再始動させ、および／または電力を必要なサブシステム（すなわち、ＣＰＵ、システムメモリ、など）に再び印加する。電力管理ユニット１０は、適切な制御信号をクロック／電力スイッチング回路４０に供給することにより、クロック信号を再始動させ、および／または電力を再び印加する。一旦クロック信号を再始動し、および／または電力が再び印加されると、割込処理ルーチンの実行が遂行できる。これらの電力管理機能は当業者には周知であり、公知の先行技術の多数の刊行物に記載されている。たとえば、そのような電力管理ユニットの１つであって、コンピュータシステムの様々なサブシステムを連続してモニタし、電力および／またはクロック信号を休止中のサブシステムから除去するためのソフトウェアルーチンを含む電力管理ユニットが、スミス（Smith ）らに対して、１９９２年１１月２４日に発行された米国特許第５，１６７，０２４号に記載されている。この特許全体を引用によりここに援用する。

【００３０】

上述の機能を実現する回路（および、いくつかの具体例において、ソフトウェア）に加えて、電力管理ユニット１０はまた、クロック／電力スイッチング回路４０に結合されたクロック／電力制御ユニット１５０を含む。クロック／電力制御ユニット１５０はバス１３０に接続され、任意の割込要求がマイクロプロセッサによって現在処理中かどうか示す処理中レジスタ１２４内の状態情報を受取る。前述したように、任意の割込要求がマイクロプロセッサによって現在処理中の場合には、処理中レジスタ１２４内の対応するビットがセットされる。電力管理ユニット１０のクロック／電力制御ユニット１５０は、バス１３０を介してこのアサートされたビットを受取り、それに従って、制御信号をクロック／電力スイッチングユニット４０に供給する。この制御信号によって、クロック／電力スイッチング回路４０は、クロック信号および電力を、たとえば、ＣＰＵおよび様々なサブシステムに供給し続ける。このように、特定の割込が処理され、処理中レジスタ１２４の対応するビットがセットされている間、クロック／電力制御ユニット１５０は、確実に、クロック信号が再停止しないよう、および様々なサブシステムへの電力が電力管理ユニット１０によって除去されないようにする。

【００３１】

すべての割込要求がマイクロプロセッサによって処理された後、処理中レジスタ１２４内の各ビットはクリアされる。電力管理ユニット１０のクロック／電力制御ユニット１５０は、バス１３０を介してこの状態を感知し、それに従って、制御信号をクロック／電力スイッチング回路４０へ供給して、たとえば、クロック信号が停止し、およびまたは電力が様々なサブシステムから除去されるようにする。１つの実施例において、このことは、クロック／電力管理ユニット１５０内にＯＲゲートを組込み、ＯＲゲートの入力をバス１３０に直結し、ＯＲゲートの出力をクロック／電力スイッチング回路４０に直結することで達成され得る。電力管理ユニット１０は、代わりに、処理中レジスタ１２４内のビットがすべてクリアされた後で、前もって決定された遅延の後、クロック信号を停止、および／

または電力を除去するようにプログラムされてもよい。システム設計および所望の電力管理体系により、電力管理ユニット１０は、処理中レジスタ１２４のクリアされた状態をクロック／電力制御ユニット１５０が感知した後に、クロック信号を再停止し、および／または、電力を除去するために、他のいかなる適切なアルゴリズムでもプログラム可能である。たとえば、マイクロプロセッサによって処理中のルーチンが、キーボードによって開始された割込要求の結果であれば、処理中レジスタ１２４がクリアした後、クロック信号を再停止し、および／または電力を除去する前に、前もって決定された遅延を提供するように、設計者は電力管理ユニット１０をプログラムすることを選択できる。というのも、その後、システム活動が継続的に起こる可能性があるからである。

【００３２】

図２は、割込制御装置２０内に組込まれた内部回路の一部を示す概略図である。図示されている内部回路の部分は、本質的には、割込要求レジスタ１２０および処理中レジスタ１２４の、１つの論理セルを表わし、この論理セルは割込制御装置内で各割込要求ラインIR_0－IR_7について同じものが設けられている。明確にするために、回路の動作は単一の割込要求ラインについてのものであるとして記述されているが、必要とされる数の割込要求ラインを処理するために、当業者が必要なだけの数の同じ回路素子を加えることもできることは理解されるはずである。

【００３３】

図２の回路は、エッジ感知ラッチ２００、要求ラッチ２０２、マスクラッチ２０４および処理中ラッチ２０６を含む。ＮＯＲゲート２０８－２１０、ＯＲゲート２１１およびインバータ２１２も図示されている。要求ラッチ２０２は割込要求レジスタ１２０内にあるラッチである。ラッチ２０２のＤ入力の論理ハイはＱ出力での論理ローを生じ、これはＮＯＲゲート２１０のための入力条件の半分を満たす。第２の入力条件は、割込がマスクラッチ２０４を介してマスク（不能化）されていなければ、満たされる。マスクラッチ２０４は割込マスクレジスタ１２６の一部を形成するＤタイプラッチである。割込要求は、その後、優先順位決定器１２２に伝えられ、競合の解消後、制御論理１１８へ伝送される。割込要求が制御論理１１８に伝えられると、そのＩＮＴ出力が可能化され、それにより割込要求をプロセッサに通信する。割込要求が割込肯定応答信号（ＩＮＴＡ）を介してプロセッサにより肯定応答されると、処理中ビットがセットされ、それにより、処理中ラッチ２０６がセットされる。この信号は、また、ＯＲゲート２１１を可能化し、これはエッジ感知ラッチ２００をクリアして、次の割込を受信するように回路を再初期設定する。処理中ラッチ２０６の出力はバス１３０のビットラインの１つと結合される。

【００３４】

一度上記の開示が十分に理解されれば、非常に多くの変形および修正が当業者にとって明らかとなる。たとえば、図１のバス１３０は内部レジスタ１２４の各状態ビットを端子１３１に接続するが、内部処理レジスタ１２４内の２つ以上の状態ビットを、割込制御装置２０のピン数を減少させるために、割込制御装置２０内で論理的にＯＲすることができる。さらには、割込制御装置２０および電力管理ユニット１０は別個のユニットとして示されているが、割込制御装置２０および電力管理ユニット１０は共通の集積回路チップ上に組込むこともでき、それによって、バス１３０に接続する外部ピンを除去することができる。前掲の特許請求の範囲はそのようなすべてのバリエーションおよび変更を包含すると解釈されることを、意図するものである。

【図面の簡単な説明】

【図１】この発明に従った、電力管理ユニットに結合された割込制御装置を示すブロック図である。

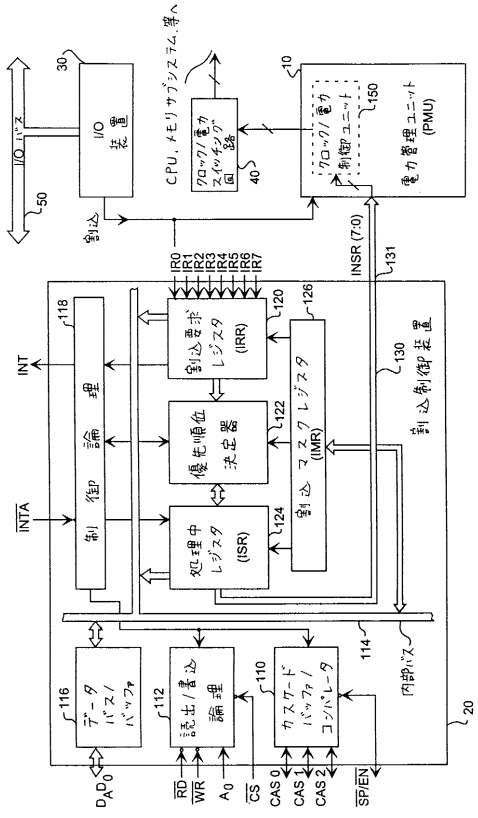
【図２】割込制御装置の一部分を示す概略図である。

【符号の説明】

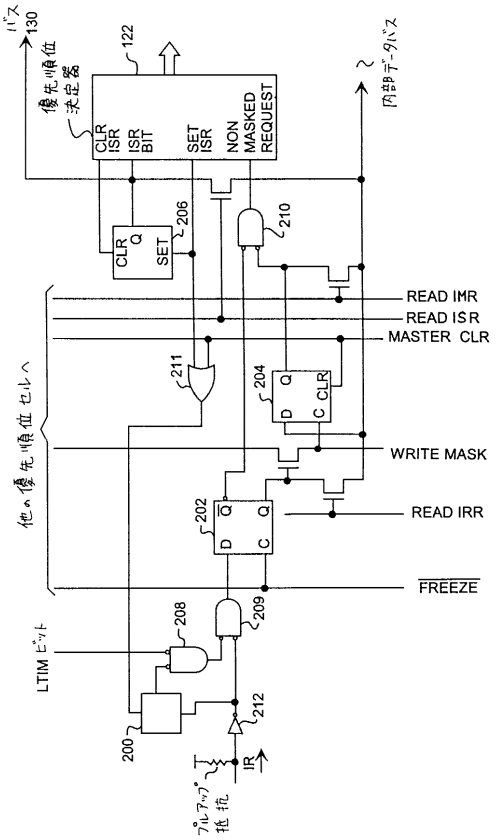
１０　電力管理ユニット
２０　割込制御装置
３０　Ｉ／Ｏ装置

４０　クロック／電力スイッチング回路
１１０　カスケードバッファ／コンパレータ
１１２　読出／書込論理
１１６　データバス／バッファ
１１８　制御論理
１２０　割込要求レジスタ
１２２　優先順位決定器
１２４　処理中レジスタ
１２６　割込マスクレジスタ
１３０　バス
１３１　端子

【図１】



【図２】



フロントページの続き

(74)代理人 100096781
弁理士 堀井 豊
(72)発明者 ジェイムズ・アール・マクドナルド
アメリカ合衆国、７８６１０ テキサス州、ブッダ、デューベリー・コーブ、２０３
(72)発明者 ダグラス・ディー・ゲファート
アメリカ合衆国、テキサス州、オースティン、ロメイン・レーン、８９０６
(72)発明者 ダン・エス・マジェット
アメリカ合衆国、テキサス州、オースティン、ミフリン・ケネディ、７６１０

合議体
審判長 吉岡 浩
審判官 相崎 裕恒
審判官 冨吉 伸弥

(56)参考文献 特開平４－１９５６１９（ＪＰ，Ａ）
特開平５－２１６８０７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G06F1/04,G06F9/46