



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201731109 A

(43) 公開日：中華民國 106 (2017) 年 09 月 01 日

(21) 申請案號：105137776

(22) 申請日：中華民國 105 (2016) 年 11 月 18 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

(30) 優先權：2016/02/25 美國

15/054,046

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72) 發明人：張哲誠 CHANG, CHE-CHENG (TW)；林志翰 LIN, CHIH-HAN (TW)；曾鴻輝
TSENG, HORNG-HUEI (TW)

(74) 代理人：卓俊傑

申請實體審查：無 申請專利範圍項數：1 項 圖式數：3 共 30 頁

(54) 名稱

鳍片型場效應電晶體元件及其製造方法

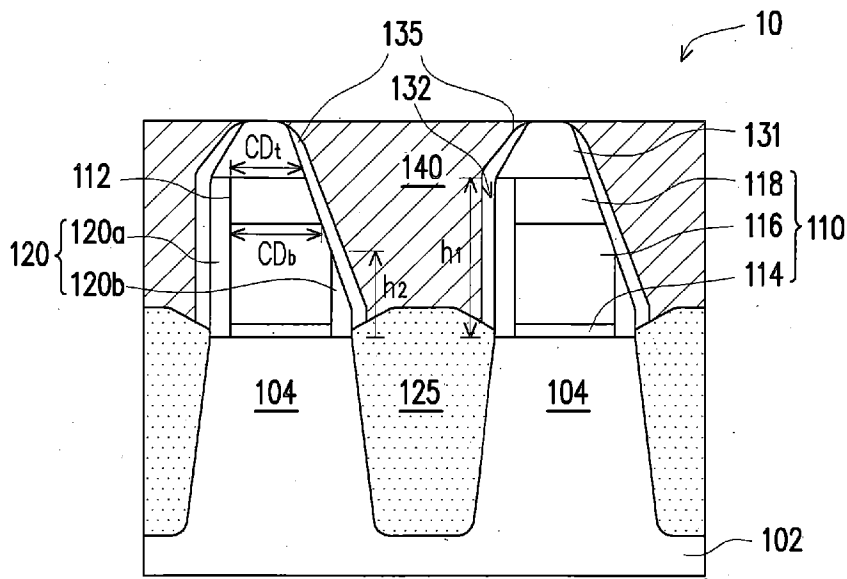
FIN-TYPE FIELD EFFECT TRANSISTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) 摘要

本發明實施例描述了一種鳍片型場效應電晶體元件，其包含基底、閘極堆疊結構、間隔物以及源極和汲極區域。間隔物包含第一和第二間隔物並且第一間隔物的第一高度大於第二間隔物的第二高度。配置於閘極堆疊結構上的介電層包含接觸開口，接觸開口暴露源極和汲極區域、第一和第二間隔物以及閘極堆疊結構的一部分。鞘結構配置在接觸開口內並且鞘結構與第一和第二間隔物以及閘極堆疊結構的暴露部分接觸而不覆蓋源極和汲極區域。金屬連接器配置在鞘結構內並且連接到源極和汲極區域。

A fin-type field effect transistor device including a substrate, a gate stack structure, spacers and source and drain regions is described. The spacers includes first and second spacers and a first height of the first spacer is larger than a second height of the second spacer. A dielectric layer disposed on the gate stack structure includes a contact opening exposing the source and drain regions, the first and second spacers and a portion of the gate stack structure. A sheath structure is disposed within the contact opening and the sheath structure is in contact with the first and second spacers and the exposed portion of the gate stack structure without covering the source and drain regions. A metal connector is disposed within the sheath structure and connected to the source and drain regions.

指定代表圖：



【圖1】

符號簡單說明：

- 10 . . . FinFET 元件
- 102 . . . 基底
- 104 . . . 通道區域
- 110 . . . 閘極堆疊結構
- 112 . . . 側壁
- 114 . . . 閘極介電條
- 116 . . . 閘極電極條
- 118 . . . 硬罩幕條
- 120 . . . 間隔物
- 120a . . . 第一間隔物
- 120b . . . 第二間隔物
- 125 . . . 源極和汲極區域
- 131 . . . 介電層
- 132 . . . 接觸開口
- 135 . . . 鞘結構
- 140 . . . 金屬連接器



【發明摘要】

【中文發明名稱】 鱗片型場效應電晶體元件及其製造方法

【英文發明名稱】 FIN-TYPE FIELD EFFECT TRANSISTOR

DEVICE AND MANUFACTURING METHOD THEREOF

【中文】 本發明實施例描述了一種鱗片型場效應電晶體元件，其包含基底、閘極堆疊結構、間隔物以及源極和汲極區域。間隔物包含第一和第二間隔物並且第一間隔物的第一高度大於第二間隔物的第二高度。配置於閘極堆疊結構上的介電層包含接觸開口，接觸開口暴露源極和汲極區域、第一和第二間隔物以及閘極堆疊結構的一部分。鞘結構配置在接觸開口內並且鞘結構與第一和第二間隔物以及閘極堆疊結構的暴露部分接觸而不覆蓋源極和汲極區域。金屬連接器配置在鞘結構內並且連接到源極和汲極區域。

【英文】 A fin-type field effect transistor device including a substrate, a gate stack structure, spacers and source and drain regions is described. The spacers includes first and second spacers and a first height of the first spacer is larger than a second height of the second spacer. A dielectric layer disposed on the gate stack structure includes a contact opening exposing the source and drain regions, the first and second spacers and a portion of the gate stack structure. A sheath structure is disposed within the contact opening and the sheath structure is in contact with the first and second spacers and

the exposed portion of the gate stack structure without covering the source and drain regions. A metal connector is disposed within the sheath structure and connected to the source and drain regions.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

10：FinFET 元件

102：基底

104：通道區域

110：閘極堆疊結構

112：側壁

114：閘極介電條

116：閘極電極條

118：硬罩幕條

120：間隔物

120a：第一間隔物

120b：第二間隔物

125：源極和汲極區域

131：介電層

132：接觸開口

135：鞘結構

140：金屬連接器

【發明說明書】

【中文發明名稱】 鱸片型場效應電晶體元件及其製造方法

【英文發明名稱】 FIN-TYPE FIELD EFFECT TRANSISTOR

DEVICE AND MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明實施例是關於鱸片型場效應電晶體元件及其製造方法。

【先前技術】

【0002】 由於半導體元件的閘極寬度和通道長度持續縮小，所以已經研發出非平面或三維場效應電晶體結構，例如，具有升高的垂直鱸片的鱸片型場效應電晶體（fin-type field effect transistor，FinFET）以提高電晶體的操作速度。升高的和狹窄的鱸片能夠使晶片區域被更有效使用，不過也導致具有高深寬比的場效應電晶體。

【發明內容】

【0003】 根據本發明的一實施例，提供一種鱸片型場效應電晶體（FinFET）元件。鱸片型場效應電晶體元件包括基底、至少一個閘極堆疊結構、間隔物、源極和汲極區域、介電層、至少一個鞘結構以及至少一個金屬連接器。至少一個閘極堆疊結構配置在基

底上，並且間隔物配置在至少一個閘極堆疊結構的側壁上。間隔物包含第一間隔物和第二間隔物並且第一間隔物的第一高度大於第二間隔物的第二高度。源極和汲極區域配置在基底中並且位於至少一個閘極堆疊結構的相對側。介電層配置在基底上並且位於至少一個閘極堆疊結構上。介電層包含至少一個接觸開口，接觸開口暴露源極和汲極區域、第一和第二間隔物以及至少一個閘極堆疊結構的一部分。至少一個鞘結構配置在至少一個接觸開口內。至少一個鞘結構與第一和第二間隔物以及至少一個閘極堆疊結構的暴露部分接觸而不覆蓋源極和汲極區域。至少一個金屬連接器配置在至少一個鞘結構內並且在至少一個接觸開口內，並且至少一個金屬連接器連接到源極和汲極區域。

【0004】 為讓本揭露的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0005】

圖 1 說明根據本發明的一些實施例的例示性 FinFET 元件的剖面圖。

圖 2A-2G 顯示根據本發明的一些實施例形成 FinFET 元件的製造方法的各個階段所製得的 FinFET 元件的剖面圖和俯視圖。

圖 3 顯示根據本發明的一些實施例的形成 FinFET 元件的製造方法的過程步驟的例示性流程圖。

【實施方式】

【0006】 以下揭露內容提供用於實施所提供的標的之不同特徵的許多不同實施例或實例。以下所描述的構件及配置的具體實例是為了以簡化的方式傳達本揭露為目的。當然，這些僅僅為實例而非用以限制。舉例來說，於以下描述中，在第一特徵上方或在第一特徵上形成第二特徵可包括第二特徵與第一特徵形成為直接接觸的實施例，且亦可包括第二特徵與第一特徵之間可形成有額外特徵使得第二特徵與第一特徵可不直接接觸的實施例。此外，本揭露在各種實例中可使用相同的元件符號及/或字母來指代相同或類似的部件。元件符號的重複使用是為了簡單及清楚起見，且並不表示所欲討論的各個實施例及/或配置本身之間的關係。

【0007】 另外，為了易於描述附圖中所繪示的一個構件或特徵與另一組件或特徵的關係，本文中可使用例如「在...下」、「在...下方」、「下部」、「在...上」、「在...上方」、「上部」及類似術語的空間相對術語。除了附圖中所繪示的定向之外，所述空間相對術語意欲涵蓋元件在使用或操作時的不同定向。設備可被另外定向（旋轉 90 度或在其他定向），而本文所用的空間相對術語相應地作出解釋。

【0008】 本發明的實施例描述了 FinFET 元件的例示性製造過程以及從所述方法製造的 FinFET 元件。FinFET 元件可以形成於單晶半導體基底上，例如，在本發明的某些實施例中的塊狀矽 (bulk silicon) 基底。在一些實施例中，作為替代方案，FinFET 元件可以

形成於絕緣體上矽 (silicon-on-insulator, SOI) 基底或絕緣體上鍺 (germanium-on-insulator, GOI) 基底上。並且，根據實施例，矽基底可以包括其它傳導層、摻雜區或其它半導體元件，例如，電晶體、二極體或類似物。實施例意圖提供進一步的解釋但是並非用於限制本發明的範圍。

【0009】 圖 1 說明根據本發明的一些實施例的例示性 FinFET 元件的剖面圖。在圖 1 中，FinFET 元件 10 包括：形成於基底 102 上的至少一個閘極堆疊結構 110、形成於閘極堆疊結構 110 的相對側壁 112 上的間隔物 120 以及位於基底 102 內且位在閘極堆疊結構 110 兩相對側處的源極和汲極區域 125。在一些實施例中，FinFET 元件 10 還包括：介電層 131、至少一個金屬連接器 140 以及鞘結構 135。介電層 131 位於閘極堆疊結構 110 和間隔物 120 上方並且覆蓋閘極堆疊結構 110 和間隔物 120。至少一個金屬連接器 140 連接到源極和汲極區域 125。鞘結構 135 位於金屬連接器 140 與介電層 131 和間隔物 120 之間。在一些實施例中，閘極堆疊結構 110 包含多晶矽閘極結構或替代金屬閘極結構。在一些實施例中，位於間隔物 120 和閘極堆疊結構 110 旁邊的源極和汲極區域 125 是應變源極和汲極區域。FinFET 元件 10 預定位於基底 102 的隔離結構 (未圖示) 之間。在一些實施例中，FinFET 元件 10 是 p 型 FinFET 元件。在一些實施例中，FinFET 元件 10 是 n 型 FinFET 元件。

【0010】 在圖 1 中，在某些實施例中，間隔物 120 包含第一間隔

物 120a 和第二間隔物 120b 並且第一間隔物的第一高度 h_1 大於第二間隔物的第二高度 h_2 。在一些實施例中，介電層 131 包含一個或多個接觸開口 132，並且接觸開口 132 暴露源極和汲極區域 125、第一和第二間隔物以及閘極堆疊結構 110 的一部分。在一些實施例中，鞘結構 135 會與第一間隔物 120a 和第二間隔物 120b 以及閘極堆疊結構 110 的被暴露部分接觸，但不覆蓋住源極和汲極區域 125。在某些實施例中，閘極堆疊結構 110 的硬罩幕條 118 的頂部尺寸 CD_t 小於硬罩幕條 118 的底部尺寸 CD_b 。

【0011】圖 2A-2G 說明根據本發明的一些實施例之形成 FinFET 元件的製造方法的各個階段所製得 FinFET 元件的剖面圖和俯視圖。在圖 2A 中，提供形成有至少一個閘極堆疊結構 110 以及源極和汲極區域 125 的基底 102。基底 102 是例如單晶半導體基底或 SOI 基底。在一些實施例中，基底 102 是矽基底。在一些實施例中，一個以上閘極堆疊結構 110 形成於基底 102 上並且閘極堆疊結構 110 是平行佈置的條形狀的結構。在圖 2A 中，繪示出了兩個閘極堆疊結構 110，但閘極堆疊結構 110 的數目是出於說明性目的而非意圖限制本發明的結構。在一些實施例中，閘極堆疊結構 110 包含多晶矽閘極結構或替代金屬閘極結構。在一些實施例中，閘極堆疊結構 110 包括閘極介電條 114、位於閘極介電條 114 上的閘極電極條 116 以及位於閘極電極條 116 上的硬罩幕條 118。並且，包含第一間隔物 120a 和第二間隔物 120b 的間隔物 120 位於閘極堆疊結構 110 的相對側壁 112 上。在一些實施例中，閘極堆疊結

構 110 透過以下步驟形成：形成閘極介電層（未圖示）、沉積閘極電極材料層（未圖示）、沉積閘極電極材料層上的硬罩幕層（未圖示），接著圖案化硬罩幕層、閘極電極材料層和閘極介電層以形成閘極介電條 114、閘極電極條 116 和硬罩幕條 118。閘極電極條 116 的材料包括摻雜或未摻雜的多晶矽或含金屬導電材料。含金屬導電材料包括鋁（Al）、銅（Cu）、鎢（W）、鈷（CO）、鈦（Ti）、鉭（Ta）、鈳（Ru）、TiN、TiAl、TiAlN、TaN、TaC、NiSi、CoSi 或其組合。在一些實施例中，閘極介電條 114 的材料包括氧化矽、氮氧化矽、氮化矽或其組合。在一些實施例中，閘極介電條 114 的材料包括高介電係數(high-k)介電材料，並且高介電係數介電材料具有的 k 值大於大約 7.0 並且包含金屬氧化物或金屬矽酸鹽例如鈦（Hf）、Al、鋯（Zr）、鏷（La）、鎂（Mg）、鋇（Ba）、Ti、鉛（Pb）的矽酸鹽及其組合。取決於 FinFET 元件 10 是否是 p 型 FinFET 元件或是 n 型 FinFET 元件，閘極介電條 114 和/或閘極電極條 116 的材料是基於產品需求選擇的。在一個實施例中，硬罩幕條 118 由例如氮化矽、氧化矽或其組合形成。在一些實施例中，間隔物 120 的第一間隔物或第二間隔物可以是單層或多層結構。在某些實施例中，第一間隔物和第二間隔物的材料包含氮化矽、氮氧化矽，其組合或其它合適的介電材料。在一些實施例中，間隔物 120 的第一間隔物和第二間隔物透過以下步驟形成：沉積介電材料（未圖示）的毯覆層並且執行非等向性蝕刻過程以在閘極堆疊結構 110 的相對側壁 112 上形成第一間隔物

120a 和第二間隔物 120b (間隔物 120 對)。

【0012】 在圖 2A 中，形成源極和汲極區域 125 在基底 102 內且在閘極堆疊結構 110 和間隔物 120 旁邊。在一些實施例中，源極和汲極區域 125 是應變(strained)的源極和汲極區域或升高的磊晶源極和汲極區域(raised epitaxial source and drain regions)。在一些實施例中，源極和汲極區域 125 之形成是透過使用一個或多個非等向性蝕刻與等向性蝕刻過程使基底 102 的一部分在預定為源極和汲極區域的位置處凹陷，並且以應變材料(未圖示)填滿基底 102 的凹陷部分。因為通道區域位於閘極堆疊結構 110 的相對側處的源極和汲極區域 125 之間，所以通道區域 104 是經受應變或經受應力的，因此增加元件的載子遷移率並且增強元件性能。在一些實施例中，源極和汲極區域 125 的部分是實質上與基底表面共平面的或是略微地突出於基底表面上。在某些實施例中，如果 FinFET 元件 10 是 p 型 FinFET 元件，則應變材料是鍺化矽 (SiGe)，或者如果 FinFET 元件 10 是 n 型 FinFET 元件，則應變材料是碳化矽 (SiC)。在一些實施例中，源極和汲極區域 125 是使用循環沉積蝕刻 (cyclic deposition-etch, CDE) 磊晶過程或選擇性磊晶生長 (selective epitaxial growth, SEG) 過程來形成的高晶體品質的應變材料。在一個實施例中，源極和汲極區域是應變源極和汲極區域，並且源極和汲極區域 125 的材料包括硼摻雜的 SiGe，其是以原位摻雜的選擇性磊晶生長 (selectively growing epitaxy with in-situ doping) 所形成。在某些實施例中，可選擇地透過矽化製程

形成矽化物層（未圖示）於源極和汲極區域 125 上。

【0013】 在圖 2B 中，形成介電層 130 在基底 102 上且覆蓋閘極堆疊結構 110、間隔物 120 以及源極和汲極區域 125。在一些實施例中，介電層 130 是層間介電（inter-layer dielectric, ILD）層。在一個實施例中，所形成介電層 130 填滿閘極堆疊結構 110 之間間隙直至介電層 130 的頂部表面 130a 高於閘極堆疊結構 110 的頂部表面 110a。在一些實施例中，介電層 130 包含選自氧化矽、氮化矽、SiC、碳氮化矽（SiCN）或低介電係數（low-k）介電材料的至少一種介電材料。低介電係數介電材料具有低於大約 4.0 的 k 值並且包含透過電漿增強化學氣相沉積（plasma-enhanced chemical vapor deposition, PECVD）或旋塗方法形成的含碳氧化物或矽酸鹽玻璃。在形成介電層 130 之後，形成包含多個孔 152 的單幕圖案 150 於介電層 130 上。單幕圖案 150 作為後續過程中蝕刻底層介電層 130 的蝕刻單幕。在一些實施例中，單幕圖案 150 包含光阻材料。孔 152 的位置對應於隨後形成的接觸孔的期望位置。

【0014】 參考圖 2C，圖案化介電層 130（圖 2B）而蝕刻貫穿介電層 130，以在源極和汲極區域 125 上形成多個接觸開口 132。在一些實施例中，介電層 130 被蝕刻直至暴露出源極和汲極區域 125，而且圖案化的介電層 131 仍然覆蓋閘極堆疊結構 110。在一些實施例中，單幕圖案 150（圖 2B）在蝕刻介電層 130 時同時被移除或者在介電層 130 蝕刻之後被移除。在某些實施例中，接觸開口 132

的形成（介電層 130 的蝕刻）包括執行一個或多個非等向性蝕刻過程、反應性離子蝕刻（RIE）過程或其組合。在一些實施例中，接觸開口 132 位於兩個最鄰近的閘極堆疊結構 110 之間，且透過接觸開口 132 暴露源極和汲極區域 125 的部分與間隔物 120。在某些實施例中，接觸開口 132 的形狀（從俯視圖中）是根據罩幕圖案的設計而定，並且取決於產品需求而可以是圓形的、橢圓形的、四邊形的或呈任何多邊形形狀。本文中描述的接觸開口可以是圓形的或多邊形的孔或者基底 102 中延伸一特定長度的溝槽。

【0015】在圖 2C 中，端視介電層 130（圖 2B）、硬罩幕條 118 和/或間隔物 120 所選擇的材料為何來決定，通常可調節蝕刻的蝕刻速率和蝕刻選擇性而向下蝕刻介電層 130 以暴露出源極和汲極區域 125。在某些實施例中，由於閘極堆疊結構 110 之間的緊密間隔與高深寬比的接觸開口 132，為了移除在源極和汲極區域 125 上的介電層 130，介電層 130 之蝕刻會造成第二間隔物 120b 的下拉（pulling down）和硬罩幕條 118 的部分移除。在一個實施例中，雖然源極和汲極區域上的介電層 130 被移除，但是閘極堆疊結構 110 的閘極電極條 116 是幾乎被接觸開口 132 暴露出來或被接觸開口 132 暴露出來的，這是因為硬罩幕條 118 和第二間隔物 120b 在蝕刻（圖案化）介電層 130 過程中被部分地移除。在一個實施例中，由於接觸開口 132 的高深寬比，用於蝕刻的製程窗口（process window）實際上較小並且過度蝕刻（over-etching）會發生在介電層 130、硬罩幕條 118 和第二間隔物 120b 上，這使得閘極堆疊結

構 110 的轉角（或邊緣）被切割，而接觸開口 132 在一側處傾斜並且在上部部分處更寬。在接觸開口的形成過程中，此類過度蝕刻可能在閘極堆疊結構的一側或兩側發生，並且導致第一和第二間隔物中的任一者或兩者被下拉。在一個實施例中，閘極堆疊結構 110 的一側在圖案化介電層 130 時被過度蝕刻，部分移除的硬罩幕條 118 具有小於底部尺寸 CD_b 的頂部尺寸 CD_t ，並且在閘極堆疊結構 110 的一側上被部分移除的第二間隔物 120b 具有第二高度 h_2 ，其小於第一間隔物 120a 的第一高度 h_1 。也就是說，第二間隔物被從相當於 h_1 的高度下拉到較低的高度 h_2 。在某些實施例中，取決於接觸開口 132 的斜度，部分移除的硬罩幕條 118 的頂部尺寸 CD_t 小於部分移除的硬罩幕條 118 的底部尺寸 CD_b ，並且底部尺寸 CD_b 與頂部尺寸 CD_t 之間的差值範圍介於 5 nm 到 1000 nm 之間。在某些實施例中，取決於接觸開口 132 的斜度，第一高度 h_1 和第二高度 h_2 之間的差值範圍介於 10 nm 到 1000 nm 之間。在一個實施例中，部分介電層 130 殘留在第一間隔物 120a 上而第二間隔物 120b 被下拉到第二高度 h_2 。

【0016】 在一些實施例中，如圖 2D 中所示，在介電層 130 的蝕刻之後，在基底 102 上形成實質上共形到上文描述的結構（第一間隔物 120a、暴露的源極和汲極區域 125、部分移除的第二間隔物 120b、部分移除的硬罩幕條 118 和位於閘極堆疊結構 110 上方的圖案化介電層 131）之拓撲結構（topology）的毯覆式黏著層 134。在某些實施例中，黏著層 134 實質上共形到接觸開口 132 的輪廓

並且均勻地覆蓋接觸開口 132 的側壁 132b 以及源極和汲極區域 125。在一些實施例中，黏著層 134 的材料可以與間隔物 120 的材料相同或不同，並且黏著層 134 的材料包含氮化矽、氮氧化矽、SiCN 或其組合。在一個實施例中，黏著層 134 之形成包含原子層沉積 (atomic layer deposition, ALD) 過程或電漿增強型 ALD (plasma-enhanced ALD, PEALD) 過程，而且黏著層 134 具有 5Å 到 100Å 的厚度範圍。

【0017】 圖 2E 是根據本發明的某些實施例顯示出 FinFET 元件 10 的一部分的例示性剖面圖，而圖 2E' 是根據本發明的某些實施例示出 FinFET 元件 10 的一部分的例示性俯視圖。在圖 2E 中，蝕刻共形黏著層 134 (圖 2D) 以形成位於接觸開口 132 的側壁 132b 上的鞘結構 135，這是透過移除位於源極和和區域 125 上的黏著層 134 並且移除位於圖案化介電層 131 上的黏著層 134 而形成。在某些實施例中，配置於接觸開口 132 的側壁 132b 上的鞘結構 135 (所殘留的黏著層) 覆蓋第一間隔物 120a、邊角切割的閘極堆疊結構 110、縮短 (下拉的) 的第二間隔物 120b 以及圖案化介電層 131 的一部分，但是暴露出源極和汲極區域 125。在一些實施例中，傾斜的接觸開口 132 內的鞘結構 135 會與第一間隔物 120a、縮短的第二間隔物 120b 以及被接觸開口 132 所暴露切割過的硬罩幕條 118 接觸。在一個實施例中，如果接觸開口 132 是更加傾斜的則閘極電極條 116 會被接觸開口暴露出來，那麼隨後所形成的鞘結構 135 覆蓋且隔離邊角切割的閘極堆疊結構 110 之閘極電極條 116。

如圖 2E'中所示，在一個實施例中，使用圓形接觸開口作為一個實例，鞘結構 135 的形狀看起來類似於中空圓形但是其結構類似於沿著開口 132 配置的閉合壁結構，並暴露出源極和汲極區域 125。在一些實施例中，鞘結構 135 的形成（共形黏著層 134 的蝕刻）包括執行一個或多個非等向性蝕刻過程。在某些實施例中，可調節蝕刻氣體的流速、一個或多個非等向性蝕刻過程的壓力和/或蝕刻溫度，用以控制黏著層 134 的蝕刻，以最小程度的損壞選擇性地移除位於源極和汲極區域 125 上的黏著層 134 與位於圖案化介電層 131 上的黏著層 134，使得圖案化介電層 131 的頂部表面 131a 以及源極和汲極區域 125 暴露出來。由於覆蓋間隔物 120、邊角切割的閘極堆疊結構 110 和圖案化的介電層 131 的黏著層 134 能提供更好保護，使得蝕刻過程視窗變得更大，並且圖案轉移及微影和蝕刻過程的負荷或需求減輕。在一個實施例中，黏著層 134 的材料是基於所執行的非等向性蝕刻過程選擇的，使得位於源極和汲極區域 125 上的黏著層 134 被選擇性地蝕刻完而暴露源極和汲極區域 125，同時保留位於第一間隔物 120a、縮短的第二間隔物 120b 和暴露的硬罩幕條 118 上的黏著層 134 以用於更好的絕緣。也就是說，位於接觸開口 132 內的鞘結構 135（所保留的黏著層）強化被邊角切割的閘極堆疊結構 110 與隨後形成的金屬連接器或接觸件之間的隔離和絕緣。如先前所提到，在一些實施例中，在形成接觸開口 132 時，間隔物 120 的下拉甚至可能暴露閘極電極條 116，並且稍後形成的黏著層 134 進一步覆蓋閘極電極條 116

和間隔物 120 以及圖案化介電層 131 以強化閘極堆疊結構 110 的隔離。閘極堆疊結構 110 和底層通道區域 104 的更佳隔離可改進可靠性和改善元件性能。在某些實施例中，鞘結構 135 的形成可使通道和閘極堆疊結構能更好地被隔離，並且對於用於形成接觸開口的圖案化或蝕刻的過程提供更大的容忍度 (tolerance)。因此，獲得用於形成接觸開口 132 更好的線上控制 (in-line control) 並且得到用於形成接觸開口和金屬連接器 (接觸件) 的更大的製程窗口。

【0018】 在一些實施例中，在鞘結構 135 的形成之後，金屬連接器 140 形成在接觸開口 132 內，如圖 2F 中所示。在一些實施例中，金屬材料 (未圖示) 形成填滿接觸開口 132 並且覆蓋圖案化介電層 131 之後，執行平坦化過程，例如，化學機械拋光 (chemical mechanical polishing) 過程以移除圖案化介電層 131 上方的金屬材料的部分，而保留在源極和汲極區域 125 的接觸開口 132 中的金屬材料用作源極和汲極區域 125 的金屬連接器 140。在平坦化過程之後，金屬連接器 140 的頂部表面 140a 與圖案化介電層 131 的頂部表面 131a 實質上共面 (coplanar) 齊平。在一些實施例中，金屬連接器 140 的材料包含鎢、銅、其合金或具有合適的阻抗與間隙填充能力的任何金屬材料。在一個實施例中，金屬連接器包含透過濺鍍、化學氣相沉積 (chemical vapor deposition, CVD) 或電化學鍍 (electrochemical plating, ECP) 形成的鎢。在圖 2F 中，鞘結構 135 位於金屬連接器 140 與圖案化介電層 131 之間以及位

於金屬連接器 140 和修剪過的硬罩幕條 118、閘極電極條 116 和間隔物 120 之間。在一些實施例中，金屬連接器 140 透過鞘結構 135 連同間隔物 120 和圖案化的介電層 131 與切割的閘極堆疊結構 110 隔離開來。金屬連接器 140 電連接到源極和汲極區域 125，並且至少透過鞘結構 135 和間隔物 120 與閘極堆疊結構 110 電隔離。在某些實施例中，因為從黏著層 134 的形成和鞘結構 135 的形成中提供了更好的隔離性，所以 FinFET 元件的可靠性和產率得到改進，並且包含電路探針測試結果的晶片測試結果得到加強。另外，因為黏著層的形成允許用於形成接觸開口的圖案化或蝕刻步驟能有更大的容忍度，使得金屬連接器可具有更小的關鍵尺寸。

【0019】 在圖 2G 中，頂蓋層 142 可選擇地形成在金屬連接器 140 和圖案化介電層 131 上方。在一些實施例中，頂蓋層 142 充當蝕刻停止層並且頂蓋層 142 的材料包含氮化物。

【0020】 在上述實施例中，形成覆蓋接觸開口的黏著層或鞘結構允許蝕刻接觸開口 132 輪廓的步驟有更大容忍度，因為黏著層或鞘結構進一步隔離閘極堆疊結構 110 與金屬連接器。對於具有較小尺寸的元件，可以形成具有更好的隔離、更小特徵尺寸的金屬連接器，使得元件的可靠性得到改進並且元件的性能得到增強。並且，根據本發明的上述實施例的蝕刻製程窗口變得更大，這可歸因於額外的鞘結構的形成，並且金屬連接器確實連接到源極和汲極區域而不會直接地接觸閘極電極。

【0021】 圖 3 是示出根據本發明的一些實施例用於形成 FinFET 元

件的製造方法的一些過程步驟的例示性流程圖。

【0022】 雖然方法的步驟被說明且描述為一系列動作或事件，但應瞭解不應以限制意義來解譯此類動作或事件的所說明的排序。另外，並不需要全部所說明的過程或步驟來實施本發明的一個或多個實施例。

【0023】 在步驟 300 中，提供具有至少一個閘極堆疊結構以及源極和汲極區域的基底，閘極堆疊結構具有形成在其上的第一和第二間隔物，源極和汲極區域形成在基底中。基底是矽基底或絕緣體上矽 (silicon-on-insulator, SOI) 基底。在步驟 302 中，在基底上形成介電層，覆蓋閘極堆疊結構、第一和第二間隔物以及源極和汲極區域。在步驟 304 中，圖案化介電層以形成在源極和汲極區域上的多個接觸開口並且部分地移除閘極堆疊結構的硬罩幕條和第二間隔物。在步驟 306 中，在基底上形成黏著層，共形地覆蓋多個接觸開口、源極和汲極區域以及圖案化介電層。在一些實施例中，黏著層共形地覆蓋第一間隔物、部分移除的硬罩幕條和被接觸開口暴露的部分移除的第二間隔物，或甚至覆蓋被接觸開口暴露的閘極電極條。在步驟 308 中，在多個接觸開口內形成多個鞘結構，覆蓋第一間隔物、部分移除的硬罩幕條和部分移除的第二間隔物但是暴露源極和汲極區域。在一些實施例中，鞘結構形成透過蝕刻黏著層直至源極和汲極區域暴露，並且黏著層的蝕刻包括至少一個非等向性蝕刻過程、一個 RIE 過程或其組合。在步驟 310 中，在鞘結構內形成多個金屬連接器並且填滿接觸開口。

鞘結構位於金屬連接器與接觸開口之間。

【0024】 在上述實施例中，蝕刻過程視窗變得更大，並且黏著層的形成提供閘極堆疊結構更好的隔離。對於具有緊密間距或間隔的閘極堆疊結構的元件來說，形成在接觸開口內的鞘結構可以支援具有良好可靠性與更小尺寸的金屬連接器的形成。由於金屬連接器很好的連接到源極和汲極區域，所以元件的可靠性得到提昇並且元件的電氣性能得到改善。

【0025】 在本發明的一些實施例中，描述了鰭片型場效應電晶體（FinFET）元件。鰭片型場效應電晶體元件包括基底，基底具有至少一個閘極堆疊結構、間隔物以及源極和汲極區域。至少一個閘極堆疊結構配置在基底上，並且間隔物配置在至少一個閘極堆疊結構的側壁上。間隔物包含第一間隔物和第二間隔物並且第一間隔物的第一高度大於第二間隔物的第二高度。源極和汲極區域配置在基底中並且位於至少一個閘極堆疊結構的相對側。介電層配置在基底上並且位於至少一個閘極堆疊結構上。介電層包含至少一個接觸開口，接觸開口暴露源極和汲極區域、第一和第二間隔物以及至少一個閘極堆疊結構的一部分。至少一個鞘結構配置在至少一個接觸開口內。至少一個鞘結構與第一和第二間隔物以及至少一個閘極堆疊結構的暴露部分接觸而不覆蓋源極和汲極區域。至少一個金屬連接器配置在至少一個鞘結構內並且位於至少一個接觸開口內，並且至少一個金屬連接器連接到源極和汲極區域。

【0026】 在本發明的一些實施例中，至少一個閘極堆疊結構的暴露部分包含硬罩幕條並且硬罩幕條的頂部尺寸小於硬罩幕條的底部尺寸。在本發明的一些實施例中，至少一個閘極堆疊結構的暴露部分進一步包含閘極電極條，閘極電極條被至少一個接觸開口暴露出來，並且閘極電極條被至少一個鞘結構覆蓋並且隔離。在本發明的一些實施例中，至少一個金屬連接器與源極和汲極區域接觸並且電連接到源極和汲極區域，而至少一個金屬連接器透過至少一個鞘結構和第一和第二間隔物與至少一個閘極堆疊結構電隔離。在本發明的一些實施例中，至少一個鞘結構的材料包括氮化矽、氮氧化矽、碳氮化矽（SiCN）或其組合。在本發明的一些實施例中，至少一個金屬連接器的材料包括鎢、銅或其合金。在本發明的一些實施例中，源極和汲極區域是應變源極和汲極區域並且源極和汲極區域的材料包括鍺化矽或碳化矽。

【0027】 在本發明的一些實施例中，描述了鰭片型場效應電晶體元件。鰭片型場效應電晶體元件包括基底，基底具有閘極堆疊結構、第一和第二間隔物以及源極和汲極區域。閘極堆疊結構包括硬罩幕條。第一和第二間隔物配置於閘極堆疊結構的相對側壁上，並且第一間隔物的第一高度大於第二間隔物的第二高度。源極和汲極區域配置在基底中並且位於閘極堆疊結構的相對側。介電層配置在基底上覆蓋閘極堆疊結構。介電層包含穿透介電層的接觸開口以暴露源極和汲極區域、第一和第二間隔物以及硬罩幕條。金屬連接器配置在接觸開口內並且連接到源極和汲極區域。

黏著層夾在金屬連接器和第一和第二間隔物以及閘極堆疊結構的硬罩幕條之間。

【0028】 在本發明的一些實施例中，硬罩幕條的頂部尺寸小於硬罩幕條的底部尺寸。在本發明的一些實施例中，閘極堆疊結構進一步包括閘極電極條並且被接觸開口暴露的閘極電極條被黏著層覆蓋和隔離。在本發明的一些實施例中，至少一個金屬連接器與源極和汲極區域接觸並且電連接到源極和汲極區域，而至少一個金屬連接器透過至少一個鞘結構和第一和第二間隔物與至少一個閘極堆疊結構電隔離。

【0029】 在本發明的一些實施例中，描述了一種用於形成鰭片型場效應電晶體的方法。提供具有閘極堆疊結構以及源極和汲極區域的基底，閘極堆疊結構具有第一和第二間隔物。介電層形成在基底上，覆蓋閘極堆疊結構、第一和第二間隔物以及源極和汲極區域。圖案化介電層以形成在源極和汲極區域上的多個接觸開口並且部分地移除閘極堆疊結構的硬罩幕條和第一間隔物。多個鞘結構形成在多個接觸開口內，覆蓋第一間隔物、部分移除的硬罩幕條與部分移除的第二間隔物，但是暴露源極和汲極區域。多個金屬連接器形成在多個鞘結構內並且填滿多個接觸開口。多個鞘結構夾在多個金屬連接器與多個接觸開口之間。

【0030】 在本發明的一些實施例中，其中在多個接觸開口內形成多個鞘結構包括：在基底上形成黏著層，共形地覆蓋多個接觸開口、源極和汲極區域以及圖案化介電層；以及移除位於圖案化介

電層上方且位於源極和汲極區域上的黏著層。在本發明的一些實施例中，其中黏著層的材料包括氮化矽、氮氧化矽、SiCN 或其組合，並且形成黏著層包括原子層沉積（atomic layer deposition，ALD）過程或電漿增強型 ALD（plasma-enhanced ALD，PEALD）過程。在本發明的一些實施例中，其中移除位於圖案化介電層上方以及位於源極和汲極區域上的黏著層包括執行至少一個非等向性蝕刻過程、一個反應性離子蝕刻（reactive ion etching，RIE）過程或其組合。在本發明的一些實施例中，其中形成多個金屬連接器包括在多個接觸開口內透過濺鍍、化學氣相沉積（chemical vapor deposition，CVD）或電化學鍍敷（electrochemical plating，ECP）形成鎢。在本發明的一些實施例中，其中圖案化介電層包括執行一個或多個非等向性蝕刻過程、反應性離子蝕刻（reactive ion etching，RIE）過程或其組合，並且蝕刻介電層以暴露源極和汲極區域，而閘極堆疊結構的硬罩幕條是部分移除的並且第二間隔物被從第一高度下拉到第二高度，其中第一高度大於第二高度。

【0031】 以上概述了多個實施例的特徵，使本領域具有通常知識者可更佳瞭解本揭露的態樣。本領域具有通常知識者應理解，其可輕易地使用本揭露作為設計或修改其他製程與結構的依據，以實行本文所介紹的實施例的相同目的及/或達到相同優點。本領域具有通常知識者還應理解，這種等效的配置並不悖離本揭露的精神與範疇，且本領域具有通常知識者在不悖離本揭露的精神與範疇的情況下可對本文做出各種改變、置換以及變更。

【符號說明】

【0032】

- 10：FinFET 元件
- 102：基底
- 104：通道區域
- 110：閘極堆疊結構
- 110a：閘極堆疊結構頂部表面
- 112：側壁
- 114：閘極介電條
- 116：閘極電極條
- 118：硬罩幕條
- 120：間隔物
- 120a：第一間隔物
- 120b：第二間隔物
- 125：源極和汲極區域
- 130：介電層
- 130a：介電層頂部
- 131：介電層
- 131a：介電層頂部表面
- 132：接觸開口
- 132b：接觸開口側壁
- 134：黏著層

135：鞅結構

140：金屬連接器

140a：金屬連接器頂部表面

142：頂蓋層

150：罩幕圖案

152：孔

【發明申請專利範圍】

【第1項】 一種鰭片型場效應電晶體元件，其包括：

基底；

至少一個閘極堆疊結構，其配置於所述基底上；

間隔物，其配置於所述至少一個閘極堆疊結構的側壁上，其中所述間隔物包含第一間隔物以及第二間隔物並且所述第一間隔物的第一高度大於所述第二間隔物的第二高度；

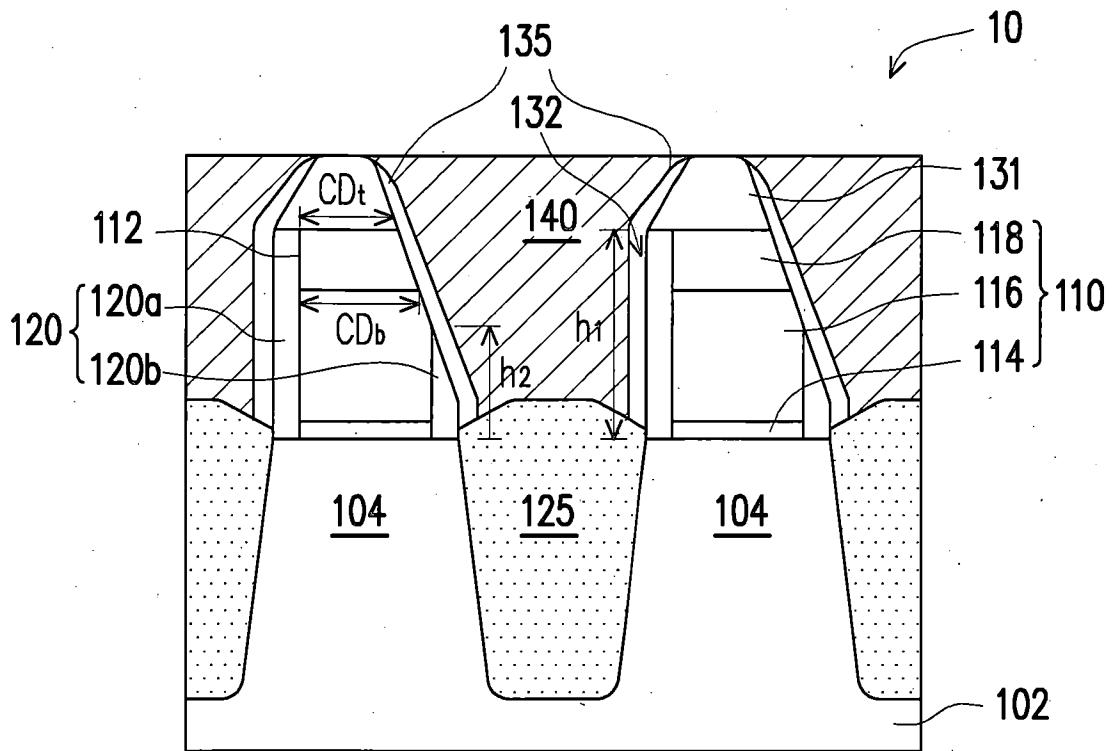
源極和汲極區域，其配置在所述基底中並且位於所述至少一個閘極堆疊結構的相對側；

介電層，其配置在所述基底上並且在所述至少一個閘極堆疊結構上，其中所述介電層包含至少一個接觸開口，所述接觸開口暴露所述源極和汲極區域、所述第一和第二間隔物以及所述至少一個閘極堆疊結構的一部分；

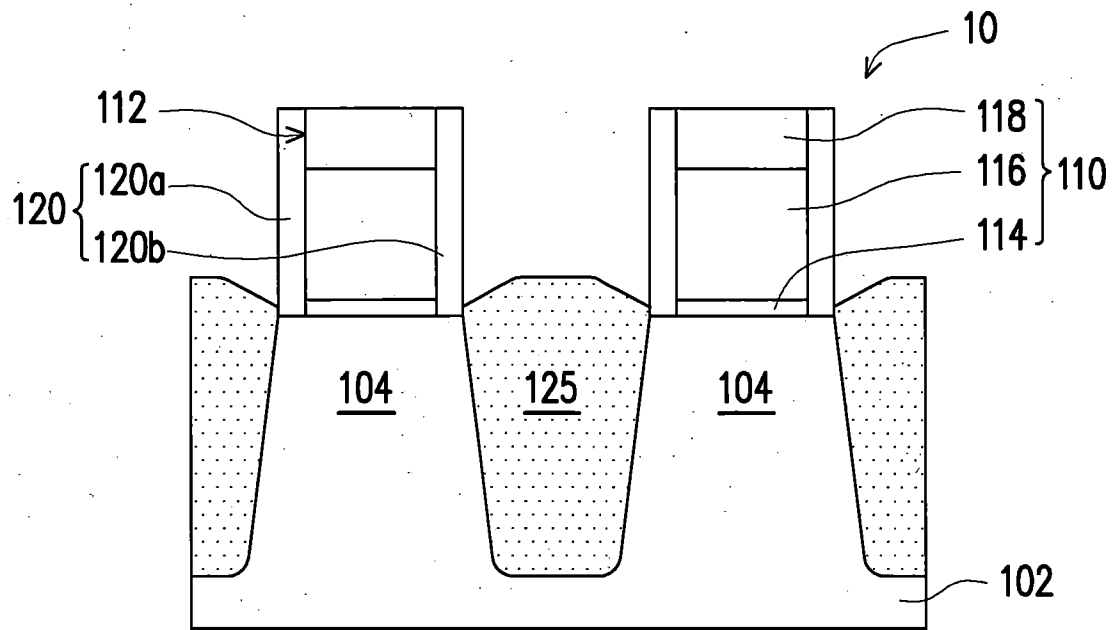
至少一個鞘結構，其配置在所述至少一個接觸開口內，其中所述至少一個鞘結構與所述第一和第二間隔物以及所述至少一個閘極堆疊結構的所述暴露部分接觸而不覆蓋所述源極和汲極區域；
以及

至少一個金屬連接器，其配置在所述至少一個鞘結構內並且在所述至少一個接觸開口內，並且所述至少一個金屬連接器連接到所述源極和汲極區域。

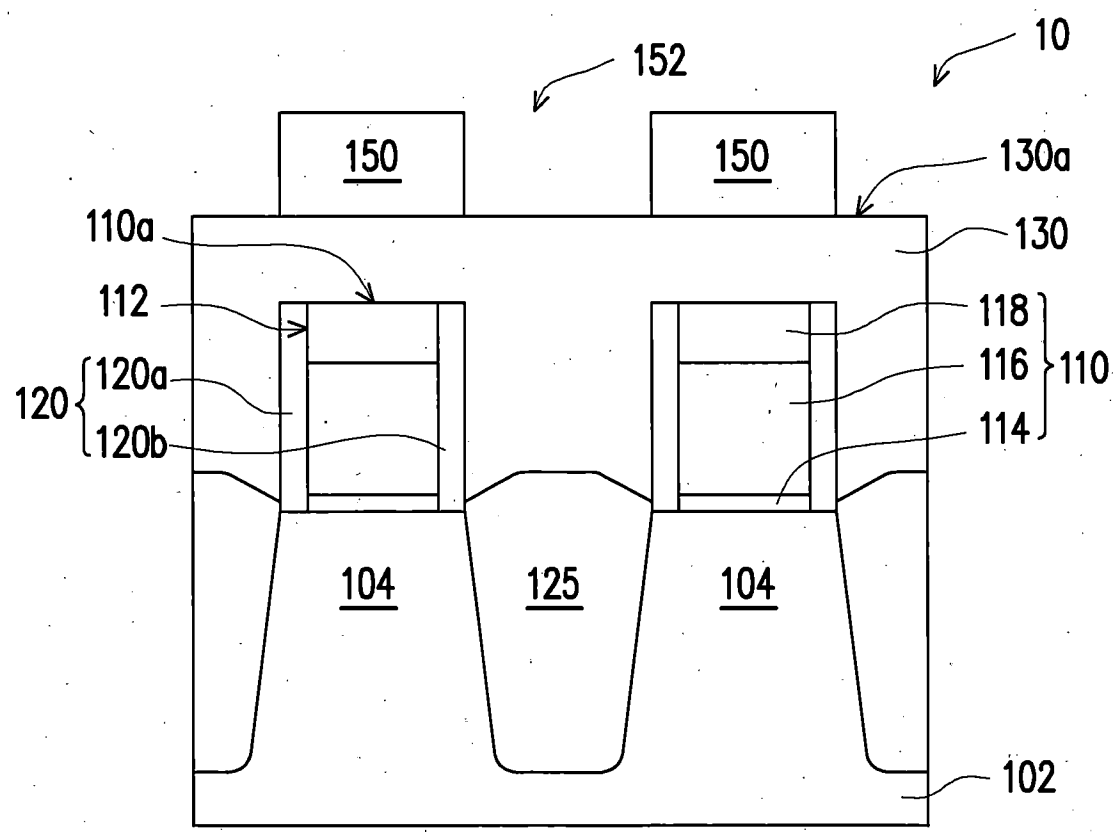
【發明圖式】



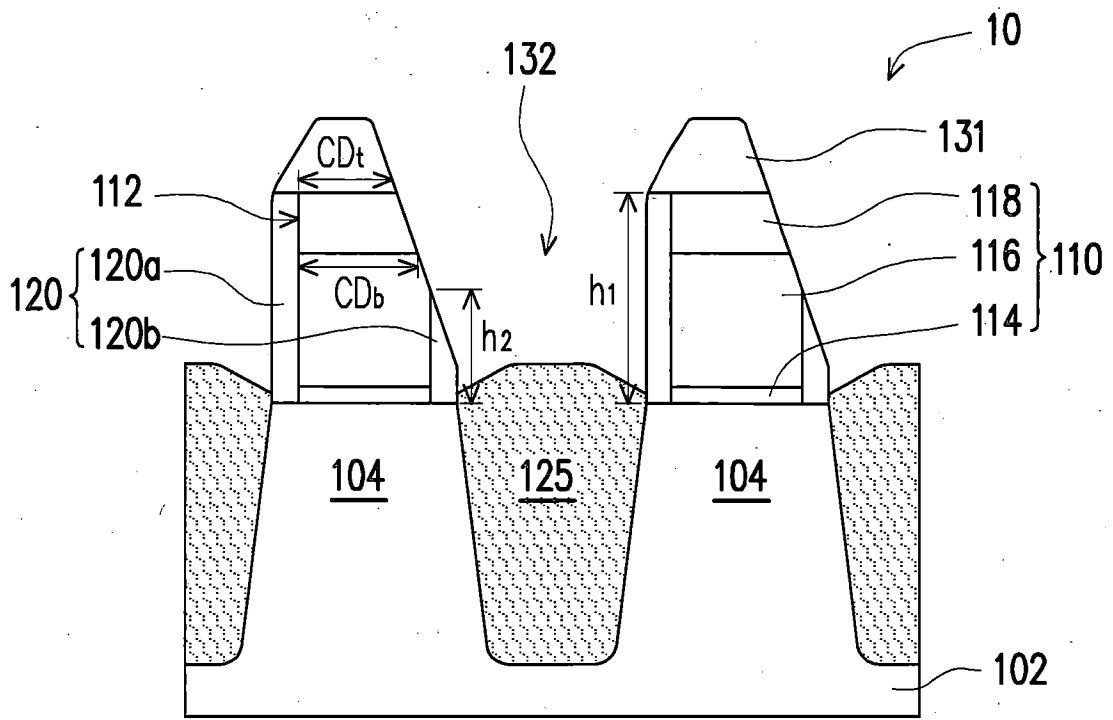
【圖1】



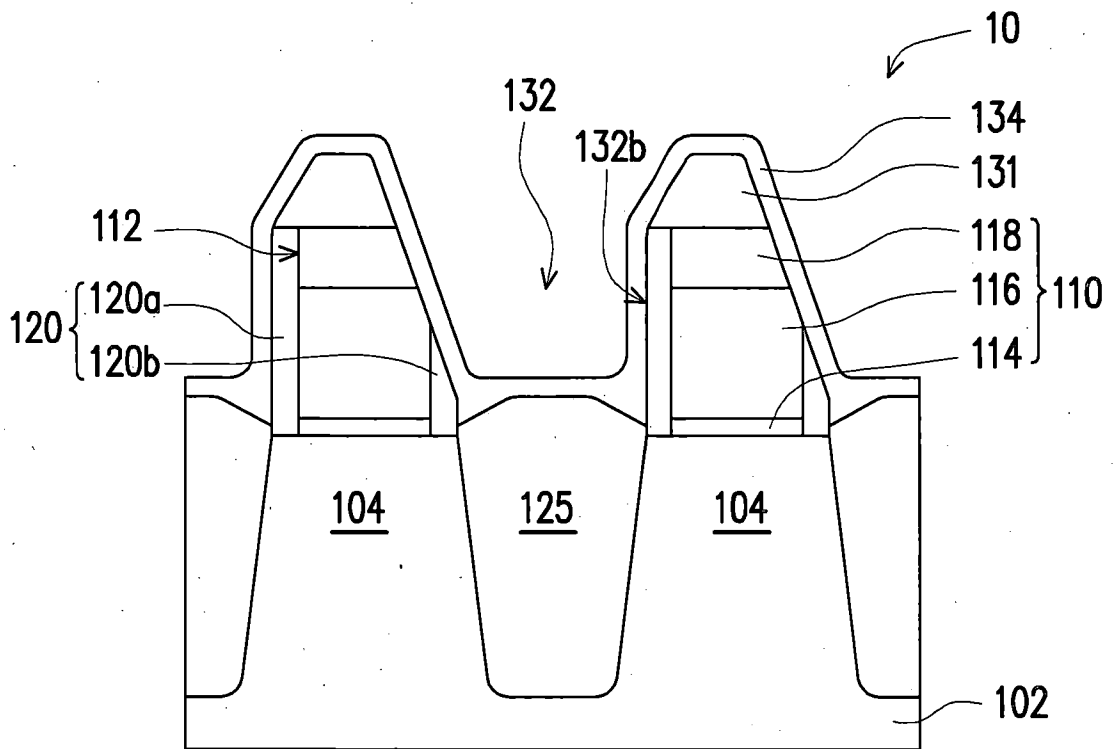
【圖2A】



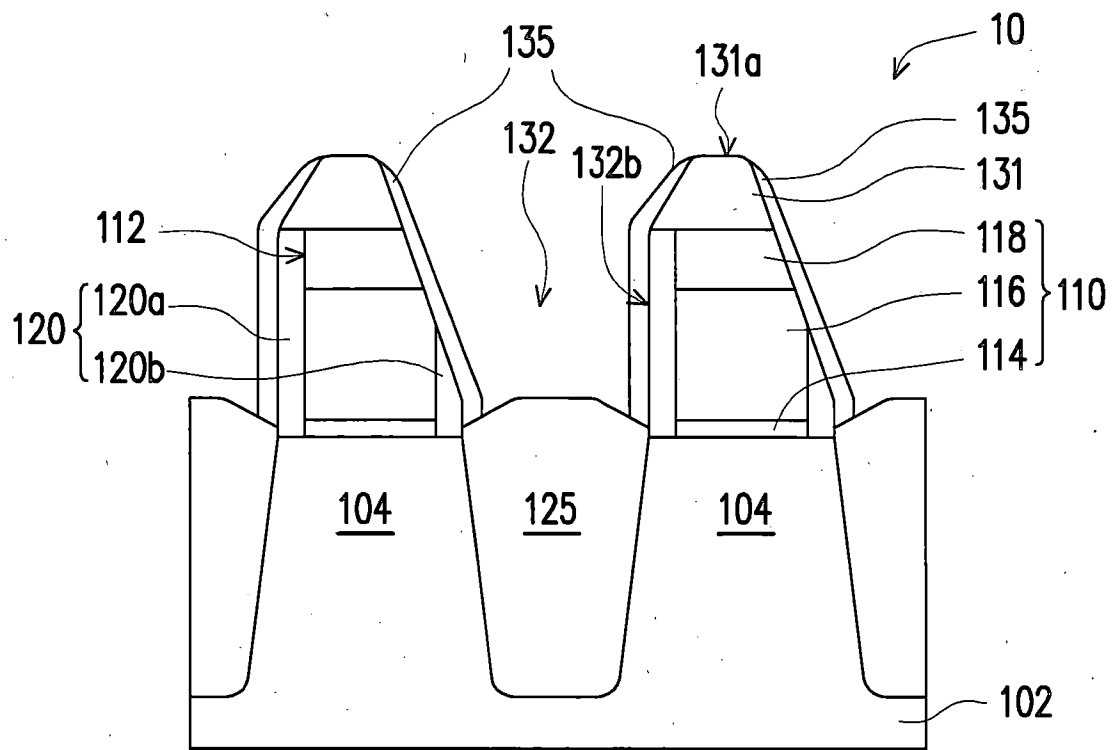
【圖2B】



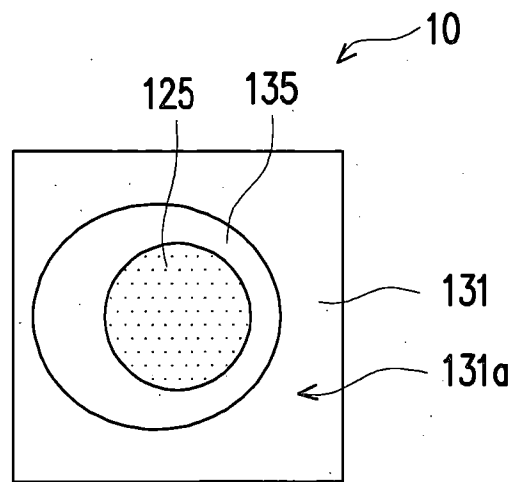
【圖2C】



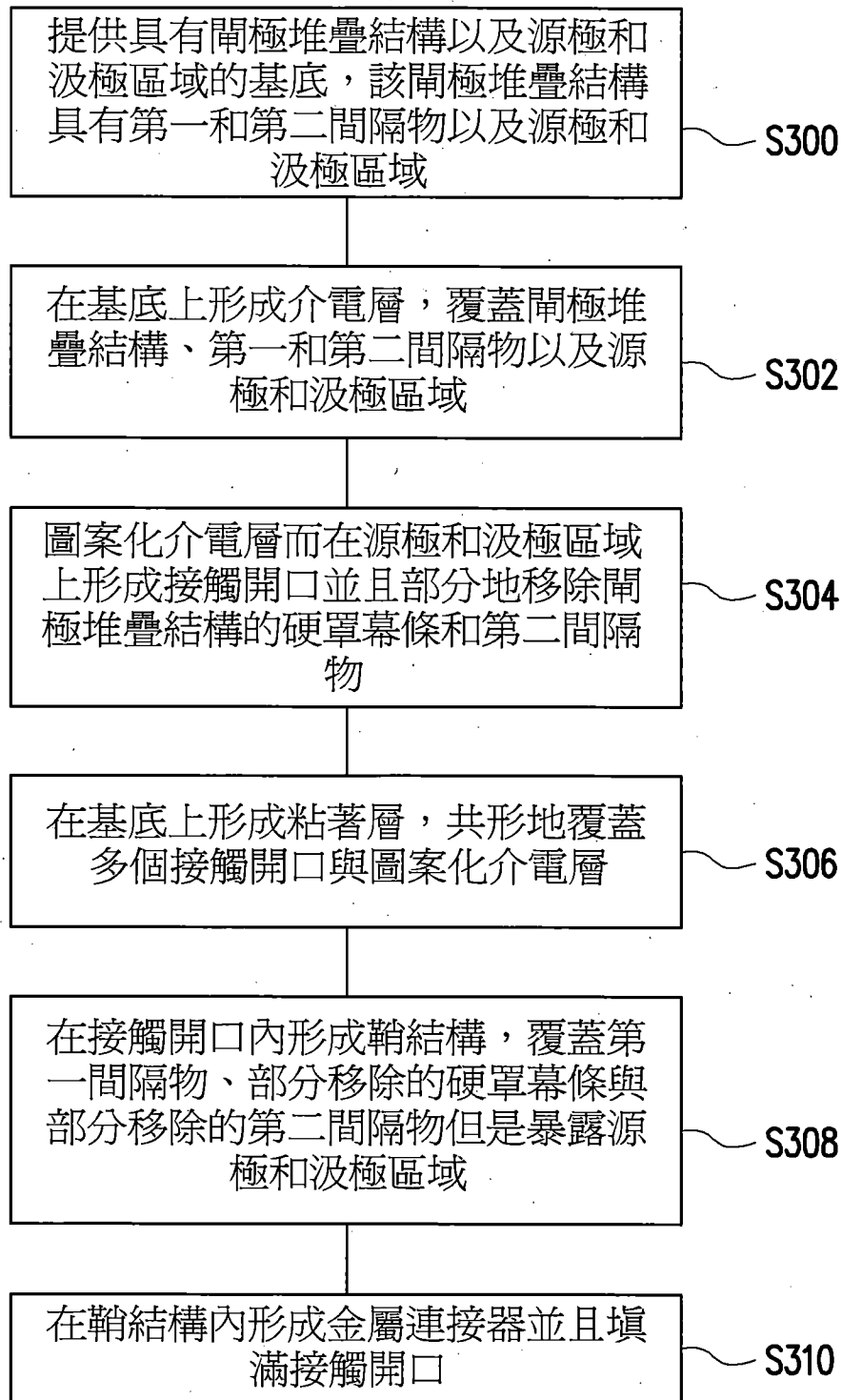
【圖2D】



【圖2E】



【圖2E'】



【圖3】