

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：プラズマ処理装置は、チャンバと、ステージと、複数の電極と、電源と、スイッチ部と、制御部とを有する。チャンバは、内部でプラズマが生成可能に構成される。ステージは、チャンバ内に配置され、誘電体により形成され、基板が載置可能とされると共に、基板の周囲にリングアセンブリが載置可能に構成される。複数の電極は、ステージの内部のリングアセンブリと対向する部分に設けられる。電源は、プラズマ中の荷電粒子を引き込むためのバイアス電力を供給可能に構成される。スイッチ部は、電源から供給されるバイアス電力を複数の電極に個別に供給可能に構成される。制御部は、スイッチ部を制御する。

明 細 書

発明の名称： プラズマ処理装置及び電位制御方法

技術分野

[0001] 本開示は、プラズマ処理装置及び電位制御方法に関する。

背景技術

[0002] 下記の特許文献1には、「基板上にプラズマを生成して所定の処理を行うプラズマ処理装置であって、基板を載置する基板載置部を有し、高周波電力が印加されるサセプタと、前記基板載置部に載置された基板の周囲を囲むように配置され、前記基板より高い上面を有する外側リングと、この外側リングの内側に延在して前記基板の周縁部の下方に入り込むように配置され前記基板より低い上面を有する内側リングとによって一体に構成されたフォーカスリングと、前記フォーカスリングと前記サセプタとの間に介在する誘電性リングと、前記誘電性リングの誘電率を可変する誘電率可変機構と、前記誘電率可変機構を駆動して前記誘電性リングの誘電率を調整することによって、フォーカスリングの上面電位を制御する制御部と、を備えたことを特徴とするプラズマ処理装置。」が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-064671号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示は、昇降機構を設けることなく、リングアセンブリの電位を制御可能とする技術を提供する。

課題を解決するための手段

[0005] 本開示の一態様によるプラズマ処理装置は、チャンバと、ステージと、複数の電極と、電源と、スイッチ部と、制御部とを有する。チャンバは、内部でプラズマが生成可能に構成される。ステージは、チャンバ内に配置され、

誘電体により形成され、基板が載置可能とされると共に、基板の周囲にリングアセンブリが載置可能に構成される。複数の電極は、ステージの内部のリングアセンブリと対向する部分に設けられる。電源は、プラズマ中の荷電粒子を引き込むためのバイアス電力を供給可能に構成される。スイッチ部は、電源から供給されるバイアス電力を複数の電極に個別に供給可能に構成される。制御部は、スイッチ部を制御する。

発明の効果

[0006] 本開示によれば、昇降機構を設けることなく、リングアセンブリの電位を制御できる。

図面の簡単な説明

[0007] [図1]図1は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[図2A]図2Aは、基板支持部の本体部の構成の一例を示す断面図である。

[図2B]図2Bは、静電チャックの複数の電極部分を拡大した図である。

[図3A]図3Aは、基板支持部の本体部の構成の他の一例を示す断面図である。

[図3B]図3Bは、静電チャックの複数の電極部分を拡大した図である。

[図4]図4は、プラズマ処理装置1の構成の一例を概略的に示す回路図である。

[図5]図5は、シミュレーションに用いたモデルを説明する図である。

[図6]図6は、シミュレーション結果を説明する図である。

[図7]図7は、プラズマ処理の処理特性の変化を説明する図である。

[図8]図8は、電位制御方法の処理の流れの一例を示すフローチャートである。

[図9A]図9Aは、電極の配置の他の一例を示す図である。

[図9B]図9Bは、スイッチのOn、Offする組合せの一例を示す図である。

[図10A]図10Aは、静電チャックの環状領域を複数のゾーンに分けた一例を

示す図である。

[図10B]図10Bは、ゾーンごとに複数の電極を設けた場合の本体部の構成の一例を示す断面図である。

発明を実施するための形態

[0008] 以下に、プラズマ処理装置及び電位制御方法の実施形態について、図面に基づいて詳細に説明する。なお、以下の実施形態により、開示されるプラズマ処理装置及び電位制御方法が限定されるものではない。

[0009] 従来から、半導体ウェハ（以下「ウェハ」ともいう。）等の基板に対してプラズマエッチングなどのプラズマ処理を施すプラズマ処理装置が知られている。プラズマ処理装置では、プラズマの均一化を目的として、基板の周囲にフォーカスリングなどのリングアセンブリが配置される。プラズマ処理装置では、プラズマエッチングによるリングアセンブリの上面の消耗やリングアセンブリの電位の変化等によって、バルクプラズマとシースの境界面（以下「シース面」と呼称）の高さが変化すると、基板に対する処理結果に影響を及ぼす場合がある。例えば、基板とリングアセンブリの上部でシース面の高さが異なると、基板の周辺部で電界の向きが基板に対して垂直にならないため、プラズマ中のイオン等の荷電粒子の軌道が傾き、ホールが斜めに形成されるチルティング（Tilting）といった現象が発生する。

[0010] そこで、リングアセンブリの下面側に誘電性リングを配置し、誘電性リングを昇降することで、リングアセンブリの誘電率を調整してリングアセンブリの電位を所望の値に制御する手法が提案されている。

[0011] しかし、従来の手法では、誘電性リングを昇降する昇降機構が設ける必要があり、昇降機構からパーティクルが発生する場合がある。そこで、昇降機構を設けることなく、リングアセンブリの電位を制御可能とする技術が期待されている。

[0012] （実施形態）

[装置構成]

[0013] 本開示のプラズマ処理装置の一例について説明する。以下に説明する実施

形態では、本開示のプラズマ処理装置をシステム構成のプラズマ処理システムとした場合を例に説明する。

[0014] 以下に、プラズマ処理システムの構成例について説明する。図1は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[0015] プラズマ処理システムは、容量結合型のプラズマ処理装置1及び制御部2を含む。容量結合型のプラズマ処理装置1は、プラズマ処理チャンバ10、ガス供給部20、電源30及び排気システム40を含む。また、プラズマ処理装置1は、基板支持部11及びガス導入部を含む。ガス導入部は、少なくとも1つの処理ガスをプラズマ処理チャンバ10内に導入するように構成される。ガス導入部は、シャワーヘッド13を含む。基板支持部11は、プラズマ処理チャンバ10内に配置される。シャワーヘッド13は、基板支持部11の上方に配置される。一実施形態において、シャワーヘッド13は、プラズマ処理チャンバ10の天部（ceiling）の少なくとも一部を構成する。プラズマ処理チャンバ10は、シャワーヘッド13、プラズマ処理チャンバ10の側壁10a及び基板支持部11により規定されたプラズマ処理空間10sを有する。プラズマ処理チャンバ10は、少なくとも1つの処理ガスをプラズマ処理空間10sに供給するための少なくとも1つのガス供給口と、プラズマ処理空間からガスを排出するための少なくとも1つのガス排出口とを有する。プラズマ処理チャンバ10は接地される。シャワーヘッド13及び基板支持部11は、プラズマ処理チャンバ10の筐体とは電氣的に絶縁される。

[0016] 基板支持部11は、本体部111及びリングアセンブリ112を含む。本体部111は、基板Wを支持するための中央領域111aと、リングアセンブリ112を支持するための環状領域111bとを有する。ウェハは基板Wの一例である。本体部111の環状領域111bは、平面視で本体部111の中央領域111aを囲んでいる。基板Wは、本体部111の中央領域111a上に配置され、リングアセンブリ112は、本体部111の中央領域111a上の基板Wを囲むように本体部111の環状領域111b上に配置さ

れる。従って、中央領域 1 1 1 a は、基板 W を支持するための基板支持面とも呼ばれ、環状領域 1 1 1 b は、リングアセンブリ 1 1 2 を支持するためのリング支持面とも呼ばれる。

[0017] 一実施形態において、本体部 1 1 1 は、基台 1 1 1 0 及び静電チャック 1 1 1 1 を含む。基台 1 1 1 0 は、導電性部材を含む。基台 1 1 1 0 の導電性部材は下部電極として機能し得る。静電チャック 1 1 1 1 は、基台 1 1 1 0 の上に配置される。静電チャック 1 1 1 1 は、誘電体により形成されている。例えば、静電チャック 1 1 1 1 は、セラミックにより形成されている。静電チャック 1 1 1 1 は、セラミック部材 1 1 1 1 a とセラミック部材 1 1 1 1 a 内に配置される静電電極 1 1 1 1 b とを含む。静電チャック 1 1 1 1 は、基板 W が載置可能とされると共に、基板 W の周囲に、リングアセンブリ 1 1 2 が載置可能に構成される。例えば、セラミック部材 1 1 1 1 a は、中央領域 1 1 1 a を有する。一実施形態において、セラミック部材 1 1 1 1 a は、環状領域 1 1 1 b も有する。なお、環状静電チャックや環状絶縁部材のような、静電チャック 1 1 1 1 を囲む他の部材が環状領域 1 1 1 b を有してもよい。この場合、リングアセンブリ 1 1 2 は、環状静電チャック又は環状絶縁部材の上に配置されてもよく、静電チャック 1 1 1 1 と環状絶縁部材の両方の上に配置されてもよい。また、後述する RF (Radio Frequency) 電源 3 1 及び／又は DC (Direct Current) 電源 3 2 に結合される少なくとも 1 つの RF / DC 電極がセラミック部材 1 1 1 1 a 内に配置されてもよい。この場合、少なくとも 1 つの RF / DC 電極が下部電極として機能する。後述するバイアス RF 信号及び／又は DC 信号が少なくとも 1 つの RF / DC 電極に供給される場合、RF / DC 電極はバイアス電極とも呼ばれる。なお、基台 1 1 1 0 の導電性部材と少なくとも 1 つの RF / DC 電極とが複数の下部電極として機能してもよい。また、静電電極 1 1 1 1 b が下部電極として機能してもよい。従って、基板支持部 1 1 は、少なくとも 1 つの下部電極を含む。実施形態では、静電チャック 1 1 1 1 が本開示のステージに対応する。

- [0018] リングアセンブリ 1 1 2 は、1 又は複数の環状部材を含む。一実施形態において、1 又は複数の環状部材は、1 又は複数のエッジリングと少なくとも 1 つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。
- [0019] また、基板支持部 1 1 は、静電チャック 1 1 1 1、リングアセンブリ 1 1 2 及び基板のうち少なくとも 1 つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路 1 1 1 0 a、又はこれらの組み合わせを含んでもよい。流路 1 1 1 0 a には、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路 1 1 1 0 a が基台 1 1 1 0 内に形成され、1 又は複数のヒータが静電チャック 1 1 1 1 のセラミック部材 1 1 1 1 a 内に配置される。また、基板支持部 1 1 は、基板 W の裏面と中央領域 1 1 1 a との間の間隙に伝熱ガスを供給するように構成された伝熱ガス供給部を含んでもよい。
- [0020] シャワーヘッド 1 3 は、ガス供給部 2 0 からの少なくとも 1 つの処理ガスをプラズマ処理空間 1 0 s 内に導入するように構成される。シャワーヘッド 1 3 は、少なくとも 1 つのガス供給口 1 3 a、少なくとも 1 つのガス拡散室 1 3 b、及び複数のガス導入口 1 3 c を有する。ガス供給口 1 3 a に供給された処理ガスは、ガス拡散室 1 3 b を通過して複数のガス導入口 1 3 c からプラズマ処理空間 1 0 s 内に導入される。また、シャワーヘッド 1 3 は、少なくとも 1 つの上部電極を含む。なお、ガス導入部は、シャワーヘッド 1 3 に加えて、側壁 1 0 a に形成された 1 又は複数の開口部に取り付けられる 1 又は複数のサイドガス注入部 (SGI : Side Gas Injector) を含んでもよい。
- [0021] ガス供給部 2 0 は、少なくとも 1 つのガスソース 2 1 及び少なくとも 1 つの流量制御器 2 2 を含んでもよい。一実施形態において、ガス供給部 2 0 は、少なくとも 1 つの処理ガスを、それぞれに対応のガスソース 2 1 からそれぞれに対応の流量制御器 2 2 を介してシャワーヘッド 1 3 に供給するように構成される。各流量制御器 2 2 は、例えばマスフローコントローラ又は圧力

制御式の流量制御器を含んでもよい。さらに、ガス供給部20は、少なくとも1つの処理ガスの流量を変調又はパルス化する1又はそれ以上の流量変調デバイスを含んでもよい。

[0022] 電源30は、少なくとも1つのインピーダンス整合回路を介してプラズマ処理チャンバ10に結合されるRF電源31を含む。RF電源31は、少なくとも1つのRF信号(RF電力)を少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給するように構成される。これにより、プラズマ処理空間10sに供給された少なくとも1つの処理ガスからプラズマが形成される。従って、RF電源31は、プラズマ処理チャンバ10において1又はそれ以上の処理ガスからプラズマを生成するように構成されるプラズマ生成部の少なくとも一部として機能し得る。また、バイアスRF信号を少なくとも1つの下部電極に供給することにより、基板Wにバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板Wに引き込むことができる。

[0023] 一実施形態において、RF電源31は、第1のRF生成部31a及び第2のRF生成部31bを含む。第1のRF生成部31aは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に結合され、プラズマ生成用のソースRF信号(ソースRF電力)を生成するように構成される。一実施形態において、ソースRF信号は、10MHz～150MHzの範囲内の周波数を有する。一実施形態において、第1のRF生成部31aは、異なる周波数を有する複数のソースRF信号を生成するように構成されてもよい。生成された1又は複数のソースRF信号は、少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給される。

[0024] 第2のRF生成部31bは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極に結合され、バイアスRF信号(バイアスRF電力)を生成するように構成される。バイアスRF信号の周波数は、ソースRF信号の周波数と同じであっても異なってもよい。一実施形態に

において、バイアスRF信号は、ソースRF信号の周波数よりも低い周波数を有する。一実施形態において、バイアスRF信号は、100kHz～60MHzの範囲内の周波数を有する。例えば、バイアスRF信号の周波数は、400kHzとする。一実施形態において、第2のRF生成部31bは、異なる周波数を有する複数のバイアスRF信号を生成するように構成されてもよい。生成された1又は複数のバイアスRF信号は、少なくとも1つの下部電極に供給される。また、種々の実施形態において、ソースRF信号及びバイアスRF信号のうち少なくとも1つがパルス化されてもよい。実施形態では、電源30又は第2のRF生成部31bが本開示の電源に対応する。

[0025] また、電源30は、プラズマ処理チャンバ10に結合されるDC電源32を含んでもよい。DC電源32は、第1のDC生成部32a及び第2のDC生成部32bを含む。一実施形態において、第1のDC生成部32aは、少なくとも1つの下部電極に接続され、第1のDC信号を生成するように構成される。生成された第1のバイアスDC信号は、少なくとも1つの下部電極に印加される。一実施形態において、第2のDC生成部32bは、少なくとも1つの上部電極に接続され、第2のDC信号を生成するように構成される。生成された第2のDC信号は、少なくとも1つの上部電極に印加される。

[0026] 種々の実施形態において、第1及び第2のDC信号のうち少なくとも1つがパルス化されてもよい。この場合、電圧パルスのシーケンスが少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、DC信号から電圧パルスのシーケンスを生成するための波形生成部が第1のDC生成部32aと少なくとも1つの下部電極との間に接続される。従って、第1のDC生成部32a及び波形生成部は、電圧パルス生成部を構成する。第2のDC生成部32b及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも1つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、1周期内に1又は複数

の正極性電圧パルスと１又は複数の負極性電圧パルスとを含んでもよい。なお、第１及び第２のＤＣ生成部３２ａ、３２ｂは、ＲＦ電源３１に加えて設けられてもよく、第１のＤＣ生成部３２ａが第２のＲＦ生成部３１ｂに代えて設けられてもよい。

[0027] 排気システム４０は、例えばプラズマ処理チャンバ１０の底部に設けられたガス排出口１０ｅに接続され得る。排気システム４０は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、プラズマ処理空間１０ｓ内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。

[0028] 制御部２は、本開示において述べられる種々の工程をプラズマ処理装置１に実行させるコンピュータ実行可能な命令を処理する。制御部２は、ここで述べられる種々の工程を実行するようにプラズマ処理装置１の各要素を制御するように構成され得る。一実施形態において、制御部２の一部又は全てがプラズマ処理装置１に含まれてもよい。制御部２は、処理部２ａ１、記憶部２ａ２及び通信インターフェース２ａ３を含んでもよい。制御部２は、例えばコンピュータ２ａにより実現される。処理部２ａ１は、記憶部２ａ２からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部２ａ２に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。取得されたプログラムは、記憶部２ａ２に格納され、処理部２ａ１によって記憶部２ａ２から読み出されて実行される。媒体は、コンピュータ２ａに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース２ａ３に接続されている通信回線であってもよい。処理部２ａ１は、ＣＰＵ（Ｃentral Processing Unit）であってもよい。記憶部２ａ２は、ＲＡＭ（Ｒandom Access Memory）、ＲＯＭ（Read Only Memory）、ＨＤＤ（Hard Disk Drive）、ＳＳＤ（Solid State Drive）、又はこれらの組み合わせを含んでもよい。通信インターフェース２ａ３は、ＬＡＮ（Ｌ

ocal Area Network)等の通信回線を介してプラズマ処理装置1との間で通信してもよい。

[0029] 次に、基板支持部11の構成の一例を説明する。なお、以下では、バイアスRF信号が流れる経路に関する構成部分を主に説明する。図2Aは、基板支持部11の本体部111の構成の一例を示す断面図である。図2Aには、本体部111の断面が概略的に示されている。本体部111は、基台1110上に静電チャック1111が設けられている。

[0030] 基台1110は、アルミニウムにより形成され、下部電極として機能する。基台1110には、配線34を介して第2のRF生成部31bが接続されている。配線34には、インピーダンス整合回路35が設けられている。インピーダンス整合回路35は、第2のRF生成部31b側のインピーダンスと、基台1110、プラズマ処理チャンバ10といった負荷側のインピーダンスとの間で整合する。

[0031] 静電チャック1111の中央領域111aには、基板Wが載置される。また、静電チャック1111の環状領域111bには、リングアセンブリ112が載置される。静電チャック1111は、セラミック部材1111a内部の基板Wと対向する部分に静電電極1111bが設けられている。また、静電チャック1111は、セラミック部材1111a内部のリングアセンブリ112と対向する部分に複数の電極50が設けられている。複数の電極50は、環状領域111bに対応して、それぞれ環状に形成されている。複数の電極50は、リングアセンブリ112との間の静電容量がそれぞれ異なるように、環状領域111bからの深さ、及びリングアセンブリ112と対向する面の面積の少なくとも一方が異なっている。すなわち、複数の電極50は、リングアセンブリ112からの距離及びリングアセンブリ112と対向する面の面積の少なくとも一方が異なっている。複数の電極50は、重複しないように配置される。図2Bは、静電チャック1111の複数の電極50部分を拡大した図である。図2A及び図2Bでは、セラミック部材1111a内部のリングアセンブリ112と対向する部分に3つの電極50a-50c

が設けられている。電極50a-50cは、環状領域111bから異なる深さで設けられている。電極50a-50cとリングアセンブリ112との間の静電容量が静電容量 $C_{L1}-C_{L3}$ として示されている。電極50a-50cは、リングアセンブリ112との間の静電容量 $C_{L1}-C_{L3}$ が異なれば、同じ面積で形成されてもよく、異なる面積で形成されてもよい。図2A及び図2Bでは、電極50a-50cは、同じ面積で形成され、環状領域111bから電極50a-50cの順に配置されている。リングアセンブリ112からの距離は、電極50aが最も大きく、電極50cが最も小さく、電極50bは、電極50aと電極50cの間の大きさである。このため、静電容量 $C_{L1}-C_{L3}$ は、 $C_{L1}>C_{L2}>C_{L3}$ である。なお、リングアセンブリ112からの距離が大きくなる順は、電極50a-50cの順に限定されるものではない。例えば、電極50a-50cとリングアセンブリ112との距離は、電極50a-50cの順に大きく形成されてもよく、電極50a、50c、50bの順に大きく形成されてもよい。すなわち、電極50a、50c、50bとリングアセンブリ112との距離の大小の順序は、任意に入れ替わってもよい。

[0032] 静電電極1111bは、配線36を介して基台1110に接続されている。3つの電極50a-50cは、それぞれ配線37a-37cを介してスイッチ機構38に接続されている。スイッチ機構38は、配線39を介して基台1110に接続されている。

[0033] 第2のRF生成部31bは、配線34を介してバイアスRF信号を基台1110に供給する。インピーダンス整合回路35は、第2のRF生成部31b側のインピーダンスと負荷側のインピーダンスとを整合する。インピーダンス整合回路35で整合を行うことで、バイアスRF信号の反射やインピーダンス整合回路35での発熱などのパワーロスを抑制できる。

[0034] 基台1110に供給されたバイアスRF信号は、配線36を介して静電電極1111bに供給され、配線39を介してスイッチ機構38に供給される。スイッチ機構38は、第2のRF生成部31bから供給されるバイアスRF信号を配線37a-37cを介して電極50a-50cに個別に供給可能

に構成される。例えば、スイッチ機構 38 は、配線 37 a－37 c に個別に接続されたスイッチを内蔵し、各スイッチを On、Off を切り替えることで、配線 37 a－37 c を介して電極 50 a－50 c にバイアス RF 信号を個別に供給可能に構成される。バイアス RF 信号などの RF 信号を On、Off する場合、スイッチとしては、例えば、双方向スイッチを使用できる。実施形態では、スイッチ機構 38 が本開示のスイッチ部に対応する。

[0035] スイッチ機構 38 には、制御部 2 が接続されている。制御部 2 は、スイッチ機構 38 を制御する。例えば、制御部 2 は、スイッチ機構 38 の各スイッチの On、Off を制御する信号を出力する。

[0036] なお、図 2 A 及び図 2 B では、環状領域 111 b から異なる深さで複数の電極 50（電極 50 a－50 c）を配置した場合を説明した。しかし、複数の電極 50 の配置は、これに限定されるものではない。基板支持部 11 の別な構成の一例を説明する。図 3 A は、基板支持部 11 の本体部 111 の構成の他の一例を示す断面図である。図 3 B は、静電チャック 1111 の複数の電極 50 部分を拡大した図である。図 3 A 及び図 3 B に示す構成でも、セラミック部材 1111 a 内部のリングアセンブリ 112 と対向する部分に 3 つの電極 50 a－50 c が設けられている。電極 50 a－50 c は、電極 50 a－50 c の順に、リングアセンブリ 112 と対向する面の面積が広く形成されており、環状領域 111 b から同じ深さで設けられている。電極 50 a－50 c とリングアセンブリ 112 との間の静電容量が $C_{L1}-C_{L3}$ として示されている。電極 50 a－50 c の順に、リングアセンブリ 112 と対向する面の面積が広く形成されているため、静電容量 $C_{L1}-C_{L3}$ は、 $C_{L1}>C_{L2}>C_{L3}$ である。なお、電極 50 a－50 c のリングアセンブリ 112 と対向する面の面積が広くなる順は、電極 50 a－50 c の順に限定されるものではない。例えば、電極 50 a－50 c のリングアセンブリ 112 と対向する面は、電極 50 a－50 c の順に面積が狭く形成されてもよく、電極 50 a、50 c、50 b の順に面積が狭く形成されてもよい。すなわち、電極 50 a－50 c のリングアセンブリ 112 と対向する面の面積の大小の順序は、任意に入

れ替わってもよい。

[0037] 図4は、プラズマ処理装置1の構成の一例を概略的に示す回路図である。図4には、プラズマ処理装置1について、バイアスRF信号が流れる経路の電気的な特性を示す等価回路が示されている。

[0038] バイアスRF信号は、第2のRF生成部31bから配線34に流れる。配線34に設けられインピーダンス整合回路35は、第2のRF生成部31b側のインピーダンスと負荷側のインピーダンスとの間で整合する。配線34は、経路60aと経路60bに分岐する。経路60aは、基台1110の中央領域111a部分の電気的な特性を示している。経路60bは、基台1110の環状領域111b部分の電気的な特性を示している。

[0039] 経路60aの静電容量 C_{stage} は、基台1110の中央領域111a部分と基板Wとの間の静電容量を示している。経路60aの抵抗61aとコンデンサ61bは、中央領域111a部分のプラズマの電気的な特性を示している。

[0040] 経路60bの静電容量 $C_{L1}-C_{L3}$ は、環状領域111bの電極50a-50cとリングアセンブリ112との間の静電容量を示している。経路60bの静電容量 C_{base} は、基台1110の環状領域111b部分とリングアセンブリ112との間の静電容量を示している。スイッチSW1-SW3は、電極50a-50cとそれぞれ接続されたスイッチ機構38の各スイッチを示している。経路60bの抵抗62aとコンデンサ62bは、環状領域111b部分のプラズマの電気的な特性を示している。

[0041] 経路60bでは、スイッチSW1-SW3のOn、Offにより、静電容量 C_{base} と並列に接続される静電容量 $C_{L1}-C_{L3}$ が切り替わり、全体として静電容量が変わる。これにより、リングアセンブリ112の電位が変化する。

[0042] ここで、リングアセンブリ112の電位の変化をシミュレーションした結果の一例を説明する。図5は、シミュレーションに用いたモデルを説明する図である。図5には、静電チャック1111、基台1110、リングアセンブリ112及び基板Wを模したモデル80が示されている。モデル80には、静電電極1111bを模したライン81が設けられ、電極50a-50c

を模したライン82a-82cが設けられ、基台1110を模したライン83が設けられている。ライン82aは、静電チャック1111の環状領域111bに対応する面86から0.35mmとなる位置に設けられている。ライン82bは、面86から1.75mmとなる位置に設けられている。ライン82cは、面86から3.15mmとなる位置に設けられている。ライン83は、面86から4.5mm下となる位置に設けられている。ライン81とライン83は、ライン84により接続されている。ライン82a-82cとライン83は、ライン85により接続されている。図5では、シミュレーションしたケースを「BASE」、「BTM」、「MID」、「TOP」として示している。BASE、BTM、MID、TOPの各ケースにおいて、ライン81-85は、バイアスRF信号を流している部分を実線で示し、バイアスRF信号が流されていない場合を破線で示している。例えば、BASEは、ライン81、83、84が実線で示され、ライン82a-82c、85が波線で示されている。このことから、BASEは、静電電極1111b及び基台1110にバイアスRF信号が流れ、電極50a-50cにバイアスRF信号が流れないケースを示している。また、TOPは、ライン81、82a、83、84、85が実線で示され、ライン82b、82cが波線で示されている。このことから、TOPは、静電電極1111b、電極50a及び基台1110にバイアスRF信号が流れ、電極50b、50cにバイアスRF信号が流れないケースを示している。

[0043] BASEは、図4に示した等価回路において、スイッチSW1-SW3を全てOffとした場合に対応する。BTMは、図4に示した等価回路において、スイッチSW3をオンとし、スイッチSW1、SW2をOffとした場合に対応する。MIDは、図4に示した等価回路において、スイッチSW2をオンとし、スイッチSW1、SW3をOffとした場合に対応する。TOPは、図4に示した等価回路において、スイッチSW1をオンとし、スイッチSW2、SW3をOffとした場合に対応する。

[0044] 図6は、シミュレーション結果を説明する図である。図6には、BASE

、B T M、M I D、T O Pの各ケースをシミュレーションした場合のモデル 80の基板W部分の電圧（基板電圧）とリングアセンブリ 1 1 2部分の電圧（F R電圧）がそれぞれ示されている。図6では、基板電圧及びF R電圧として、バイアスR F信号により生じるピークのマイナスの電圧を示している。基板W部分の電圧（基板電圧）は、B A S E、B T M、M I D、T O Pでの変化が小さく、変化が0.4%となっている。一方、リングアセンブリ 1 1 2部分の電圧（F R電圧）は、B A S E、B T M、M I D、T O Pでの変化が大きい、変化が3.2%となっている。

[0045] ここで、従来の手法は、リングアセンブリ 1 1 2の下面側に誘電性リングを配置し、誘電性リングを昇降することでリングアセンブリ 1 1 2の電位を制御する。しかし、従来の手法では、誘電性リングを昇降する昇降機構が設ける必要があり、昇降機構からパーティクルが発生する場合がある。また、バイアスR F信号の周波数は、上述のように、100kHz～60MHzの範囲である。従来の手法では、バイアスR F信号が低周波数であるほどリングアセンブリ 1 1 2の電位の制御で機能しにくい。例えば、バイアスR F信号の周波数を400kHzとした場合、従来の手法では、リングアセンブリ 1 1 2の電位を十分に変えることができない。

[0046] これに対し、プラズマ処理装置1は、制御部2がスイッチ機構38を制御してバイアスR F信号を流す電極50a－50cを変えることで、昇降機構を設けることなく、リングアセンブリ 1 1 2の電位を変えることができる。また、プラズマ処理装置1は、バイアスR F信号が低周波数である場合でも、制御部2がスイッチ機構38を制御してバイアスR F信号を流す電極50a－50cを変えることで、リングアセンブリ 1 1 2の電位を十分に変えることができる。

[0047] このようにリングアセンブリ 1 1 2の電位を変えることで、プラズマ処理装置1は、基板Wの周辺部のプラズマのシース面の高さを制御できる。これにより、プラズマ処理装置1は、基板Wの周辺部のプラズマ処理の処理特性を変えることができる。例えば、プラズマ処理装置1は、プラズマ処理とし

てプラズマエッチングを行う場合に、基板Wの周辺部のホールの角度を変えることができる。

[0048] 図7は、プラズマ処理の処理特性の変化を説明する図である。図7には、BASE、BTM、MID、TOPの各ケースで半径が150mmの基板Wにプラズマエッチングを行った場合の基板Wの周辺部（140～150mm）のホールの角度を示している。例えば、BASEにおいて基板Wの周辺部のホールの角度がほぼ垂直（90deg）である場合でも、BTM、MID、TOPとすることで基板Wの周辺部のホールの角度を制御できる。

[0049] 制御部2は、スイッチ機構38を制御してリングアセンブリ112の電位を変えることで、基板Wの周辺部のプラズマ処理の処理特性を制御する。例えば、プラズマ処理装置1では、プラズマエッチングによるリングアセンブリ112の上面が消耗すると、基板Wの周辺部のプラズマのシース面が低下して、基板Wの周辺部でチルティングが発生する。そこで、制御部2は、リングアセンブリ112の消耗に応じてリングアセンブリ112との静電容量の大きい電極にバイアスRF信号を供給するようにスイッチ機構38を制御する。プラズマ処理装置1は、基板Wに対するプラズマ処理やクリーニングの繰り返しにより基板Wに形成されるホールのチルティングが徐々に大きくなり、許容範囲を超える。例えば、制御部2は、許容範囲内ではあるが、チルティングが予め定められた閾値に達した場合に、リングアセンブリ112の電位を調整する。例えば、制御部2は、チルティングが許容範囲を超える所定の枚数、基板Wをプラズマエッチングするごとに、リングアセンブリ112との静電容量の大きい電極にバイアスRF信号を供給するようにスイッチ機構38を制御する。例えば、制御部2は、プラズマエッチングの際に電極50cにバイアスRF信号を供給している場合、電極50b又は電極50bにバイアスRF信号を供給するようにスイッチ機構38を制御する。これにより、基板Wの周辺部のプラズマのシース面を上昇させることができ、基板Wの周辺部でのチルティングの発生を抑制できる。

[0050] なお、制御部2は、実施するプラズマ処理に応じて、スイッチ機構38を

制御してリングアセンブリ 1 1 2 の電位を変えてよい。例えば、プラズマ処理として、プロセス A とプロセス B を実施する場合、制御部 2 は、スイッチ機構 3 8 を制御して、プロセス A とプロセス B でリングアセンブリ 1 1 2 の電位を変えてよい。また、制御部 2 は、プラズマ処理中にスイッチ機構 3 8 を制御してリングアセンブリ 1 1 2 の電位を変えてよい。制御部 2 は、リングアセンブリ 1 1 2 の電位を大きくする場合、リングアセンブリ 1 1 2 との静電容量の大きい電極にバイアス R F 信号を供給するようにスイッチ機構 3 8 を制御する。また、制御部 2 は、リングアセンブリ 1 1 2 の電位を小さくする場合、リングアセンブリ 1 1 2 との静電容量の小さい電極にバイアス R F 信号を供給するようにスイッチ機構 3 8 を制御する。これにより、プラズマ処理装置 1 は、実施するプラズマ処理に応じて、リングアセンブリ 1 1 2 の電位を変えることができる。

[0051] [電位制御方法]

[0052] 図 8 は、電位制御方法の処理の流れの一例を示すフローチャートである。図 8 に例示された処理は、リングアセンブリ 1 1 2 の電位を変更する場合、制御部 2 の処理部 2 a 1 が記憶部 2 a 2 からプログラムを読み出し、読み出されたプログラムを実行することにより実現される。例えば、制御部 2 は、チルティングが許容範囲を超える所定の枚数、基板 W をプラズマエッチングするごとに、リングアセンブリ 1 1 2 の電位を大きく変更する場合に処理を実行する。また、処理部 2 a 1 は、実施するプラズマ処理に応じて、リングアセンブリ 1 1 2 の電位を大きく又は小さく変更する場合に処理を実行する。

[0053] 処理部 2 a 1 は、リングアセンブリ 1 1 2 の電位を大きく変更するかを判定する (S 1 0)。リングアセンブリ 1 1 2 の電位を大きく変更する場合 (S 1 0 : Y e s)、処理部 2 a 1 は、リングアセンブリ 1 1 2 との静電容量の大きい電極 5 0 にバイアス R F 信号を供給するようにスイッチ機構 3 8 を制御し (S 1 1)、処理を終了する。

[0054] 一方、リングアセンブリ 1 1 2 の電位を大きく変更しない場合 (S 1 0 :

No)、処理部2a1は、リングアセンブリ112の電位を小さく変更するかを判定する(S12)。リングアセンブリ112の電位を小さく変更する場合(S12:Yes)、処理部2a1は、リングアセンブリ112との静電容量の小さい電極50にバイアスRF信号を供給するようにスイッチ機構38を制御し(S13)、処理を終了する。

[0055] 一方、リングアセンブリ112の電位を小さく変更しない場合(S12:No)、処理部2a1は、処理を終了する。

[0056] なお、上記の実施形態では、セラミック部材1111a内部のリングアセンブリ112と対向する部分に3つの電極50(電極50a-50c)が設けた場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。電極50の数は、2個であってもよく、4個以上であってもよい。

[0057] また、上記の実施形態では、制御部2が複数の電極50に個々にバイアスRF信号を供給するようにスイッチ機構38を制御する場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。制御部2は、1又は複数の電極50にバイアスRF信号を供給するようにスイッチ機構38を制御してもよい。

[0058] 図9Aは、電極の配置の他の一例を示す図である。図9Aでは、セラミック部材1111a内部のリングアセンブリ112と対向する部分にn個の電極50a-50nが設けられている。電極50a-50nは、環状領域111bから同じ深さで設けられている。電極50a-50nは、それぞれのリングアセンブリ112と対向する面の面積 S_1-S_n が異なり、それぞれの面積の比が 2^{n-1} となるように形成されている。電極50a-50nは、それぞれスイッチ機構38に接続されている。スイッチ機構38は、電極50a-50nと個別に導通するスイッチを内蔵し、各スイッチをOn、Offを切り替えることで、電極50a-50nにバイアスRF信号を供給可能に構成される。制御部2は、1又は複数の電極50にバイアスRF信号を供給するようにスイッチ機構38の各スイッチのOn、Offを制御する。図9Bは、スイッチのOn、Offする組合せの一例を示す図である。図9B

には、 $50a-50n$ のそれぞれの面積 S_1-S_n と各スイッチの On 、 Off するパターンごとに、導通するスイッチの On 、 Off の状態が示されている。スイッチの On 、 Off は、 On とした部分を「●」により示している。また、図9Bには、 On とされたスイッチによりバイアスRF信号が供給される電極50の合計面積が示されている。なお、電極50の合計面積は、面積 S_1 に対する比により示している。各スイッチの On 、 Off のパターンは、バイアスRF信号が供給される電極50の合計面積の比が1ずつ増加するように定めている。これにより、スイッチがオンとなった電極50とリングアセンブリ112との間の合計の静電容量を一定ずつ段階的に変更できるため、リングアセンブリの電位を段階的に制御できる。

[0059] また、上記の実施形態では、静電チャック1111の環状領域111bに対応して複数の電極50をそれぞれ環状に形成し、環状領域111b全体の電位を制御する場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。静電チャック1111の環状領域111bを複数のゾーンに分け、各ゾーンに複数の電極50を設けてゾーンごとに電位を制御可能構成してもよい。

[0060] 図10Aは、静電チャック1111の環状領域111bを複数のゾーン90に分けた一例を示す図である。図10Aでは、環状領域111bを周方向に n 個のゾーン90に分けた場合を示している。この場合、ゾーン90ごとに、複数の電極50とスイッチ機構38を設ける。各ゾーン90では、複数の電極50をそれぞれゾーン90の形状に合わせて配置する。図10Bは、ゾーン90ごとに複数の電極50を設けた場合の本体部111の構成の一例を示す断面図である。図10Bでは、ゾーン3とゾーン n に、それぞれ3つの電極50a-50cとスイッチ機構38が設けられている。制御部2は、各ゾーン90のスイッチ機構38の各スイッチの On 、 Off を制御することで、環状領域111bのゾーン90ごとに電位を制御できる。

[0061] また、上記の実施形態では、基台1110を介してバイアスRF信号を静電電極1111bとスイッチ機構38に供給する場合を例に説明した。しか

し、開示の技術はこれに限定されるものではない。例えば、図2A及び図3Aの構成において、配線34のインピーダンス整合回路35の出力側に配線36及び配線39を接続して、基台1110を介さずにバイアスRF信号を静電電極1111bとスイッチ機構38に供給してよい。

[0062] また、バイアスRF信号は、100kHz～60MHz範囲内の周波数を有するものとした。上記の実施形態では、電極50とリングアセンブリ112との間の合計の静電容量を可変させることにより、リングアセンブリの電位を制御できるため、バイアスRF信号は、低周波側の領域がより効果的である。特に、バイアスRF信号は、100kHz～13MHzの範囲内の周波数であることが望ましい。

[0063] また、上記の実施形態では、プラズマ中の荷電粒子を引き込むバイアス電力を高周波電力（バイアスRF信号）とした場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。バイアス電力はパルス状の電圧であってもよい。例えば、第1のDC生成部32aが100kHz～60MHzの範囲でパルス状のDC信号を生成し、生成したDC信号をバイアス電力として、静電電極1111bやスイッチ機構38に供給してもよい。なお、バイアスRF信号は、パルス状のDC信号とした場合も、高周波電力（バイアスRF信号）とした場合と同様に、100kHz～13MHzの範囲でパルス状のDC信号を生成することが望ましい。

[0064] 以上、実施形態について説明した。上記したように、実施形態にかかるプラズマ処理システムは、プラズマ処理チャンバ10と、静電チャック1111（ステージ）と、複数の電極50と、電源と、スイッチ機構38（スイッチ部）と、制御部2とを有する。プラズマ処理チャンバ10は、内部でプラズマが生成可能に構成される。静電チャック1111は、プラズマ処理チャンバ10内に配置され、誘電体により形成され、基板Wが載置可能とされると共に、基板Wの周囲にリングアセンブリ112が載置可能に構成される。複数の電極50は、静電チャック1111の内部のリングアセンブリ112と対向する部分に設けられる。電源は、プラズマ中の荷電粒子を引き込むた

めのバイアス電力を供給可能に構成される。スイッチ機構 38 は、電源から供給されるバイアス電力を複数の電極 50 に個別に供給可能に構成される。制御部 2 は、スイッチ機構 38 を制御する。これにより、プラズマ処理システムは、昇降機構を設けることなく、リングアセンブリ 112 の電位を制御できる。

[0065] また、複数の電極 50 は、静電チャック 111 のリングアセンブリ 112 が載置される環状領域 111b から異なる深さで設けられてもよい。また、複数の電極 50 は、静電チャック 111 のリングアセンブリ 112 が載置される環状領域 111b から同じ深さで設けられてもよい。また、複数の電極 50 は、同じ面積に形成されてもよい。また、複数の電極 50 は、異なる面積に形成されてもよい。プラズマ処理システムは、複数の電極 50 の環状領域 111b から異なる深さや、面積を変えることで、電極 50 とリングアセンブリ 112 との間の静電容量を変えることができる。また、プラズマ処理システムは、複数の電極 50 とリングアセンブリ 112 との間の静電容量が同じであっても、バイアス電力を供給する電極 50 の個数を変えることで、リングアセンブリ 112 の電位を制御できる。

[0066] また、複数の電極 50 は、 n 個（ n は 2 以上の自然数）設けられ、それぞれの面積の比が 2^{n-1} となるように形成される。これにより、プラズマ処理システムは、リングアセンブリ 112 との間の合計の静電容量を一定ずつ段階的に変更できるため、リングアセンブリの電位を段階的に制御できる。

[0067] また、制御部 2 は、リングアセンブリ 112 の電位を大きくする場合、リングアセンブリ 112 との静電容量の大きい電極 50 にバイアス電力を供給するようにスイッチ機構 38 を制御し、リングアセンブリ 112 の電位を小さくする場合、リングアセンブリ 112 との静電容量の小さい電極 50 にバイアス電力を供給するようにスイッチ機構 38 を制御する。これにより、プラズマ処理システムは、リングアセンブリ 112 の電位を制御できる。

[0068] また、制御部 2 は、リングアセンブリ 112 の消耗に応じてリングアセンブリ 112 との静電容量の大きい電極 50 にバイアス電力を供給するように

スイッチ機構38を制御する。これにより、プラズマ処理システムは、基板Wの周辺部でチルティングが発生することを抑制できる。

[0069] なお、今回開示された実施形態は全ての点で例示であって制限的なものではないと考えられるべきである。実に、上記した実施形態は多様な形態で具現され得る。また、上記の実施形態は、添付の特許請求の範囲及びその趣旨を逸脱することなく、様々な形態で省略、置換、変更されてもよい。

[0070] また、上記の実施形態に関し、さらに以下の付記を開示する。

[0071] (付記1)

内部でプラズマが生成可能に構成されるチャンバと、

前記チャンバ内に配置され、誘電体により形成され、基板が載置可能とされと共に、前記基板の周囲にリングアセンブリが載置可能に構成されるステージと、

前記ステージの内部の前記リングアセンブリと対向する部分に設けられた複数の電極と、

前記プラズマ中の荷電粒子を引き込むためのバイアス電力を供給可能に構成される電源と、

前記電源から供給されるバイアス電力を前記複数の電極に個別に供給可能に構成されるスイッチ部と、

前記スイッチ部を制御する制御部と、

を有するプラズマ処理装置。

[0072] (付記2)

前記複数の電極は、前記ステージの前記リングアセンブリが載置される領域から異なる深さで設けられた

付記1に記載のプラズマ処理装置。

[0073] (付記3)

前記複数の電極は、前記ステージの前記リングアセンブリが載置される領域から同じ深さで設けられた

付記1に記載のプラズマ処理装置。

[0074] (付記 4)

前記複数の電極は、前記リングアセンブリと対向する面の面積が同じである

付記 1 - 3 の何れか 1 つに記載のプラズマ処理装置。

[0075] (付記 5)

前記複数の電極は、前記リングアセンブリと対向する面の面積が異なる

付記 1 - 3 の何れか 1 つに記載のプラズマ処理装置。

[0076] (付記 6)

前記複数の電極は、 n 個 (n は 2 以上の自然数) 設けられ、それぞれの前記リングアセンブリと対向する面の面積の比が 2^{n-1} となるように形成された

付記 5 に記載のプラズマ処理装置。

[0077] (付記 7)

前記複数の電極は、重複しないように配置された

付記 1 - 6 の何れか 1 つに記載のプラズマ処理装置。

[0078] (付記 8)

前記制御部は、前記リングアセンブリの電位を大きくする場合、前記リングアセンブリとの静電容量の大きい電極に前記バイアス電力を供給するように前記スイッチ部を制御し、前記リングアセンブリの電位を小さくする場合、前記リングアセンブリとの静電容量の小さい電極に前記バイアス電力を供給するように前記スイッチ部を制御する

付記 1 - 7 の何れか 1 つに記載のプラズマ処理装置。

[0079] (付記 9)

前記制御部は、前記リングアセンブリの消耗に応じて前記リングアセンブリとの静電容量の大きい電極に前記バイアス電力を供給するように前記スイッチ部を制御する

付記 1 - 7 の何れか 1 つに記載のプラズマ処理装置。

[0080] (付記 10)

前記電源は、前記バイアス電力として、高周波電力を供給可能な高周波電

源である

付記 1－9 の何れか 1 つに記載のプラズマ処理装置。

[0081] (付記 1 1)

前記電源は、前記バイアス電力として、パルス状の電圧を発生可能な直流電源である

付記 1－9 の何れか 1 つに記載のプラズマ処理装置。

[0082] (付記 1 2)

内部でプラズマが生成可能に構成されるチャンバと、

前記チャンバ内に配置され、誘電体により形成され、基板が載置可能とされと共に、前記基板の周囲にリングアセンブリが載置可能に構成されるステージと、

前記ステージの内部の前記リングアセンブリと対向する部分に設けられた複数の電極と、

前記プラズマ中の荷電粒子を引き込むためのバイアス電力を供給可能に構成される電源と、

前記電源から供給されるバイアス電力を前記複数の電極に個別に供給可能に構成されるスイッチ部と、

前記スイッチ部を制御する制御部と、

を有するプラズマ処理装置における電位制御方法であって、

前記制御部は、前記リングアセンブリの電位を大きくする場合、前記リングアセンブリとの静電容量の大きい電極に前記バイアス電力を供給するように前記スイッチ部を制御し、前記リングアセンブリの電位を小さくする場合、前記リングアセンブリとの静電容量の小さい電極に前記バイアス電力を供給するように前記スイッチ部を制御する工程

を実行する電位制御方法。

符号の説明

[0083] 1 プラズマ処理装置

2 制御部

- 2 a コンピュータ
- 2 a 1 処理部
- 2 a 2 記憶部
- 2 a 3 通信インターフェース
- 1 0 プラズマ処理チャンバ
- 1 1 基板支持部
- 3 0 電源
- 3 1 R F 電源
- 3 1 a 第 1 の R F 生成部
- 3 1 b 第 2 の R F 生成部
- 3 2 D C 電源
- 3 2 a 第 1 の D C 生成部
- 3 2 b 第 2 の D C 生成部
- 3 4、3 6、3 7 a－3 7 c、3 9 配線
- 3 5 インピーダンス整合回路
- 3 8 スイッチ機構
- 4 0 排気システム
- 5 0、5 0 a－5 0 c 電極
- 6 0 a、6 0 b 経路
- 6 1 a、6 2 a 抵抗
- 6 1 b、6 2 b コンデンサ
- 8 0 モデル
- 8 1、8 2 a－8 2 c、8 4、8 5 ライン
- 9 0 ゾーン
- 1 1 1 本体部
- 1 1 1 a 中央領域
- 1 1 1 b 環状領域
- 1 1 2 リングアセンブリ

1 1 1 0 基台

1 1 1 0 a 流路

1 1 1 1 静電チャック

1 1 1 1 a セラミック部材

1 1 1 1 b 静電電極

SW 1－SW 3 スイッチ

W 基板

請求の範囲

- [請求項1] 内部でプラズマが生成可能に構成されるチャンバと、
前記チャンバ内に配置され、誘電体により形成され、基板が載置可能とされると共に、前記基板の周囲にリングアセンブリが載置可能に構成されるステージと、
前記ステージの内部の前記リングアセンブリと対向する部分に設けられた複数の電極と、
前記プラズマ中の荷電粒子を引き込むためのバイアス電力を供給可能に構成される電源と、
前記電源から供給されるバイアス電力を前記複数の電極に個別に供給可能に構成されるスイッチ部と、
前記スイッチ部を制御する制御部と、
を有するプラズマ処理装置。
- [請求項2] 前記複数の電極は、前記ステージの前記リングアセンブリが載置される領域から異なる深さで設けられた
請求項1に記載のプラズマ処理装置。
- [請求項3] 前記複数の電極は、前記ステージの前記リングアセンブリが載置される領域から同じ深さで設けられた
請求項1に記載のプラズマ処理装置。
- [請求項4] 前記複数の電極は、前記リングアセンブリと対向する面の面積が同じである
同じ面積に形成された
請求項1に記載のプラズマ処理装置。
- [請求項5] 前記複数の電極は、前記リングアセンブリと対向する面の面積が異なる
請求項1に記載のプラズマ処理装置。
- [請求項6] 前記複数の電極は、 n 個（ n は2以上の自然数）設けられ、それぞれの前記リングアセンブリと対向する面の面積の比が 2^{n-1} となるよ

うに形成された

請求項 5 に記載のプラズマ処理装置。

[請求項7] 前記複数の電極は、重複しないように配置された

請求項 1 に記載のプラズマ処理装置。

[請求項8] 前記制御部は、前記リングアセンブリの電位を大きくする場合、前記リングアセンブリとの静電容量の大きい電極に前記バイアス電力を供給するように前記スイッチ部を制御し、前記リングアセンブリの電位を小さくする場合、前記リングアセンブリとの静電容量の小さい電極に前記バイアス電力を供給するように前記スイッチ部を制御する

請求項 1 に記載のプラズマ処理装置。

[請求項9] 前記制御部は、前記リングアセンブリの消耗に応じて前記リングアセンブリとの静電容量の大きい電極に前記バイアス電力を供給するように前記スイッチ部を制御する

請求項 1 に記載のプラズマ処理装置。

[請求項10] 前記電源は、前記バイアス電力として、高周波電力を供給可能な高周波電源である

請求項 1 に記載のプラズマ処理装置。

[請求項11] 前記電源は、前記バイアス電力として、パルス状の電圧を発生可能な直流電源である

請求項 1 に記載のプラズマ処理装置。

[請求項12] 内部でプラズマが生成可能に構成されるチャンバと、

前記チャンバ内に配置され、誘電体により形成され、基板が載置可能とされると共に、前記基板の周囲にリングアセンブリが載置可能に構成されるステージと、

前記ステージの内部の前記リングアセンブリと対向する部分に設けられた複数の電極と、

前記プラズマ中の荷電粒子を引き込むためのバイアス電力を供給可能に構成される電源と、

前記電源から供給されるバイアス電力を前記複数の電極に個別に供給可能に構成されるスイッチ部と、

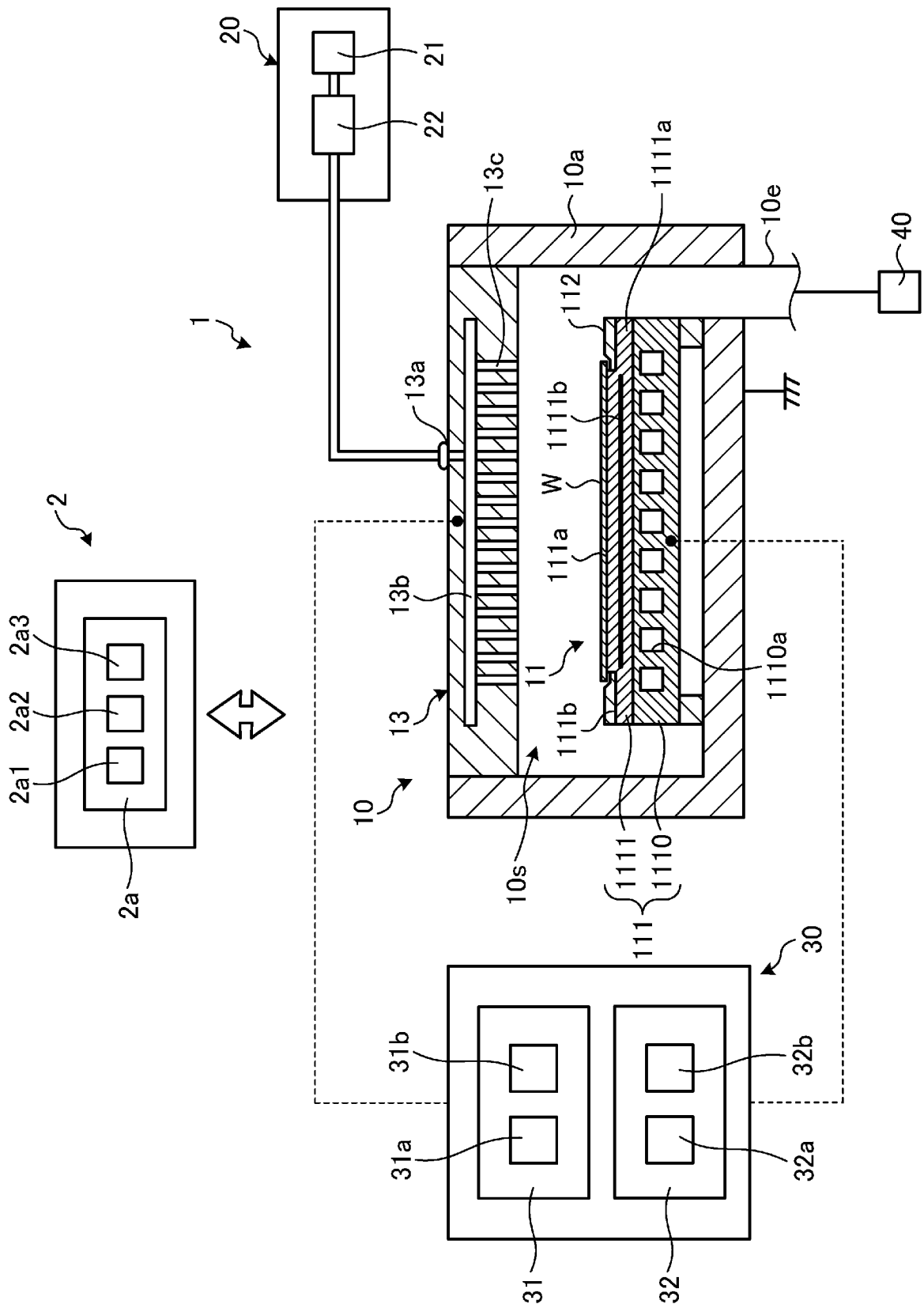
前記スイッチ部を制御する制御部と、

を有するプラズマ処理装置における電位制御方法であって、

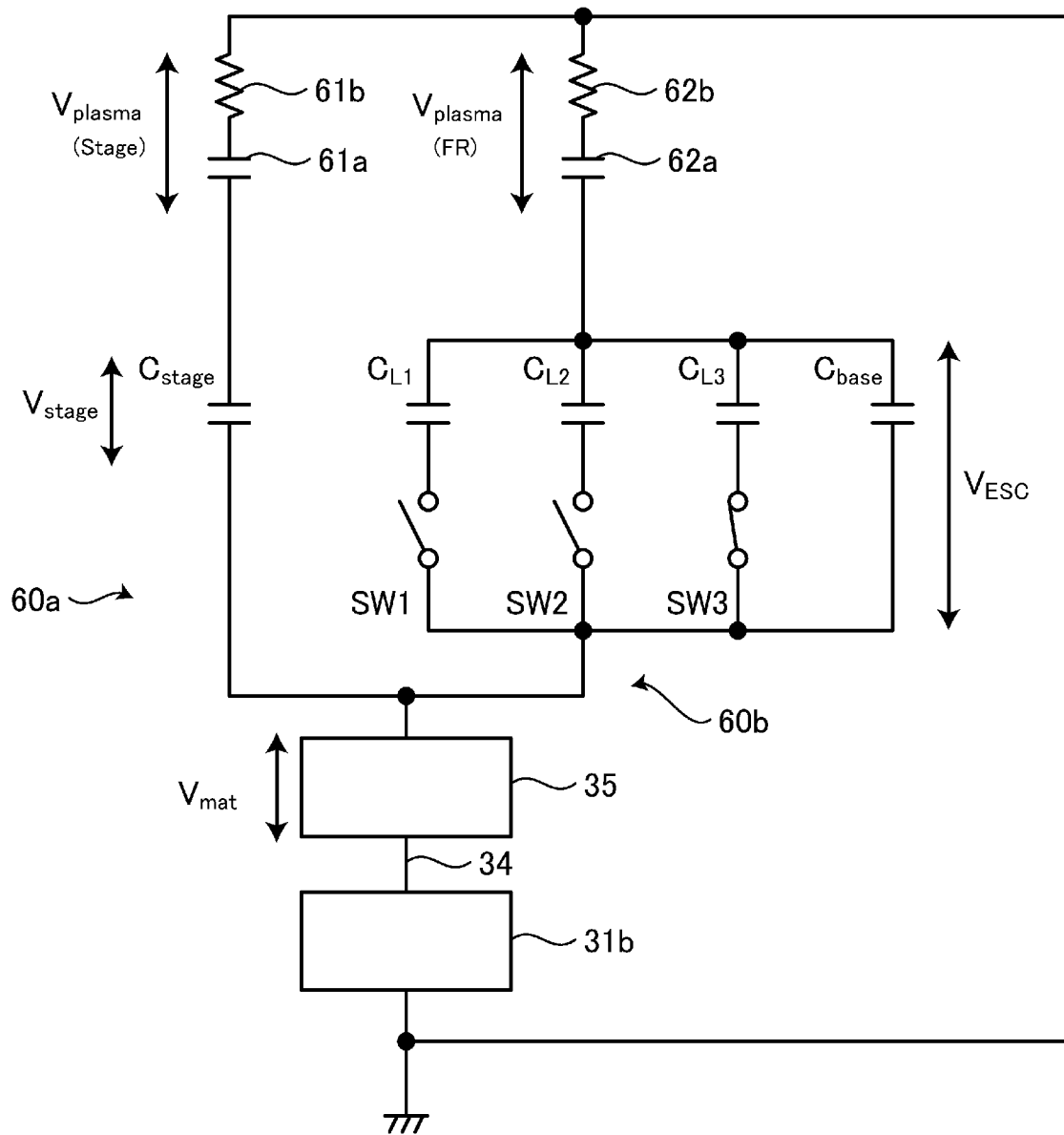
前記制御部は、前記リングアセンブリの電位を大きくする場合、前記リングアセンブリとの静電容量の大きい電極に前記バイアス電力を供給するように前記スイッチ部を制御し、前記リングアセンブリの電位を小さくする場合、前記リングアセンブリとの静電容量の小さい電極に前記バイアス電力を供給するように前記スイッチ部を制御する工程

を実行する電位制御方法。

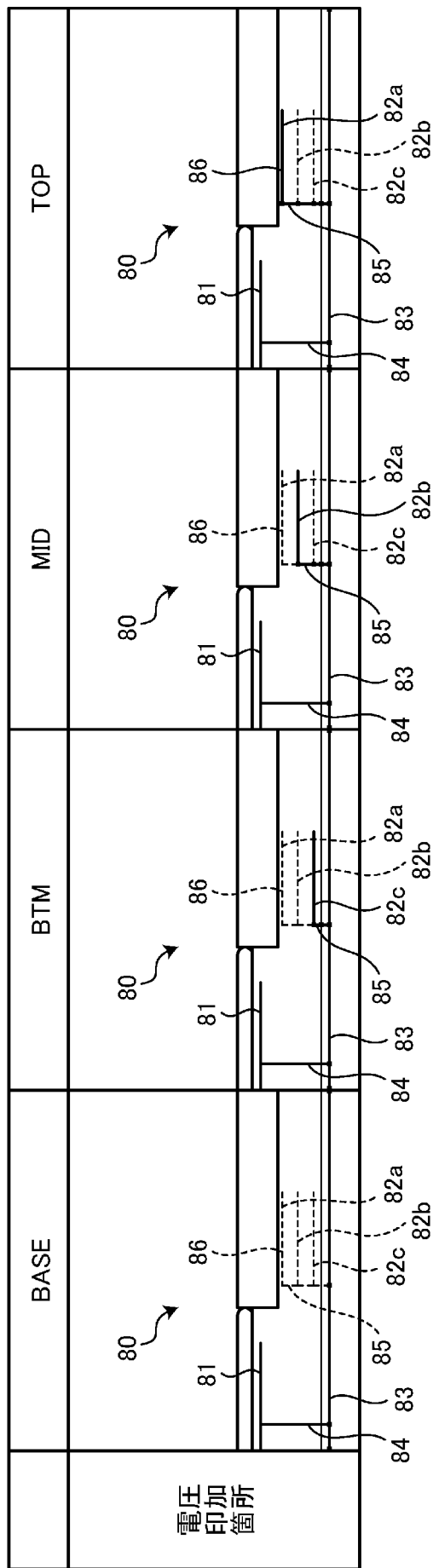
[図1]



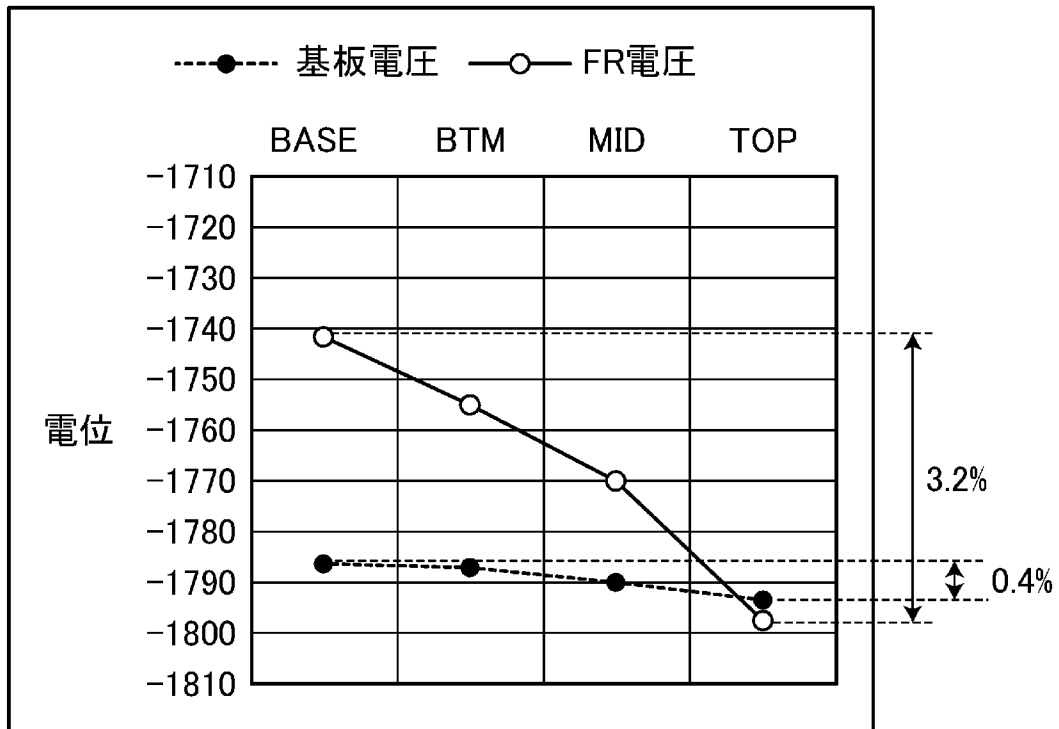
[図4]



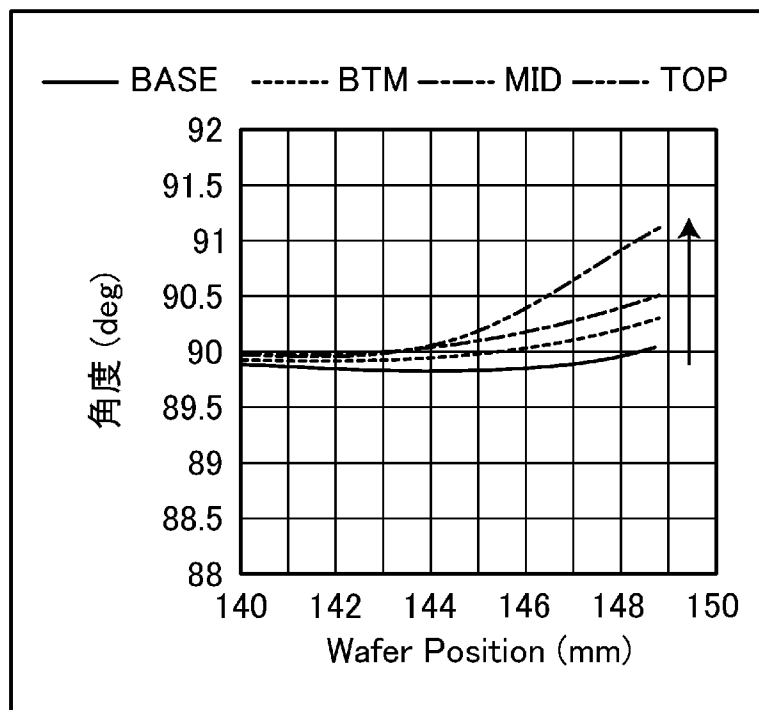
[図5]



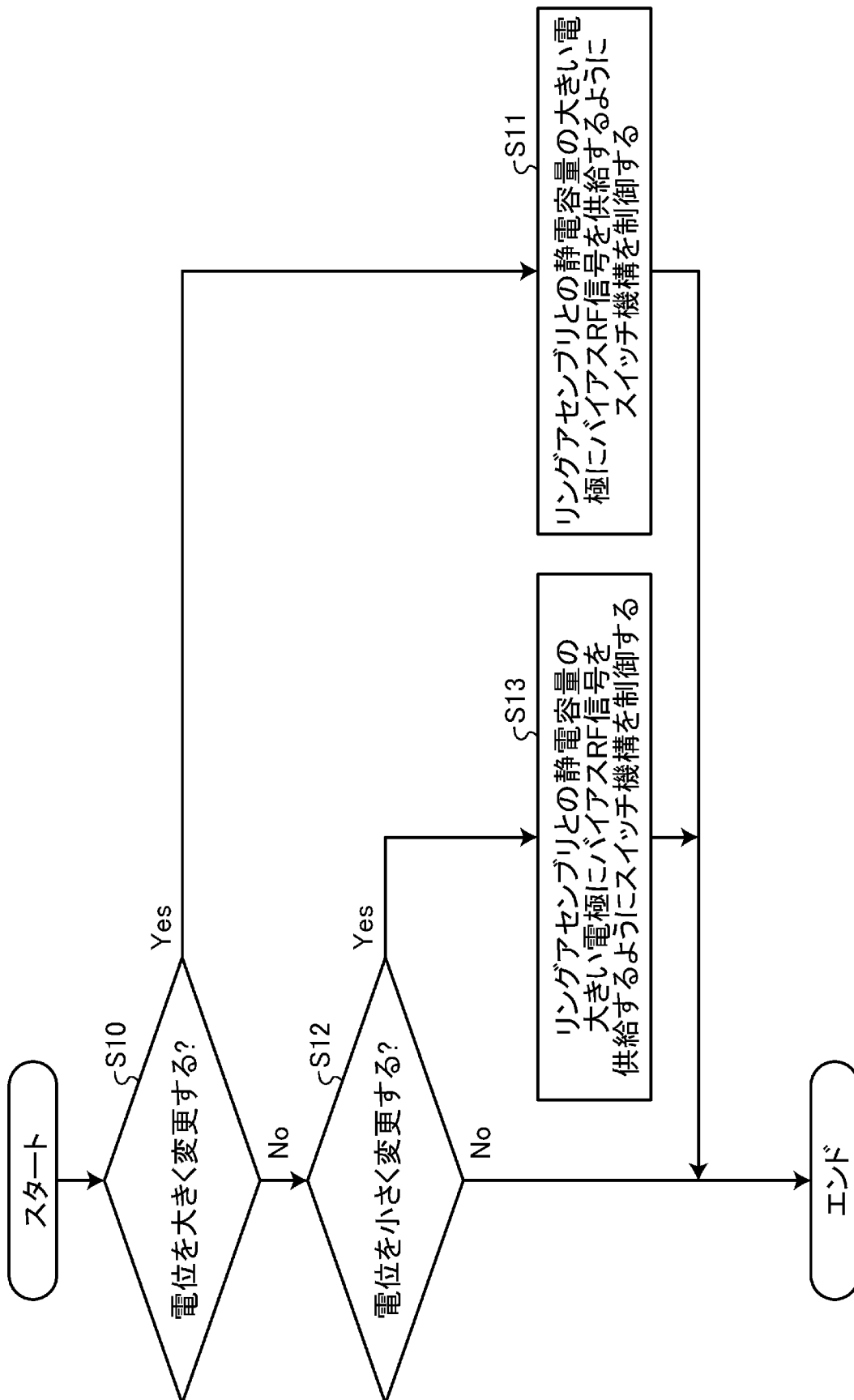
[図6]



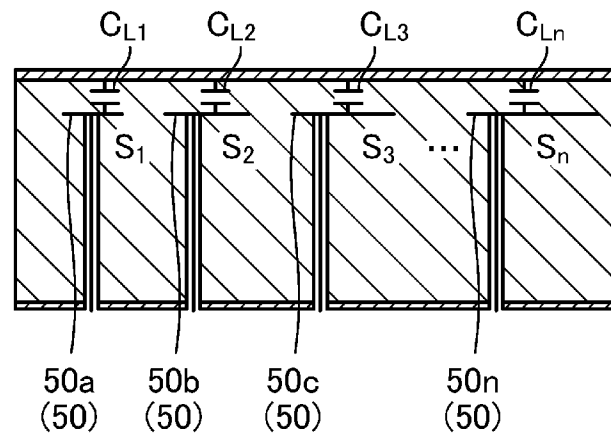
[図7]



[図8]



[図9A]



[図9B]

エリア	S ₁	S ₂	S ₃	...	S _n	合計面積 (S ₁ 比)
面積比	1	2	4	...	2 ⁿ⁻¹	
スイッチ On (●)				...	...	0
	●					1
		●				2
	●	●				3
			●			4
	●		●			5
		●	●			6
	●	●	●			7
	⋮	⋮	⋮		⋮	⋮
	●	●	●	...	●	Max

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/021603

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/3065 (2006.01)i; H05H 1/46 (2006.01)i FI: H01L21/302 101G; H05H1/46 A; H05H1/46 M According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/3065; H05H1/46 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-055100 A (LAM RESEARCH CORPORATION) 16 March 2017 (2017-03-16) paragraphs [0054]-[0112], fig. 1-7	1, 3-4, 7, 10
Y		11
A		2, 5-6, 8-9, 12
Y	JP 2021-158134 A (TOKYO ELECTRON LIMITED) 07 October 2021 (2021-10-07) paragraphs [0052]-[0054]	11
A		1-10, 12
A	JP 2021-150056 A (TOKYO ELECTRON LIMITED) 27 September 2021 (2021-09-27)	1-12
A	JP 2021-044540 A (TOKYO ELECTRON LIMITED) 18 March 2021 (2021-03-18)	1-12
A	JP 2010-283028 A (TOKYO ELECTRON LIMITED) 16 December 2010 (2010-12-16)	1-12
A	JP 2023-521756 A (APPLIED MATERIALS, INCORPORATED) 25 May 2023 (2023-05-25)	1-12
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 01 August 2024		Date of mailing of the international search report 20 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2019/0013184 A1 (APPLIED MATERIALS, INCORPORATED) 10 January 2019 (2019-01-10)	1-12
P, A	JP 2023-130043 A (TOKYO ELECTRON LIMITED) 20 September 2023 (2023-09-20) paragraphs [0010]-[0075], fig. 1-4	1-12
P, A	JP 2024-013617 A (TOKYO ELECTRON LIMITED) 01 February 2024 (2024-02-01) paragraphs [0054]-[0064], fig. 10-12	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/021603

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-055100	A	16 March 2017	US 2017/0018411 A1 paragraphs [0056]-[0113], fig. 1-7 CN 106356274 A KR 10-2017-0008138 A TW 201705266 A	
JP	2021-158134	A	07 October 2021	US 2021/0305025 A1 paragraphs [0060]-[0062] CN 113451095 A KR 10-2021-0119879 A TW 202205513 A	
JP	2021-150056	A	27 September 2021	US 2021/0296093 A1 CN 113410114 A KR 10-2021-0116261 A TW 202201464 A	
JP	2021-044540	A	18 March 2021	US 2021/0074524 A1 CN 112466735 A KR 10-2021-0030202 A TW 202114044 A	
JP	2010-283028	A	16 December 2010	US 2010/0304572 A1 CN 101908460 A KR 10-2010-0130155 A TW 201130080 A	
JP	2023-521756	A	25 May 2023	US 2021/0320022 A1 WO 2021/206767 A1 TW 202139786 A CN 115088054 A KR 10-2022-0143947 A	
US	2019/0013184	A1	10 January 2019	(Family: none)	
JP	2023-130043	A	20 September 2023	US 2023/0282457 A1 paragraphs [0020], [0086], fig. 1, 4 CN 116721961 A KR 10-2023-0131790 A TW 202343628 A	
JP	2024-013617	A	01 February 2024	US 2024/0030005 A1 paragraphs [0069]-[0079], fig. 10-12	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/3065(2006.01)i; H05H 1/46(2006.01)i
FI: H01L21/302 101G; H05H1/46 A; H05H1/46 M

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/3065; H05H1/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-055100 A（ラム リサーチ コーポレーション） 16.03.2017（2017-03-16） 段落[0054]-[0112], 第1-7図	1,3-4,7,10
Y		11
A		2,5-6,8-9,12
Y	JP 2021-158134 A（東京エレクトロン株式会社） 07.10.2021（2021-10-07） 段落[0052]-[0054]	11
A		1-10,12
A	JP 2021-150056 A（東京エレクトロン株式会社） 27.09.2021（2021-09-27）	1-12
A	JP 2021-044540 A（東京エレクトロン株式会社） 18.03.2021（2021-03-18）	1-12
A	JP 2010-283028 A（東京エレクトロン株式会社） 16.12.2010（2010-12-16）	1-12
A	JP 2023-521756 A（アプライド マテリアルズ インコーポレイテッド） 25.05.2023 （2023-05-25）	1-12

☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日 01.08.2024

国際調査報告の発送日 20.08.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

桑原 清 50 9375

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2019/0013184 A1 (APPLIED MATERIALS, INC.) 10.01.2019 (2019 - 01 - 10)	1-12
P, A	JP 2023-130043 A (東京エレクトロン株式会社) 20.09.2023 (2023 - 09 - 20) 段落[0010]-[0075], 第1-4図	1-12
P, A	JP 2024-013617 A (東京エレクトロン株式会社) 01.02.2024 (2024 - 02 - 01) 段落[0054]-[0064], 第10-12図	1-12

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/021603

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-055100	A	16.03.2017	US	2017/0018411	A1	
					段落[0056]-[0113], 第1-7図		
				CN	106356274	A	
				KR	10-2017-0008138	A	
				TW	201705266	A	
JP	2021-158134	A	07.10.2021	US	2021/0305025	A1	
					段落[0060]-[0062]		
				CN	113451095	A	
				KR	10-2021-0119879	A	
				TW	202205513	A	
JP	2021-150056	A	27.09.2021	US	2021/0296093	A1	
				CN	113410114	A	
				KR	10-2021-0116261	A	
				TW	202201464	A	
JP	2021-044540	A	18.03.2021	US	2021/0074524	A1	
				CN	112466735	A	
				KR	10-2021-0030202	A	
				TW	202114044	A	
JP	2010-283028	A	16.12.2010	US	2010/0304572	A1	
				CN	101908460	A	
				KR	10-2010-0130155	A	
				TW	201130080	A	
JP	2023-521756	A	25.05.2023	US	2021/0320022	A1	
				WO	2021/206767	A1	
				TW	202139786	A	
				CN	115088054	A	
				KR	10-2022-0143947	A	
US	2019/0013184	A1	10.01.2019	(ファミリーなし)			
JP	2023-130043	A	20.09.2023	US	2023/0282457	A1	
					段落[0020]-[0086], 第1, 4図		
				CN	116721961	A	
				KR	10-2023-0131790	A	
				TW	202343628	A	
JP	2024-013617	A	01.02.2024	US	2024/0030005	A1	
					段落[0069]-[0079], 第10-12図		