I854342

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I854342 B**

(45)公告日： 中華民國 113 (2024) 年 09 月 01 日

(21)申請案號：111141503 (22)申請日： 中華民國 103 (2014) 年 09 月 11 日

(51)Int. Cl.： ***G09G3/36 (2006.01)*** ***G09G3/20 (2006.01)***

(30)優先權：2013/09/12 日本 2013-189539

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：三宅博之 MIYAKE, HIROYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	I305909B	TW	200905638A
TW	201220316A	US	2013/0222220A1

審查人員：葉月芬

申請專利範圍項數：8 項 圖式數：12 共 59 頁

(54)名稱

顯示裝置

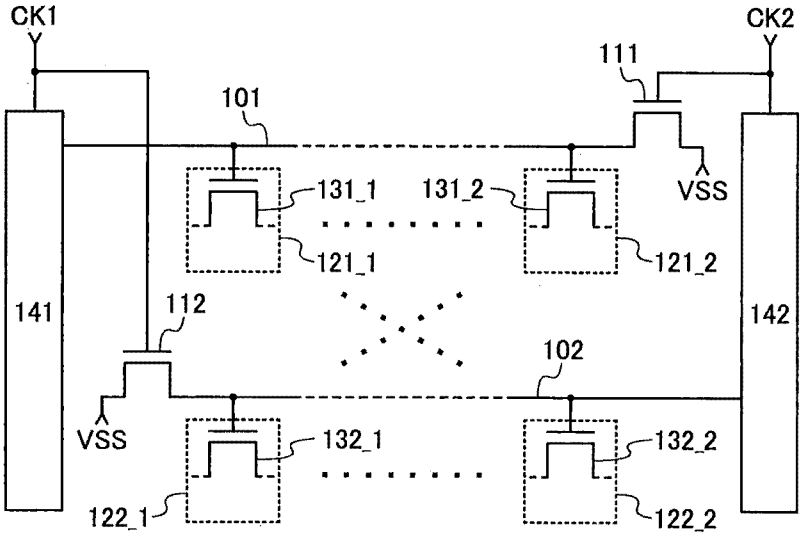
(57)摘要

本發明的一個方式抑制設置在顯示裝置中的掃描線的各部分中的電位變化的時序偏差。當輸入到掃描線的信號從選擇信號切換為非選擇信號時，不僅從該掃描線的一端而且從該掃描線的兩端都輸入非選擇信號。明確而言，在顯示裝置中設置從一端輸入選擇信號或非選擇信號的掃描線、時脈信號輸入到其閘極，非選擇信號輸入到其源極且其汲極與該掃描線連接的電晶體。並且，從一端輸入到掃描線的信號從選擇信號切換為非選擇信號的時序與電晶體從關閉狀態變為開啟狀態的時序相同或大致相同。由此，不僅從掃描線的一端而且從掃描線的兩端都輸入非選擇信號。因此，可以抑制該掃描線的各部分中的電位變化的時序偏差。

A scan line to which a selection signal or a non-selection signal is input from its end, and a transistor in which a clock signal is input to a gate, the non-selection signal is input to a source, and a drain is connected to the scan line are provided. A signal input to the end of the scan line is switched from the selection signal to the non-selection signal at the same or substantially the same time as the transistor is turned on. The non-selection signal is input not only from one end but also from both ends of the scan line. This makes it possible to inhibit the potentials of portions in the scan line from being changed at different times.

指定代表圖：

圖 3



符號簡單說明：

101:掃描線

102:掃描線

111:電晶體

112:電晶體

121_1:像素

121_2:像素

122_1:像素

122_2:像素

131_1:電晶體

131_2:電晶體

132_1:電晶體

132_2:電晶體

141:移位暫存器

142:移位暫存器

CK1:時脈信號

CK2:時脈信號

VSS:低電源電位

公告本

I854342

【發明摘要】

【中文發明名稱】

顯示裝置

【英文發明名稱】

DISPLAY DEVICE

【中文】

本發明的一個方式抑制設置在顯示裝置中的掃描線的各部分中的電位變化的時序偏差。當輸入到掃描線的信號從選擇信號切換為非選擇信號時，不僅從該掃描線的一端而且從該掃描線的兩端都輸入非選擇信號。明確而言，在顯示裝置中設置從一端輸入選擇信號或非選擇信號的掃描線、時脈信號輸入到其閘極，非選擇信號輸入到其源極且其汲極與該掃描線連接的電晶體。並且，從一端輸入到掃描線的信號從選擇信號切換為非選擇信號的時序與電晶體從關閉狀態變為開啟狀態的時序相同或大致相同。由此，不僅從掃描線的一端而且從掃描線的兩端都輸入非選擇信號。因此，可以抑制該掃描線的各部分中的電位變化的時序偏差。

【英文】

A scan line to which a selection signal or a non-selection signal is input from its end, and a transistor in which a clock signal is input to a gate, the non-selection signal is input to a source, and a drain is connected to the scan line are provided. A signal input to the end of the scan line is switched from the selection signal to the non-selection signal at the same or substantially the same time as the transistor is turned on. The non-selection signal is input not only from one end but also from both ends of the scan line. This makes it possible to inhibit the potentials of portions in the scan line from being changed at different times.

【代表圖】

【本案指定代表圖】：圖 3

【本代表圖之符號簡單說明】：

101：掃描線

102：掃描線

111：電晶體

112：電晶體

121_1：像素

121_2：像素

122_1：像素

122_2：像素

131_1：電晶體

131_2：電晶體

132_1：電晶體

132_2：電晶體

141：移位暫存器

142：移位暫存器

CK1：時脈信號

CK2：時脈信號

VSS：低電源電位

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

顯示裝置

【英文發明名稱】

DISPLAY DEVICE

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。尤其是，本發明的一個方式係關於一種半導體裝置、顯示裝置、發光裝置、它們的驅動方法或它們的製造方法。尤其是，本發明的一個方式係關於一種主動矩陣型顯示裝置。

【先前技術】

[0002] 在主動矩陣型顯示裝置中，多個像素配置為矩陣狀。並且，藉由在每個像素中顯示對應於影像信號的特定的顏色，使顯示裝置整體顯示所希望的影像。

[0003] 在各像素中，設置有用來改寫該影像信號的電晶體。並且，該電晶體的閘極與掃描線連接，藉由控制該掃描線的電位，控制該電晶體的開關。另外，該掃描線與設置在配置為矩陣狀的多個像素中的特定的一行的多個

像素的每一個所包括的電晶體的閘極連接。就是說，在主動矩陣型顯示裝置中，對每一個特定的行進行影像信號的改寫。

[0004] 在主動矩陣型顯示裝置中，設置有與配置為矩陣狀的多個像素的行數相同的個數的掃描線。並且，設置有控制這些掃描線的電位的掃描線驅動電路。該掃描線驅動電路既可以一併設置在配置為矩陣狀的多個像素的一側，又可以以分割地設置在它們的兩側（即設置第一掃描線驅動電路和第二掃描線驅動電路）（參照專利文獻 1 及專利文獻 2）。

[0005]

[專利文獻 1] 美國專利第 8462098 號說明書

[專利文獻 2] 美國專利申請公開第 2012/0062528

[0006] 在掃描線中，佈線電阻及寄生電容的影響容易明顯化。明確而言，掃描線沿著設置在特定的一行的多個像素延伸。因此，掃描線的全長必然變長，而佈線電阻容易增大。另外，掃描線與多個信號線（用作對各像素輸入影像信號的路徑的佈線）交叉，並且與多個電晶體的閘極連接。因此，在與信號線交叉的部分產生的寄生電容或與掃描線連接的電晶體的閘極電容被附加到掃描線，寄生電容容易增大。再者，在意圖顯示裝置的大型化及像素數目的增加的情況下，這些影響進一步增大。這是因為如下緣故：隨著顯示裝置的大型化而掃描線的全長更長，並且，隨著顯示裝置的像素數目的增加而與掃描線交叉的信

號線數目及連接的電晶體數目增加。

[0007] 在此，當佈線電阻及寄生電容變大時，有可能發生顯示裝置的不良現象。明確而言，當掃描線被輸入信號時，首先，信號的輸入部分的電位發生變化，然後離輸入部分遠的部分的電位發生變化。就是說，在掃描線中，電位發生變化的時序因部分而不同。並且，該時序偏差與佈線電阻及寄生電容成正比地增大。因此，當掃描線的佈線電阻及寄生電容增大時，閘極與該掃描線連接的多個電晶體的開關的時序偏差變大。其結果，有可能發生顯示裝置的不良現象。

[0008] 另外，“電晶體的開關的時序偏差”的記載包括兩種情況。明確而言，包括該電晶體從關閉狀態變為開啟狀態的時序產生偏差的情況和該電晶體從開啟狀態變為關閉狀態的時序產生偏差的情況的兩種。並且，在主動矩陣型顯示裝置中，尤其是在後一種的情況下容易發生不良現象。這是因為如下緣故：如果電晶體從開啟狀態變為關閉狀態的時序產生偏差，與所希望的影像信號不同的影像信號被輸入到像素的可能性則變高。

【發明內容】

[0009] 鑒於上述問題，本發明的一個方式的目的之一是抑制掃描線的各部分的電位變化的時序偏差。另外，本發明的一個方式的目的之一是抑制閘極與掃描線連接的多個電晶體的開關的時序偏差。此外，本發明的一個方式

的目的之一是抑制在顯示裝置中發生的不良現象。另外，本發明的一個方式的目的之一是提供一種新穎顯示裝置。此外，本發明的一個方式的目的之一是達到上述目的中的至少一個。另外，這些目的的記載不妨礙其他目的的存在。此外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述目的以外的目的，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述目的以外的目的。

[0010] 本發明的一個方式的要旨是：當輸入到掃描線的信號從選擇信號切換為非選擇信號時，不僅從該掃描線的一端而且從該掃描線的兩端都輸入非選擇信號。注意，在本說明書中，選擇信號是指用來使閘極與掃描線連接的電晶體成為開啟狀態的信號，非選擇信號是指使其成為關閉狀態的信號。

[0011] 例如，本發明的一個方式是一種顯示裝置，包括：選擇信號或非選擇信號從其一端被輸入的掃描線；以及時脈信號輸入到閘極且非選擇信號輸入到源極的電晶體，其中，掃描線的另一端與電晶體的汲極電連接，從一端輸入到掃描線的信號從選擇信號切換為非選擇信號的時序與電晶體從關閉狀態變為開啟狀態的時序相同或大致相同。

[0012] 在本發明的一個方式的顯示裝置中，不僅從掃描線的一端而且從掃描線的兩端都輸入非選擇信號。因此，可以抑制該掃描線的各部分的電位變化的時序偏差。並且，可以抑制該閘極與掃描線連接的多個電晶體的開關

的時序偏差。其結果，可以抑制在顯示裝置中發生的不良現象。

【圖式簡單說明】

[0013] 在圖式中：

圖 1A、圖 1B 和圖 1D 是示出顯示裝置的結構例子的圖，圖 1C 和圖 1E 是示出信號的波形的圖；

圖 2A 是示出顯示裝置的結構例子的圖，圖 2B 是示出信號的波形的圖；

圖 3 是示出顯示裝置的結構例子的圖；

圖 4A 是示出顯示裝置的具體例子的圖，圖 4B 是示出像素的結構例子的圖；

圖 5 是示出掃描線驅動電路的結構例子的圖；

圖 6A 是示出時脈信號的波形的圖，圖 6B 是示出脈衝輸出電路的圖；

圖 7A 是示出脈衝輸出電路的結構例子的圖，圖 7B 和圖 7C 是示出信號的波形及節點的電位變化的圖；

圖 8A 是示出掃描線驅動電路的結構例子的圖，圖 8B 是示出信號的波形的圖；

圖 9 是示出掃描線驅動電路的結構例子的圖；

圖 10 是示出顯示模組的一個例子的圖；

圖 11A 是示出行動電話機的一個例子的圖，圖 11B 是示出手鐲型顯示裝置的一個例子的圖；

圖 12A 和圖 12B 是示出可攜式裝置的一個例子的

圖。

【實施方式】

[0014] 下面，對本發明的一個方式進行詳細說明。但是，本發明不侷限於以下說明，在不脫離其精神及其範圍的條件下，其方式可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的記載內容中。

[0015] 另外，在本說明書等中，當明確地記載為“X與Y連接”時，在本說明書等中公開了如下情況：X與Y電連接的情況；X與Y在功能上連接的情況；以及X與Y直接連接的情況。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，圖式或文中所示的連接關係以外的連接關係也記載於圖式或文中。

[0016] 這裡，X和Y為目標物（例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等）。

[0017] 作為X與Y直接連接的情況的一個例子，可以舉出在X與Y之間沒有連接能夠電連接X與Y的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件和負載等），並且X與Y沒有藉由能夠電連接X與Y的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）連接的情況。

[0018] 作為X與Y電連接的情況的一個例子，例如

可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）。另外，開關具有控制開啟和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0019] 作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y 在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與 Y 電連接的情況。

[0020] 此外，當明確地記載為“X 與 Y 電連接”時，在本說明書等中公開了如下情況：X 與 Y 電連接的情況

（換言之，以中間夾有其他元件或其他電路的方式連接 X 與 Y 的情況）；X 與 Y 在功能上連接的情況（換言之，以中間夾有其他電路的方式在功能上連接 X 與 Y 的情況）；以及 X 與 Y 直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y 的情況）。換言之，當明確記載為“電連接”時，在本說明書等中公開了與只明確記載為“連接”的情況相同的內容。

[0021] 注意，例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表現為如下。

[0022] 例如，可以表現為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表現為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表現為“X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或

第二端子等）、Y 依次設置為相互連接”。藉由使用與這種例子相同的表現方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。

[0023] 另外，作為其他表現方法，例如可以表現為“電晶體的源極（或第一端子等）至少藉由第一連接路徑與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑是藉由電晶體的電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，所述第一連接路徑是藉由 Z1 的路徑，電晶體的汲極（或第二端子等）至少藉由第三連接路徑與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑，所述第三連接路徑是藉由 Z2 的路徑”。或者，也可以表現為“電晶體的源極（或第一端子等）至少經過第一連接路徑，藉由 Z1 與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑具有藉由電晶體的連接路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑，藉由 Z2 與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑”。或者，也可以表現為“電晶體的源極（或第一端子等）至少經過第一電子路徑，藉由 Z1 與 X 電連接，所述第一電子路徑不具有第二電子路徑，所述第二電子路徑是從電晶體的源極（或第一端子等）到電晶體的汲極（或第二端子等）的電子路徑，電晶體的汲極（或第二端子等）至少經過第三電子路徑，藉由 Z2 與 Y 電連接，所述第三電子路

徑不具有第四電子路徑，所述第四電子路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電子路徑”。藉由使用與這種例子同樣的表現方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來決定技術範圍。

[0024] 注意，這種表現方法只是一個例子而已，不侷限於上述表現方法。在此，X、Y、Z1 及 Z2 為目標物（例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等）。

[0025] 另外，即使圖式示出在電路圖上獨立的構成要素彼此電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分被用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

[0026]

<1.顯示裝置的結構例子>

參照圖 1A 對本發明的一個方式的顯示裝置進行說明。圖 1A 是示出該顯示裝置的一部分的圖。圖 1A 示出選擇信號（Sel）或非選擇信號（n-Sel）輸入到其一端的掃描線 10 和時脈信號（CK）輸入到其閘極且非選擇信號（n-Sel）輸入到其源極的電晶體 11。另外，掃描線 10 的另一端與電晶體 11 的汲極連接。並且，在圖 1A 所示的掃描線 10 中，以從一端輸入的信號從選擇信號（Sel）切換

為非選擇信號（n-Sel）的時序與電晶體 11 從關閉狀態變為開啟狀態的時序相同或大致相同的方式輸入信號。另外，雖然在圖 1A 中示出 N 通道型電晶體作為電晶體 11，但是也可以使用 P 通道型電晶體作為電晶體 11。

[0027] 在實際的顯示裝置中，掃描線 10 與設置在特定的一行的多個像素的每一個所包括的電晶體的閘極連接。圖 1B 示出對圖 1A 所示的結構附加像素 12_1、12_2 以及像素 12_1、12_2 所具有的電晶體 13_1、13_2（以下，也稱為像素電晶體）的結構。並且，如圖 1B 所示，當電晶體 13_1、13_2 為 N 通道型電晶體時，高電源電位（VDD）為選擇信號，低電源電位（VSS）為非選擇信號。圖 1C 是示出圖 1B 所示的信號的波形的一個例子的圖。如圖 1C 所示，在圖 1B 所示的掃描線 10 中，以從一端輸入的信號從高電源電位（VDD）切換為低電源電位（VSS）的時序（TA）與時脈信號（CK）從低電源電位（VSS）切換為高電源電位（VDD）的時序一致的方式輸入信號。注意，雖然在圖 1C 中，作為時脈信號（CK）示出反復高電源電位（VDD）和低電源電位（VSS）的工作比為 1/2 的信號，但是既可以用其他電位代替高電源電位（VDD）和低電源電位（VSS）中的至少一方，又可以使用具有 1/2 之外的工作比的信號。

[0028] 另外，如圖 1C 所示，在高電源電位（VDD）供應到掃描線 10 的期間中，電晶體 11 較佳為維持關閉狀態。就是說，在該期間中，時脈信號（CK）較佳為維持

低電源電位（VSS）。由此，可以抑制從掃描線 10 的一端到另一端流過不必要的電流，可以抑制顯示裝置的工作故障及耗電量的增加。

[0029] 圖 1D 是示出用 P 通道型電晶體 14、15_1、15_2 代替圖 1B 所示的電晶體 11、13_1、13_2 的結構的圖。此時，高電源電位（VDD）為非選擇信號，低電源電位（VSS）為選擇信號。圖 1E 是示出圖 1D 所示的信號的波形的一個例子的圖。如圖 1E 所示，在圖 1D 所示的掃描線 10 中，從一端輸入的信號從低電源電位（VSS）切換為高電源電位（VDD）的時序（TB）與時脈信號（CK）從高電源電位（VDD）切換為低電源電位（VSS）的時序一致的方式輸入信號。

[0030] 另外，如圖 1B 所示，較佳的是，其汲極連接到掃描線 10 的另一端的電晶體 11 的極性與其閘極連接到掃描線 10 的電晶體 13_1、13_2 的極性相同。此外，如圖 1D 所示，較佳的是，其汲極連接到掃描線 10 的另一端的電晶體 14 的極性與其閘極連接到掃描線 10 的電晶體 15_1、15_2 的極性相同。明確而言，與兩者的極性不同的情況相比，可以減少製程數量，所以是較佳的。此外，在兩者的極性不同且時脈信號（CK）由對應於選擇信號的電位及對應於非選擇信號的電位構成的情況下，非選擇信號輸入到電晶體 11、14 的汲極而不輸入到源極。在此情況下，與掃描線 10 連接的電晶體的閘極被輸入從對應於非選擇信號的電位有相當於電晶體 11、14 的臨界電壓

的變動的電位，而不被輸入對應於非選擇信號的電位。

[0031] 圖 2A 是示出本發明的一個方式的顯示裝置的一部分的圖。圖 2A 示出：從紙面的左側被輸入信號（A1）的掃描線 101；從紙面的右側被輸入信號（A2）的掃描線 102；時脈信號（CK2）輸入到其閘極且低電源電位（VSS）輸入到其源極的電晶體 111；以及時脈信號（CK1）輸入到其閘極且低電源電位（VSS）輸入到其源極的電晶體 112。另外，掃描線 101 的紙面的右側的端部與電晶體 111 的汲極連接，掃描線 102 的紙面的左側的端部與電晶體 112 的汲極連接。此外，圖 2A 還示出像素 121_1、121_2、122_1、122_2 及電晶體 131_1、131_2、132_1、132_2。另外，電晶體 111、112、131_1、131_2、132_1、132_2 為 N 通道型電晶體。

[0032] 圖 2B 是示出圖 2A 所示的信號的波形的圖。如圖 2B 所示，在圖 2A 所示的掃描線 101、102 中，以被輸入的信號從高電源電位（VDD）切換為低電源電位（VSS）的時序（TA1、TA2）與時脈信號（CK1、CK2）從低電源電位（VSS）切換為高電源電位（VDD）的時序一致的方式輸入信號。此外，可以適當地改變時脈信號（CK1、CK2）的工作比等。

[0033] 在圖 2A 所示的結構中，可以將成為時脈信號（CK1、CK2）的輸入路徑的佈線分割地設置在顯示區域的對置的兩側，而不是一併設置在顯示區域的一側。因此，可以使顯示區域存在於中央部的顯示裝置的邊框的寬

度變窄（實現窄邊框化）。

[0034] 注意，雖然在圖 2A 和圖 2B 中示出顯示裝置所包括的電晶體為 N 通道型電晶體的情況，但是也可以使用 P 通道型電晶體作為該電晶體。

[0035] 圖 3 示出對圖 2A 所示的結構附加設置在紙面的左側的移位暫存器 141 和設置在紙面的右側的移位暫存器 142 的結構。另外，移位暫存器 141 是被輸入時脈信號（CK1）且對掃描線 101 輸出信號的電路。另外，移位暫存器 142 是被輸入時脈信號（CK2）且對掃描線 102 輸出信號的電路。

[0036] 在圖 3 所示的結構中，與圖 2A 所示的結構同樣可以實現窄邊框化。並且，在圖 3 所示的結構中，時脈信號（CK1、CK2）不但用於抑制電晶體 111、112 的開關的用途，而且用於使移位暫存器 141、142 工作的用途。因此，在圖 3 所示的結構中，可以高效地實現窄邊框化。

[0037] 另外，移位暫存器 141、142 的結構不侷限於特定的結構。例如，既可以使用利用 P 通道型電晶體及 N 通道型電晶體的兩者的互補金屬氧化物半導體（CMOS：Complementary Metal Oxide Semiconductor）電路構成移位暫存器 141、142，又可以只使用它們中的任一個構成移位暫存器 141、142。在使用 CMOS 電路構成移位暫存器 141、142 的情況下，可以降低移位暫存器 141、142 中的耗電量，所以是較佳的。另一方面，在移位暫存器 141、142 只由具有與電晶體 111、112、131_1、131_2、

132_1、132_2 相同的極性的電晶體構成的情況下，可以減少製程數量，所以是較佳的。

[0038]

<2.顯示裝置的具體例子>

圖 4A 是示出顯示裝置的具體例子的圖。圖 4A 所示的顯示裝置包括：配置為 m 行 n 列（m、n 為偶數）的 m×n 個像素 20；在該像素之間延伸在紙面的左右方向上的 m 個掃描線 21；在該像素之間延伸在紙面的上下方向上的 n 個信號線 22；每一個都與該 m 個掃描線 21 連接的掃描線驅動電路 23、24；以及與該 n 個信號線 22 連接的信號線驅動電路 25。

[0039]

<（1）像素 20 的結構例子>

圖 4B 是示出圖 4A 所示的顯示裝置所具有的像素 20 的電路圖的一個例子的圖。圖 4B 所示的像素 20 包括：其閘極與掃描線 21 連接且其源極和汲極中的一方與信號線 22 連接的電晶體 201；其一個電極與電晶體 201 的源極和汲極中的另一個連接且另一個電極與供應電容電位的佈線（也稱為電容線）連接的電容元件 202；以及其一個電極與電晶體 201 的源極和汲極中的另一個及電容元件 202 的一個電極連接且另一個電極與供應共用電位的佈線（也稱為共用電位線）電連接的液晶元件 203。另外，電容電位可以與共用電位相同。此外，雖然在圖 4B 中示出在像素 20 中設置液晶元件 203 的結構，但是本說明書所公開的

顯示裝置的像素不侷限於該結構。例如，在本說明書所公開的顯示裝置中，也可以在像素中設置發光元件。

[0040]

<（2）掃描線驅動電路 23、24 的結構例子>

圖 5 是示出圖 4A 所示的顯示裝置所具有的掃描線驅動電路 23、24 的結構例子的圖。圖 5 所示的掃描線驅動電路 23 包括：每一個都供應時脈信號（CKL1 至 4）中的任一個的 4 個佈線；每一個都與配置在奇數行的多個掃描線 21_1、21_3 至 21_m-1 中的任一個連接的多個脈衝輸出電路 23_1、23_3 至 23_m-1；以及每一個的閘極都與該 4 個佈線中的任一個連接，其源極與供應低電源電位（VSS）的佈線（以下，稱為低電源電位線）連接且其汲極與配置在偶數行的多個掃描線 21_2、21_4 至 21_m 中的任一個連接的多個電晶體 23_2、23_4 至 23_m。另外，圖 5 所示的掃描線驅動電路 24 包括：每一個都供應時脈信號（CKR1 至 4）中的任一個的 4 個佈線；每一個都與配置在偶數行的多個掃描線 21_2、21_4 至 21_m 中的任一個連接的多個脈衝輸出電路 24_2、24_4 至 24_m；以及每一個的閘極都與該 4 個佈線中的任一個連接，其源極與低電源電位線連接且其汲極與配置在奇數行的多個掃描線 21_1、21_3 至 21_m-1 中的任一個連接的多個電晶體 24_1、24_3 至 24_m-1。另外，在圖 5 所示的掃描線驅動電路 23 中，由脈衝輸出電路 23_1、23_3 至 23_m-1 構成移位暫存器，在圖 5 所示的掃描線驅動電路 24 中，由脈

衝輸出電路 24_2、24_4 至 24_m 構成移位暫存器。

[0041] 圖 6A 是示出時脈信號（CKL1 至 4、CKR1 至 4）的具體波形的一個例子的圖。圖 6A 所示的時脈信號（CKL1）是週期性地反復高位準的電位（高電源電位（VDD））和低位準的電位（低電源電位（VSS））的工作比為 3/8 的信號。另外，時脈信號（CKL2）是相位從時脈信號（CKL1）產生 1/4 週期的偏差的信號，時脈信號（CKL3）是相位從時脈信號（CKL1）產生 1/2 週期的偏差的信號，時脈信號（CKL4）是相位從時脈信號（CKL1）產生 3/4 週期的偏差的信號。另外，時脈信號（CKR1）是相位從時脈信號（CKL1）產生 1/8 週期的偏差的信號，時脈信號（CKR2）是相位從時脈信號（CKL1）產生 3/8 週期的偏差的信號，時脈信號（CKR3）是相位從時脈信號（CKL1）產生 5/8 週期的偏差的信號，時脈信號（CKR4）是相位從時脈信號（CKL1）產生 7/8 週期的偏差的信號。

[0042] 在上述顯示裝置中，作為各脈衝輸出電路 23_1、23_3 至 23_m-1、24_2、24_4 至 24_m，可以應用具有相同結構的電路。但是，脈衝輸出電路所具有的多個端子的電連接關係因脈衝輸出電路而不同。參照圖 5 和圖 6B 對具體連接關係進行說明。

[0043] 除了脈衝輸出電路 23_m-1、24_m 之外的各脈衝輸出電路包括端子 31 至 36。另外，端子 31 至 34 是輸入端子，端子 35、36 是輸出端子。此外，脈衝輸出電路

23_m-1、24_m包括端子31至35。

[0044] 首先，對端子31進行說明。脈衝輸出電路23_1的端子31與供應起動脈衝（SP1）的佈線連接，脈衝輸出電路23_2a-1（a為2以上且m/2以下的自然數）的端子31與脈衝輸出電路23_2a-3的端子36連接。另外，脈衝輸出電路24_2的端子31與供應起動脈衝（SP2）的佈線連接，脈衝輸出電路24_2a的端子31與脈衝輸出電路24_2a-2的端子36連接。

[0045] 下面，對端子32進行說明。脈衝輸出電路23_8b-7（b為m/8以下的自然數）的端子32與供應時脈信號（CKL1）的佈線連接，脈衝輸出電路23_8b-5的端子32與供應時脈信號（CKL2）的佈線連接，脈衝輸出電路23_8b-3的端子32與供應時脈信號（CKL3）的佈線連接，脈衝輸出電路23_8b-1的端子32與供應時脈信號（CKL4）的佈線連接。另外，脈衝輸出電路24_8b-6的端子32與供應時脈信號（CKR1）的佈線連接，脈衝輸出電路24_8b-4的端子32與供應時脈信號（CKR2）的佈線連接，脈衝輸出電路24_8b-2的端子32與供應時脈信號（CKR3）的佈線連接，脈衝輸出電路24_8b的端子32與供應時脈信號（CKR4）的佈線連接。

[0046] 下面，對端子33進行說明。脈衝輸出電路23_8b-7的端子33與供應時脈信號（CKL2）的佈線連接，脈衝輸出電路23_8b-5的端子33與供應時脈信號（CKL3）的佈線連接，脈衝輸出電路23_8b-3的端子33

與供應時脈信號（CKL4）的佈線連接，脈衝輸出電路23_8b-1的端子33與供應時脈信號（CKL1）的佈線連接。另外，脈衝輸出電路24_8b-6的端子33與供應時脈信號（CKR2）的佈線連接，脈衝輸出電路24_8b-4的端子33與供應時脈信號（CKR3）的佈線連接，脈衝輸出電路24_8b-2的端子33與供應時脈信號（CKR4）的佈線連接，脈衝輸出電路24_8b的端子33與供應時脈信號（CKR1）的佈線連接。

[0047] 下面，對端子34進行說明。脈衝輸出電路23_8b-7的端子34與供應時脈信號（CKL3）的佈線連接，脈衝輸出電路23_8b-5的端子34與供應時脈信號（CKL4）的佈線連接，脈衝輸出電路23_8b-3的端子34與供應時脈信號（CKL1）的佈線連接，脈衝輸出電路23_8b-1的端子34與供應時脈信號（CKL2）的佈線連接。另外，脈衝輸出電路24_8b-6的端子34與供應時脈信號（CKR3）的佈線連接，脈衝輸出電路24_8b-4的端子34與供應時脈信號（CKR4）的佈線連接，脈衝輸出電路24_8b-2的端子34與供應時脈信號（CKR1）的佈線連接，脈衝輸出電路24_8b的端子34與供應時脈信號（CKR2）的佈線連接。

[0048] 下面，對端子35進行說明。脈衝輸出電路23_2x-1、24_2x（x為m以下的自然數）的端子35與配置在第x行的掃描線21_x連接。

[0049] 對各脈衝輸出電路（除了脈衝輸出電路23_m-

1、24_m 之外）的端子 36 的連接關係已經進行了說明。因此，在此援用上述說明。

[0050]

<（2-1）脈衝輸出電路的結構例子>

圖 7A 是示出圖 5 和圖 6B 所示的脈衝輸出電路的結構例子的圖。圖 7A 所示的脈衝輸出電路包括電晶體 41 至 49。另外，在脈衝輸出電路 23_m-1、24_m 中也可以不設置電晶體 43、44。

[0051] 在電晶體 41 中，源極和汲極中的一方與供應高電源電位（VDD）的佈線（以下，稱為高電源電位線）連接，閘極與端子 31 連接。

[0052] 在電晶體 42 中，源極和汲極中的一方與低電源電位線連接，源極和汲極中的另一方與電晶體 41 的源極和汲極中的另一方連接。

[0053] 在電晶體 43 中，源極和汲極中的一方與端子 32 連接，源極和汲極中的另一方與端子 36 連接，閘極與電晶體 41 的源極和汲極中的另一方及電晶體 42 的源極和汲極中的另一方連接。

[0054] 在電晶體 44 中，源極和汲極中的一方與低電源電位線連接，源極和汲極中的另一方與端子 36 連接，閘極與電晶體 42 的閘極連接。

[0055] 在電晶體 45 中，源極和汲極中的一方與低電源電位線連接，源極和汲極中的另一方與電晶體 42 的閘極及電晶體 44 的閘極連接，閘極與端子 31 電連接。

[0056] 在電晶體 46 中，源極和汲極中的一方與高電源電位線連接，閘極與端子 33 連接。另外，也可以採用電晶體 46 的源極和汲極中的一方與供應比低電源電位（VSS）高且比高電源電位（VDD）低的電源電位（VCC）的佈線連接的結構。

[0057] 在電晶體 47 中，源極和汲極中的一方與電晶體 46 的源極和汲極中的另一方連接，源極和汲極中的另一方與電晶體 42 的閘極、電晶體 44 的閘極及電晶體 45 的源極和汲極中的另一方連接，閘極與端子 34 連接。

[0058] 在電晶體 48 中，源極和汲極中的一方與端子 32 連接，源極和汲極中的另一方與端子 35 連接，閘極與電晶體 41 的源極和汲極中的另一方、電晶體 42 的源極和汲極中的另一方及電晶體 43 的閘極連接。

[0059] 在電晶體 49 中，源極和汲極中的一方與低電源電位線連接，源極和汲極中的另一方與端子 35 連接，閘極與電晶體 42 的閘極、電晶體 44 的閘極、電晶體 45 的源極和汲極中的另一方及電晶體 47 的源極和汲極中的另一方連接。

[0060] 另外，在以下說明中，電晶體 41 的源極和汲極中的另一方、電晶體 42 的源極和汲極中的另一方、電晶體 43 的閘極以及電晶體 48 的閘極連接的節點為節點 A，電晶體 42 的閘極、電晶體 44 的閘極、電晶體 45 的源極和汲極中的另一方、電晶體 47 的源極和汲極中的另一方以及電晶體 49 的閘極連接的節點為節點 B。

[0061]

<（2-2）脈衝輸出電路的工作例子>

參照圖 7B、圖 7C 對上述脈衝輸出電路的工作例子進行說明。另外，圖 7B 是示出輸入到脈衝輸出電路 23_1 或從脈衝輸出電路 23_1 輸出的信號的波形以及脈衝輸出電路 23_1 中的節點 A、B 的電位的圖，圖 7C 是示出輸入到脈衝輸出電路 24_2 或從脈衝輸出電路 24_2 輸出的信號的波形以及脈衝輸出電路 24_2 中的節點 A、B 的電位的圖。此外，在圖 7B、圖 7C 中，Gout 表示從脈衝輸出電路到掃描線的輸出信號，SRout 表示從脈衝輸出電路到設置在該脈衝輸出電路的後級的脈衝輸出電路的輸出信號。

[0062] 首先，參照圖 7B 對脈衝輸出電路 23_1 的工作進行說明。

[0063] 在時序 t1，對端子 31 輸入高位準的電位（高電源電位（VDD））。由此，電晶體 41、45 成為開啟狀態。因此，節點 A 的電位上升到高位準的電位（該電位比高電源電位（VDD）低出相當於電晶體 41 的臨界電壓的電位），此時電晶體 41 成為關閉狀態。另外，節點 B 的電位下降到低電源電位（VSS）。因此，電晶體 43、48 成為開啟狀態，電晶體 42、44、49 成為關閉狀態。由此，輸入到端子 32 的信號為從端子 35、36 輸出的信號。在此，輸入到端子 32 的信號是低位準的電位（低電源電位（VSS））。因此，脈衝輸出電路 23_1 對脈衝輸出電路 23_3 的端子 31 及掃描線 21_1 輸出低位準的電位（低

電源電位（VSS））。

[0064] 在時序 t2，對端子 34 輸入低位準的電位（低電源電位（VSS））。但是，從端子 35 及端子 36 輸出的信號不發生變化，脈衝輸出電路 23_1 對脈衝輸出電路 23_3 的端子 31 及掃描線 21_1 輸出低位準的電位（低電源電位（VSS））。

[0065] 在時序 t3，對端子 32 輸入高位準的電位（高電源電位（VDD））。另外，在時序 t3，節點 A 的電位（電晶體 41 的源極和汲極中的另一方的電位）已經上升到高位準的電位（該電位比高電源電位（VDD）低出相當於電晶體 41 的臨界電壓的電位）。因此，電晶體 41 處於關閉狀態。此時，藉由對端子 32 輸入高位準的電位（高電源電位（VDD）），由於電晶體 43、48 的源極和閘極的電容耦合，節點 A 的電位（電晶體 43、48 的閘極的電位）進一步上升（自舉工作）。另外，藉由進行該自舉工作，從端子 35、36 輸出的信號不從輸入到端子 32 的高位準的電位（高電源電位（VDD））下降。因此，脈衝輸出電路 23_1 對脈衝輸出電路 23_3 的端子 31 及掃描線 21_1 輸出高位準的電位（高電源電位（VDD））。

[0066] 在時序 t4，端子 31 被輸入低位準的電位（低電源電位（VSS）），在時序 t5，端子 33 被輸入高位準的電位（高電源電位（VDD））。但是，從端子 35 及端子 36 輸出的信號不發生變化，脈衝輸出電路 23_1 對脈衝輸出電路 23_3 的端子 31 及掃描線 21_1 輸出高位準的電

位（高電源電位（VDD））。

[0067] 在時序 t6，端子 32 被輸入低位準的電位（低電源電位（VSS））。此時，由於電晶體 43、48 的源極和閘極的電容耦合，節點 A 的電位（電晶體 43、48 的閘極的電位）下降（自舉工作）。但是，節點 A 的電位依然為高位準的電位。因此，電晶體 43、48 維持開啟狀態。由此，輸入到端子 32 的信號為從端子 35、36 輸出的信號。就是說，脈衝輸出電路 23_1 對脈衝輸出電路 23_3 的端子 31 及掃描線 21_1 輸出低位準的電位（低電源電位（VSS））。

[0068] 在時序 t7，對端子 34 輸入高位準的電位（高電源電位（VDD））。另外，在時序 t7，端子 33 也被輸入高位準的電位（高電源電位（VDD））。因此，電晶體 46、47 都為開啟狀態。由此，節點 B 的電位上升到高位準的電位（該電位比高電源電位（VDD）低出相當於電晶體 46 和電晶體 47 中的臨界電壓高一方的臨界電壓的電位）。因此，電晶體 42、44、49 成為開啟狀態。因此，節點 A 的電位下降到低位準的電位（低電源電位（VSS））。由此，電晶體 43、48 成為關閉狀態。藉由上述步驟，在時序 t7，從端子 35 及端子 36 輸出的信號為輸入到電晶體 44、49 的源極和汲極中的一方的信號。注意，該信號為低電源電位（VSS）。因此，從脈衝輸出電路 23_1 到脈衝輸出電路 23_3 的端子 31 及掃描線 21_1 的輸出信號維持低位準的電位（低電源電位（VSS））。

[0069] 下面，對脈衝輸出電路 24_2 的工作進行說明。如圖 7C 所示，脈衝輸出電路 24_2 與脈衝輸出電路 23_1 同樣地工作。注意，脈衝輸出電路 24_2 用比脈衝輸出電路 23_1 中的時脈信號（CKL1 至 CKL4、CKR1 至 CKR4）延遲 1/8 週期的時脈信號工作。

[0070]

<（2-3）電晶體 23_2 至 23_m、24_1 至 24_m-1 的工作例子>

參照圖 8A 和圖 8B 對電晶體 23_2 至 23_m、24_1 至 24_m-1 的工作例子進行說明。圖 8A 是示出圖 5 的一部分的圖，圖 8B 是示出圖 7B 和圖 7C 所示的脈衝輸出電路 23_1、24_2 對掃描線 21_1、21_2 輸出的信號的波形及輸入到電晶體 23_2、24_1 的閘極的時脈信號（CKR2、CKL3）的圖。

[0071] 在上述顯示裝置中，如圖 8B 所示，脈衝輸出電路 23_1 對掃描線 21_1 輸出的信號從高位準的電位（高電源電位（VDD））切換為低位準的電位（低電源電位（VSS））的時序（ta）與時脈信號（CKR2）從低位準的電位（低電源電位（VSS））切換為高位準的電位（高電源電位（VDD））的時序一致。就是說，該時序（ta）與電晶體 24_1 從關閉狀態變為開啟狀態的時序一致。與此同樣，脈衝輸出電路 24_3 對掃描線 21_2 輸出的信號從高位準的電位（高電源電位（VDD））切換為低位準的電位（低電源電位（VSS））的時序（tb）與電晶體 24_1 從關

閉狀態變為開啟狀態的時序一致。由此，在上述顯示裝置中，不僅從掃描線的一端而且從掃描線的兩端都同時輸入非選擇信號。因此，可以抑制該掃描線的各部分中的電位變化的時序偏差。就是說，可以抑制其閘極與該掃描線連接的多個電晶體的開關的時序偏差。其結果，可以抑制在顯示裝置中發生的不良現象。

[0072] 另外，在上述顯示裝置中，為了抑制電晶體 23_2、23_4 至 23_m、24_1、24_3 至 24_m-1 的開關，利用使移位暫存器工作時使用的時脈信號（CKL1 至 4、CKR1 至 4）。就是說，無須為了控制電晶體 23_2、23_4 至 23_m、24_1、24_3 至 24_m-1 的開關而另行設置供應新的信號的佈線。因此，在上述顯示裝置中，可以高效地實現窄邊框化。

[0073]

<（3）掃描線驅動電路 23、24 的變形例子>

設置在本說明書所公開的顯示裝置中的掃描線驅動電路 23、24 不侷限於上述電路。例如，可以採用使電晶體 23_2 至 23_m、24_1 至 24_m-1 的閘極與脈衝輸出電路 23_1 至 23_m-1、24_2 至 24_m-1 中的任一個的端子 35 連接的結構，而不採用如圖 5 所示那樣使電晶體 23_2 至 23_m、24_1 至 24_m-1 的閘極與供應時脈信號的佈線（CKL1 至 4、CKR1 至 4）中的任一個連接的結構。

[0074] 明確而言，只要在脈衝輸出電路具有圖 7A 所示的結構的情況下，則可以採用圖 9 所示的結構。在圖 9

所示的掃描線驅動電路 23 中，電晶體 23_2c（c 為 m-4 以下的偶數）的閘極與脈衝輸出電路 23_c+3 的端子 35 連接，電晶體 24_d（d 為 m-3 以下的奇數）的閘極與脈衝輸出電路 24_d+3 的端子 35 連接。另外，雖然圖 9 未圖示，但是在圖 9 中，電晶體 23_m-2 的閘極與脈衝輸出電路 23_m-7 的端子 35 連接，電晶體 23_m 的閘極與脈衝輸出電路 23_m-5 的端子 35 連接，電晶體 24_m-1 的閘極與脈衝輸出電路 24_m-6 的端子 35 連接。

[0075] 當使用圖 9 所示的掃描線驅動電路 23、24 時，也發揮與使用圖 5 所示的掃描線驅動電路 23、24 的情況同樣的作用和效果。

[0076]

<3.電晶體的具體例子>

作為上述顯示裝置所包括的電晶體，可以使用任何電晶體。例如，作為上述顯示裝置所包括的電晶體，也可以使用在矽膜中形成通道的電晶體（在矽膜中具有通道形成區的電晶體）或在氧化物半導體膜中形成通道的電晶體（在氧化物半導體膜中具有通道形成區的電晶體）。

[0077] 下面，對氧化物半導體膜的結構進行說明。

[0078] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導

體膜等。

[0079] 首先，說明 CAAC-OS 膜。

[0080] CAAC-OS 膜是包含呈 c 軸配向的多個結晶部的氧化物半導體膜之一。

[0081] 在 CAAC-OS 膜的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0082] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著被形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0083] 注意，在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下，因此也包括角度為-5°以上且 5°以下的情況。另外，“垂直”是指兩條直線形成的角度為 80°以上且 100°以下，因此也包括 85°以上且 95°以下的角度的情況。

[0084] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知，在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間，金屬原子的排列沒有規律性。

[0085] 由剖面 TEM 影像以及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0086] 注意，CAAC-OS 膜所包含的結晶部幾乎都是可以收容在一個邊長小於 100nm 的立方體內的尺寸。因此，有時包含在 CAAC-OS 膜中的結晶部為能夠收容在一個邊長小於 10nm、小於 5nm 或小於 3nm 的立方體內的尺寸。但是，有時包含在 CAAC-OS 膜中的多個結晶部聯結，從而形成一個大結晶區。例如，在平面 TEM 影像中有時會觀察到 2500nm^2 以上、5μm^2 以上或 1000μm^2 以上的結晶區。

[0087] 使用 X 射線繞射（XRD:X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，在利用 out-of-plane 法來分析具有 $InGaZnO_4$ 的結晶的 CAAC-OS 膜時，在繞射角度（2θ）為 31°附近時常出現峰值。由於該峰值源自 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 膜的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0088] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ為 56°附近時常出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在此，在將 2θ固定為 56°附近並在以樣本面的法線向量為軸（ϕ軸）旋轉樣本的條件下進行分析（ϕ掃描）。在該樣本是 $InGaZnO_4$ 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）

面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ固定為 56°附近的狀態下進行φ掃描也不能觀察到明確的峰值。

[0089] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0090] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0091] 此外，CAAC-OS 膜中的 c 軸配向的結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的結晶部藉由從 CAAC-OS 膜的頂面近旁產生的結晶生長而形成的情況下，有時頂面附近的 c 軸配向的結晶部的比例會高於被形成面附近。另外，在對 CAAC-OS 膜添加雜質時，有時被添加雜質的區域變質，而部分性地形成 c 軸配向的結晶部的比例不同的區域。

[0092] 注意，在藉由 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 膜的情況下，除了 2θ為 31°附近的峰值之外，有時還觀察到 2θ為 36°附近的峰值。2θ為

36°附近的峰值示出不具有 c 軸配向性的結晶包含在CAAC-OS 膜的一部分中。較佳的是，在 CAAC-OS 膜中出現 2θ為 31°附近的峰值而不出現 2θ為 36°附近的峰值。

[0093] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，與氧的鍵合力比構成氧化物半導體膜的金屬元素強的矽等元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。此外，包含在氧化物半導體膜中的雜質有時會成為載子陷阱或載子發生源。

[0094] 另外，CAAC-OS 膜是缺陷能階密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時會成為載子陷阱，或因俘獲氫而成為載子發生源。

[0095] 將雜質濃度低且缺陷能階密度低（氧缺陷的個數少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。因此，採用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通特性）。此外，在高純度本質或實質上高純度本質的氧化物半導體膜中載子陷阱少。因此，採用該氧化物半導體膜的電晶體的電特性變動小，於是成為可靠

性高的電晶體。注意，被氧化物半導體膜的載子陷阱俘獲的電荷直到被釋放需要的時間長，有時會像固定電荷那樣動作。所以，採用雜質濃度高且缺陷能階密度高的氧化物半導體膜的電晶體有時電特性不穩定。

[0096] 此外，在採用 CAAC-OS 膜的電晶體中，由可見光或紫外光的照射導致的電特性變動小。

[0097] 接下來，說明微晶氧化物半導體膜。

[0098] 在使用 TEM 觀察微晶氧化物半導體膜時的影像中，有時無法明確地確認到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc:nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor）膜。另外，例如在使用 TEM 觀察 nc-OS 膜時，有時無法明確地確認到晶粒介面（crystal boundary）。

[0099] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此

外，在藉由使用其探針的直徑大於結晶部的電子束（例如，50nm 以上）來獲得的 nc-OS 膜的選區電子繞射中，觀察到類似光暈圖案（halo pattern）。另一方面，在藉由使用其探針的直徑近於或小於結晶部的電子束（例如，1nm 以上且 30nm 以下）來獲得的 nc-OS 膜的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0100] nc-OS 膜是比非晶氧化物半導體膜規律性高的氧化物半導體膜。因此，nc-OS 膜的缺陷能階密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷能階密度比 CAAC-OS 膜高。

[0101] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0102]

<4.顯示模組的具體例子>

以下，參照圖 10 對以上述顯示裝置為構成要素之一的顯示模組進行說明。

[0103] 圖 10 所示的顯示模組 8000 在上部覆蓋物 8001 與下部覆蓋物 8002 之間包括連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示面板 8006、背光單元

8007、框架 8009、印刷基板 8010、電池 8011。另外，作為顯示模組的結構，也可以採用不設置這些構成要素中的至少一個（例如，不設置背光單元 8007、電池 8011 或觸控面板 8004）的結構。

[0104] 上述顯示裝置相當於顯示面板 8006。

[0105] 上部覆蓋物 8001 及下部覆蓋物 8002 根據觸控面板 8004 及顯示面板 8006 的尺寸可以適當地改變形狀或尺寸。

[0106] 觸控面板 8004 是電阻膜方式或靜電容量方式的觸控面板，並重疊於顯示面板 8006。此外，也可以使顯示面板 8006 的反基板（密封基板）具有觸控面板的功能。另外，也可以在顯示面板 8006 的各像素內設置光感測器，而用作光學觸控面板。此外，也可以在顯示面板 8006 的各像素內設置觸摸感測器用電極以製造靜電容量方式的觸控面板。

[0107] 背光單元 8007 包括配置為矩陣狀的多個光源 8008。另外，作為背光單元 8007，可以採用設置線狀光源和光擴散板的結構。此時，在背光單元 8007 中，該線狀光源所發射的線狀光由光擴散板擴散而發射為面狀光。

[0108] 框架 8009 除了具有保護顯示面板 8006 的功能以外還具有用來遮斷因印刷基板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 具有放熱板的功能。

[0109] 印刷基板 8010 具有電源電路以及用來輸出視

訊信號及時脈信號的信號處理電路。作為對電源電路供應電力的電源，既可以採用外部的商業電源，又可以採用另行設置的電池 8011 的電源。當使用商用電源時，可以省略電池 8011。

[0110] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0111]

<5.最終成品的具體例子>

以下，參照圖 11A 和圖 11B 以及圖 12A 和圖 12B，對使用上述顯示裝置製造的最終成品的一個例子進行說明。

[0112] 作為最終成品，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示幕、數位相機、數位攝影機、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音訊播放裝置、彈珠機等的大型遊戲機等。此外，作為這些最終成品，也可以採用顯示面為曲面形狀或顯示面可以任意彎曲的產品。

[0113] 圖 11A 是示出行動電話機的一個例子的圖。行動電話機 7400 包括組裝在外殼 7401 中的顯示部 7402、操作按鈕 7403、外部連接埠 7404、揚聲器 7405、麥克風 7406 等。另外，在行動電話機 7400 中，上述顯示裝置組裝在顯示部 7402 內。

[0114] 在圖 11A 所示的行動電話機 7400 中，藉由用

手指等觸摸顯示部 7402 的表面，可以進行使所顯示的影像變化等的操作。此外，藉由用手指等觸摸顯示部 7402 的表面，可以進行打電話或輸入文字等的操作。

[0115] 此外，藉由操作按鈕 7403 的操作，可以進行行動電話機 7400 的啟動、停止及上述工作。

[0116] 圖 11B 是示出手鐲型顯示裝置的一個例子的圖。手鐲型顯示裝置 7100 包括外殼 7101、顯示部 7102、操作按鈕 7103 以及收發裝置 7104。另外，在手鐲型顯示裝置 7100 中，上述顯示裝置組裝在顯示部 7102 中。

[0117] 手鐲型顯示裝置 7100 能夠由收發裝置 7104 接收影像信號，且可以將所接收的影像顯示在顯示部 7102。此外，也可以在與其他收發裝置之間收發聲音信號。

[0118] 此外，可以由操作按鈕 7103 進行手鐲型顯示裝置 7100 的啟動、停止、使所顯示的影像變化等的工作以及聲音調整等。

[0119] 圖 12A 是示出可攜式裝置的一個例子的圖。可攜式裝置 7300 包括外殼 7301、顯示部 7302、操作按鈕 7303、取出構件 7304 和控制部 7305。另外，在可攜式裝置 7300 中，上述顯示裝置組裝在顯示部 7302 中。

[0120] 可攜式裝置 7300 在筒狀的外殼 7301 中具備卷起來的具有撓性的顯示部 7302。顯示部 7302 包括形成有遮光層等的第一基板和形成有電晶體等的第二基板。顯示部 7302 以在外殼 7301 中第二基板位於外側的方式卷

起。

[0121] 此外，可攜式裝置 7300 可以由控制部 7305 接收影像信號，而將所接收的影像顯示在顯示部 7302。此外，控制部 7305 具備電池。此外，也可以採用控制部 7305 具備連接器，而直接供應影像信號或電力的結構。

[0122] 此外，可以由操作按鈕 7303 進行啟動、停止、使所顯示的影像變化等的工作等。

[0123] 圖 12B 示出使用顯示部取出構件 7304 取出顯示部 7302 的狀態。在該狀態下，可以在顯示部 7302 上顯示影像。此外，藉由使用配置在外殼 7301 的表面上的操作按鈕 7303 可以以單手容易進行操作。

[0124] 此外，也可以在顯示部 7302 的端部設置補強框架，以防止當取出顯示部 7302 時該顯示部 7302 彎曲。

[0125] 此外，除了該結構以外，也可以採用在外殼中設置揚聲器而使用與影像信號同時接收的音聲信號輸出音聲的結構。

【符號說明】

[0126]

10：掃描線

101：掃描線

102：掃描線

11：電晶體

111：電晶體

112：電晶體

12_1：像素

12_2：像素

121_1：像素

121_2：像素

122_1：像素

122_2：像素

13_1：電晶體

13_2：電晶體

131_1：電晶體

131_2：電晶體

132_1：電晶體

132_2：電晶體

14：電晶體

15_1：電晶體

15_2：電晶體

141：移位暫存器

142：移位暫存器

20：像素

201：電晶體

202：電容元件

203：液晶元件

21：掃描線

21_1 至 21_m：掃描線

22：信號線

23：掃描線驅動電路

24：掃描線驅動電路

23_1：脈衝輸出電路

23_3：脈衝輸出電路

23_5：脈衝輸出電路

23_m-1：脈衝輸出電路

24_2：脈衝輸出電路

24_4：脈衝輸出電路

24_m：脈衝輸出電路

23_2：電晶體

23_4：電晶體

23_m：電晶體

24_1：電晶體

24_3：電晶體

24_5：電晶體

24_m-1：電晶體

25：信號線驅動電路

31 至 36：端子

41 至 49：電晶體

7100：手鐲型顯示裝置

7101：外殼

7102：顯示部

7103：操作按鈕

7104：收發裝置

7300：可攜式裝置

7301：外殼

7302：顯示部

7303：操作按鈕

7304：取出構件

7305：控制部

7400：行動電話機

7401：外殼

7402：顯示部

7403：操作按鈕

7404：外部連接埠

7405：揚聲器

7406：麥克風

8000：顯示模組

8001：上部覆蓋物

8002：下部覆蓋物

8003：FPC

8004：觸控面板

8005：FPC

8006：顯示面板

8007：背光單元

8008：光源

8009：框架

8010：印刷基板

8011：電池

【發明申請專利範圍】

【請求項1】一種顯示裝置，包含：

第一掃描線；

第二掃描線，位於該第一掃描線旁；

第一脈衝輸出電路，電連接到該第一掃描線的一端；

第二脈衝輸出電路，電連接到該第二掃描線的一端；

第一電晶體；

第二電晶體；以及

像素部，在平面圖中位於該第一脈衝輸出電路和該第二脈衝輸出電路之間，

其中，該第一電晶體的源極和汲極中的一個直接連接到該第一掃描線的另一端，

其中，該第二電晶體的源極和汲極中的一個直接連接到該第二掃描線的另一端，

其中，該第一電晶體的該源極和該汲極中的另一個直接連接到第一電源電位線，

其中，該第二電晶體的該源極和該汲極中的另一個直接連接到第二電源電位線，

其中，該第一掃描線的該另一端不直接連接到該像素部之外除該第一電晶體以外的任何電晶體，並且

其中，該第二掃描線的該另一端不直接連接到該像素部之外除該第二電晶體以外的任何電晶體。

【請求項2】根據請求項1之顯示裝置，

其中，該第一電晶體和該第二電晶體中的每一個包含

氧化物半導體膜，該氧化物半導體膜包含通道形成區。

【請求項3】根據請求項1之顯示裝置，

其中，該第一脈衝輸出電路和該第二脈衝輸出電路中的每一個包含互補金屬氧化物半導體（Complementary Metal Oxide Semiconductor；CMOS）電路。

【請求項4】根據請求項1之顯示裝置，

其中，該第一電晶體由第一時脈信號控制，並且

其中，該第二電晶體由第二時脈信號控制。

【請求項5】一種顯示裝置，包含：

第一掃描線；

第二掃描線，位於該第一掃描線旁；

第一脈衝輸出電路，被配置以輸出第一信號，使得該第一信號從該第一掃描線的一端供應到該第一掃描線；

第二脈衝輸出電路，被配置以輸出第二信號，使得該第二信號從該第二掃描線的一端供應到該第二掃描線；

第一電晶體；

第二電晶體；以及

像素部，在平面圖中位於該第一脈衝輸出電路和該第二脈衝輸出電路之間，

其中，該第一電晶體的源極和汲極中的一個直接連接到該第一掃描線的另一端，

其中，該第二電晶體的源極和汲極中的一個直接連接到該第二掃描線的另一端，

其中，該第一掃描線被配置以使得第一非選擇信號從

該第一掃描線的該另一端供應通過該第一電晶體，

其中，該第二掃描線被配置以使得第二非選擇信號從該第二掃描線的該另一端供應通過該第二電晶體，

其中，該第一掃描線被配置以使得沒有選擇信號從該第一掃描線的該另一端供應，

其中，該第二掃描線被配置以使得沒有選擇信號從該第二掃描線的該另一端供應，

其中，該第一掃描線的該另一端不直接連接到該像素部之外除該第一電晶體以外的任何電晶體，並且

其中，該第二掃描線的該另一端不直接連接到該像素部之外除該第二電晶體以外的任何電晶體。

【請求項6】根據請求項5之顯示裝置，

其中，該第一電晶體和該第二電晶體中的每一個包含氧化物半導體膜，該氧化物半導體膜包含通道形成區。

【請求項7】根據請求項5之顯示裝置，

其中，該第一脈衝輸出電路和該第二脈衝輸出電路中的每一個包含互補金屬氧化物半導體電路。

【請求項8】根據請求項5之顯示裝置，

其中，該第一電晶體由第一時脈信號控制，並且

其中，該第二電晶體由第二時脈信號控制。

【發明圖式】

圖 1A

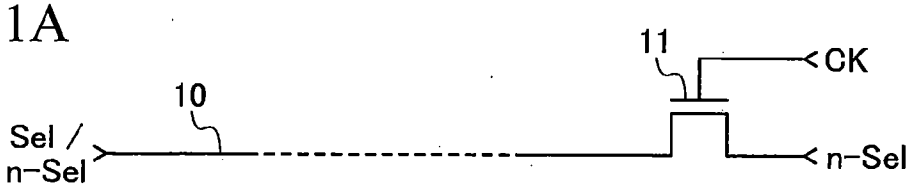


圖 1B

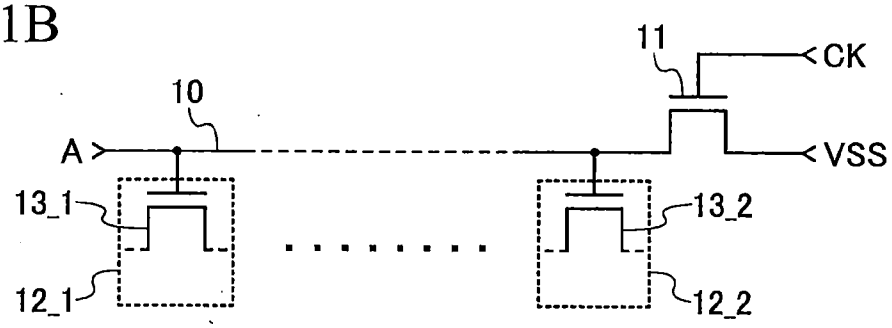


圖 1C

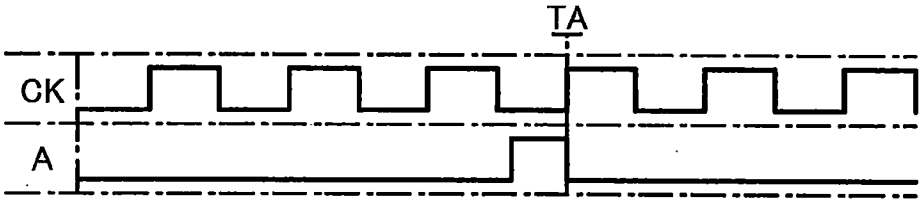


圖 1D

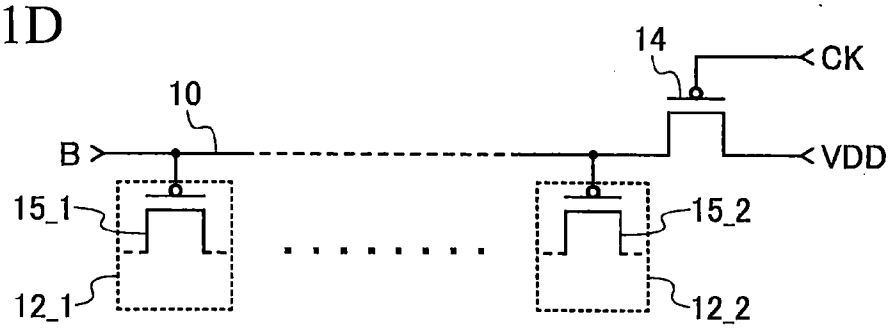


圖 1E

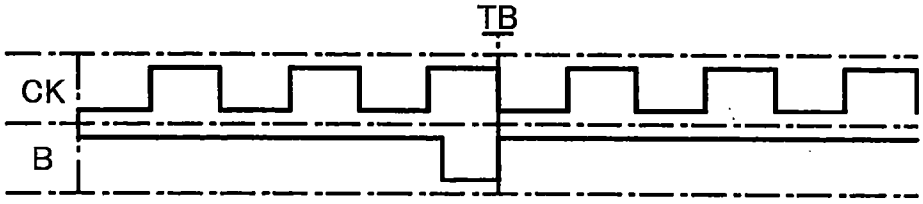


圖 2A

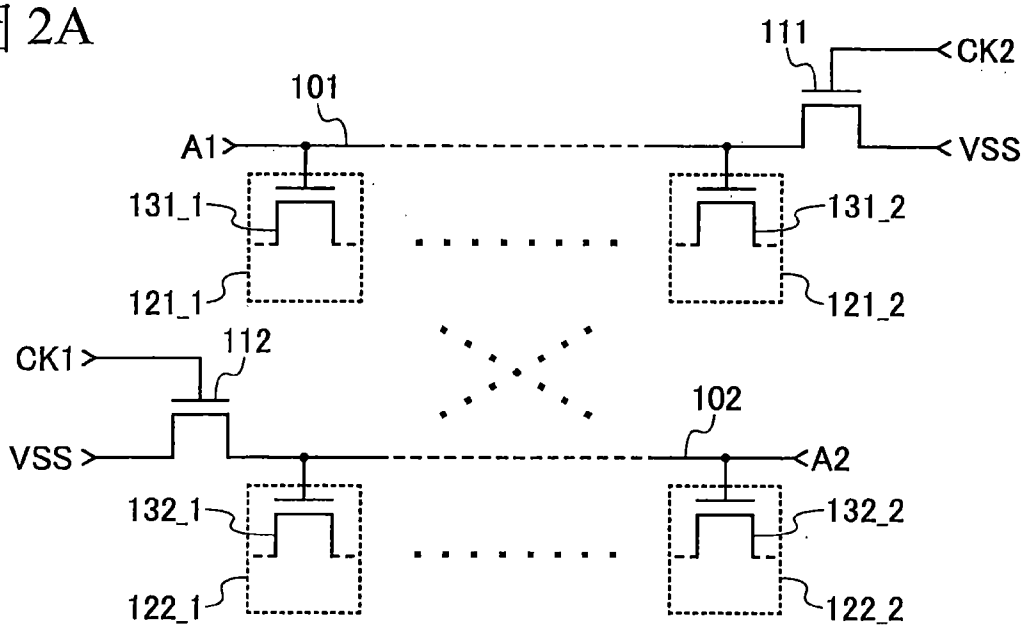

111
CK2
101
A1
VSS
131_1
131_2
121_1
121_2
CK1
112
102
VSS
A2
132_1
132_2
122_1
122_2

圖 2B

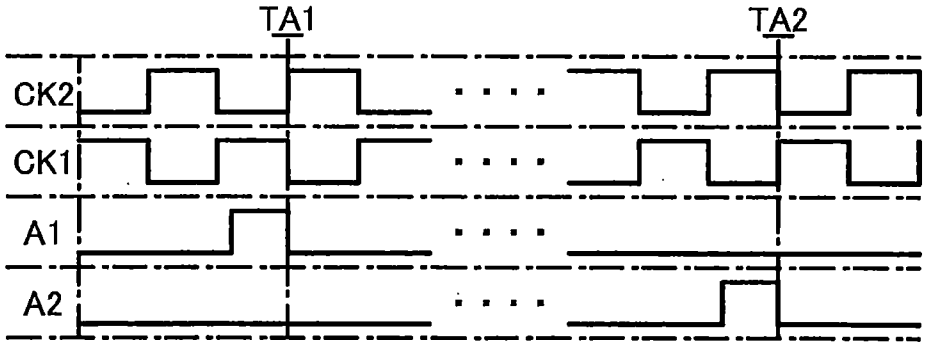

TA1
TA2
CK2
CK1
A1
A2

圖 3

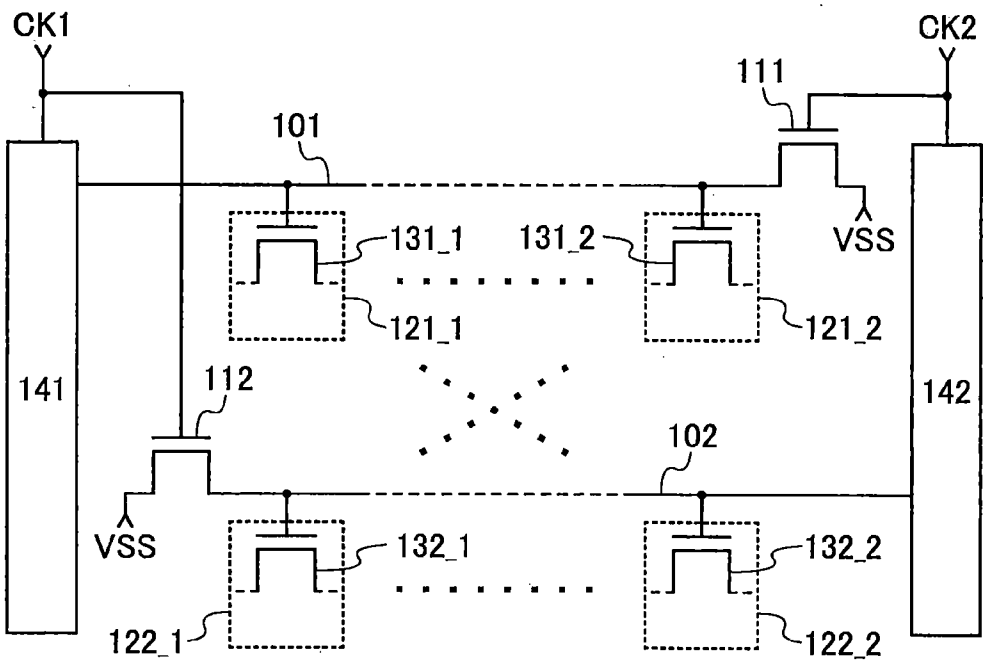

CK1
CK2
111
101
131_1
131_2
VSS
121_1
121_2
141
112
142
102
VSS
132_1
132_2
122_1
122_2

圖 4A

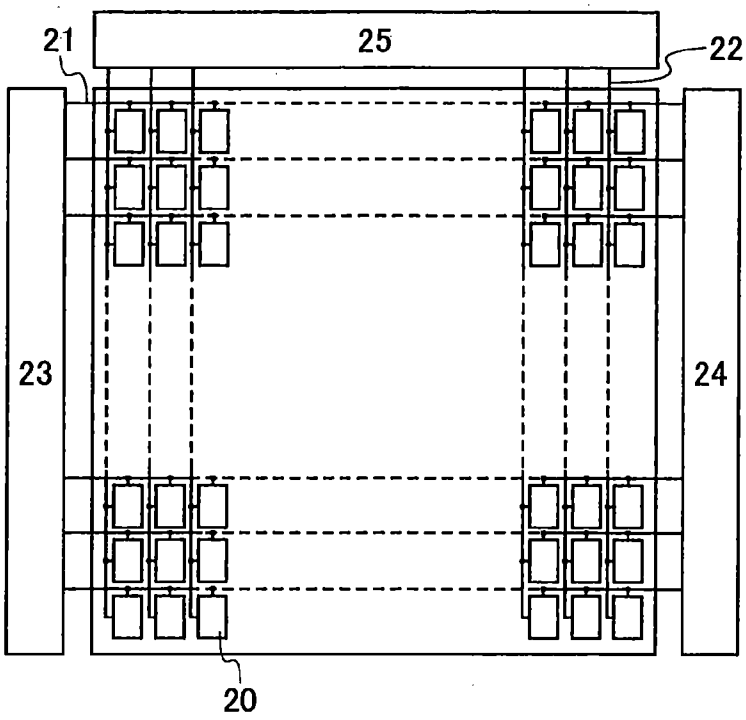


圖 4B

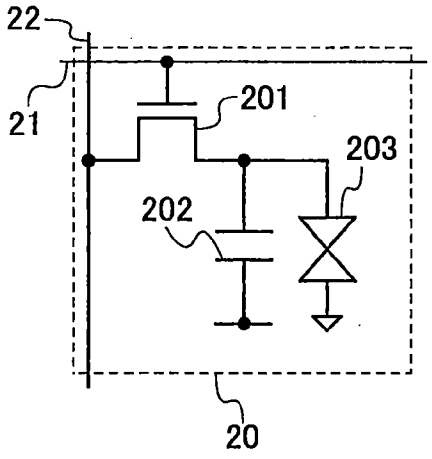


圖 5

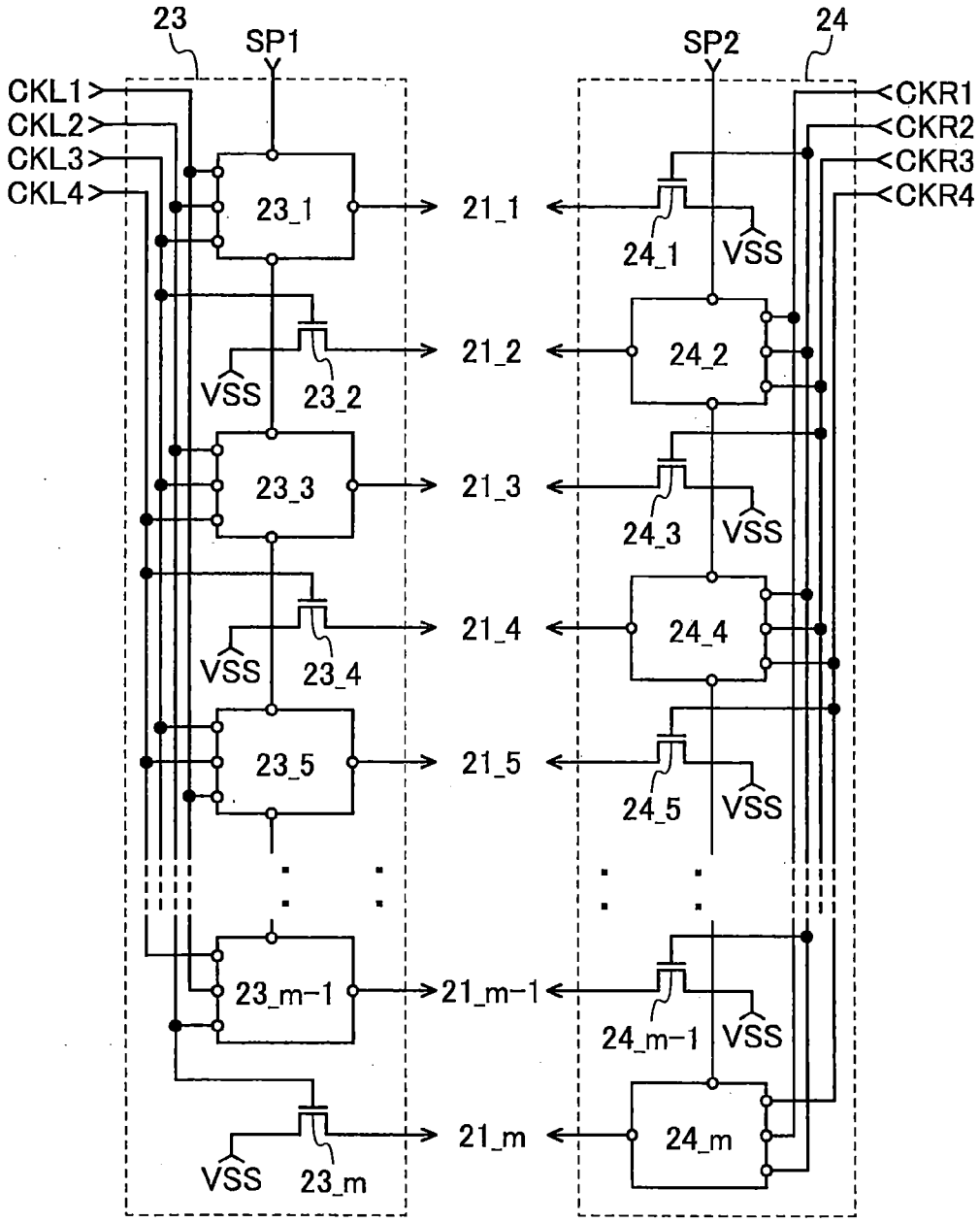

23
SP1
SP2
24
CKL1
CKL2
CKL3
CKL4
CKR1
CKR2
CKR3
CKR4
23_1
21_1
24_1
VSS
21_2
24_2
VSS
23_2
23_3
21_3
24_3
VSS
21_4
24_4
VSS
23_4
23_5
21_5
24_5
VSS
23_m-1
21_m-1
24_m-1
VSS
21_m
24_m
VSS
23_m

圖 6A

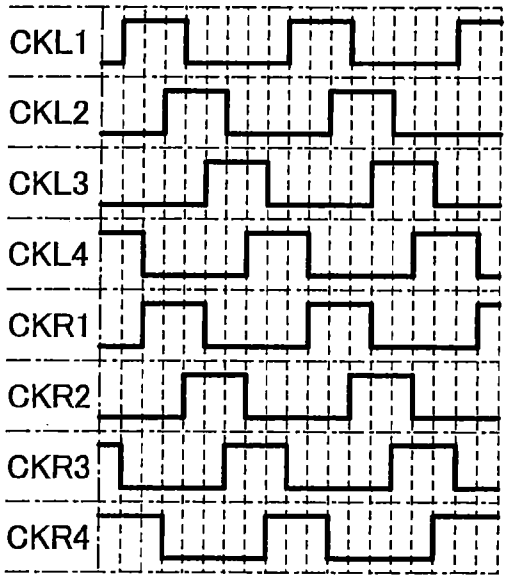

CKL1
CKL2
CKL3
CKL4
CKR1
CKR2
CKR3
CKR4

圖 6B

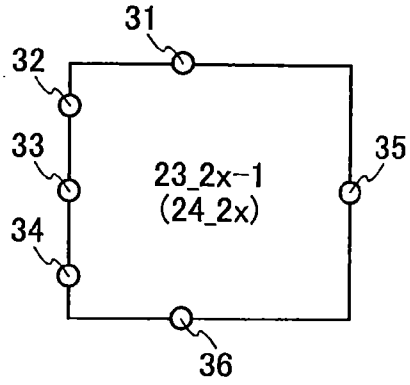

31
32
33
34
35
36
23_2x-1
(24_2x)

圖 7A

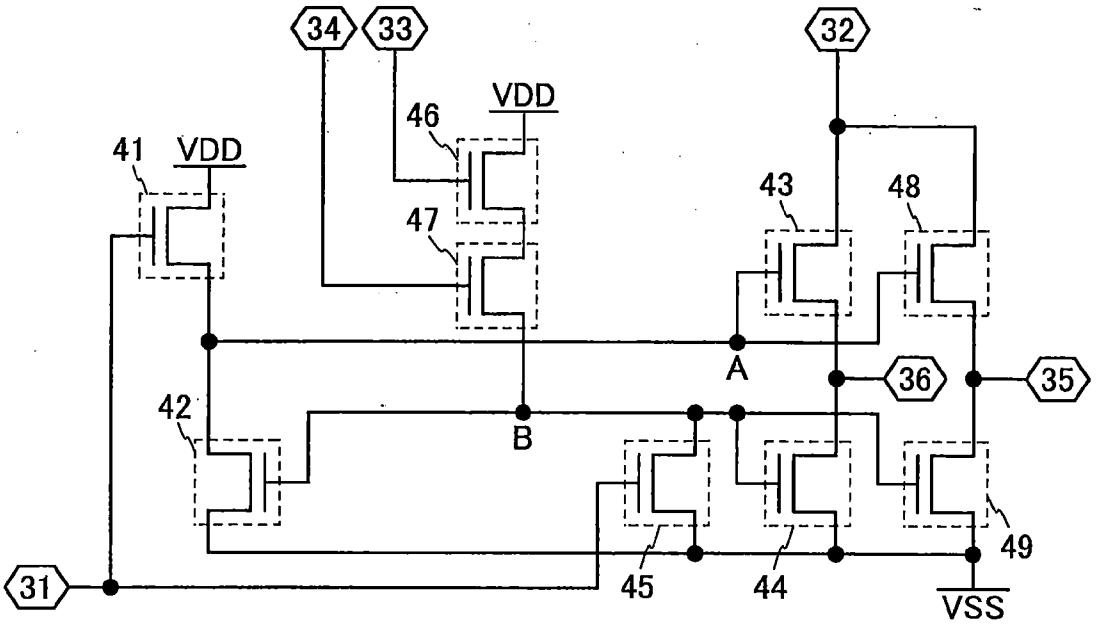

34
33
32
VDD
46
41
VDD
47
43
48
A
36
35
42
B
49
45
44
31
VSS

圖 7B

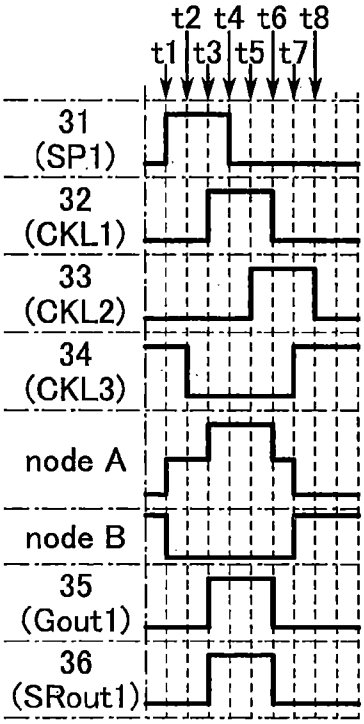

t1 t2 t3 t4 t5 t6 t7 t8
31 (SP1)
32 (CKL1)
33 (CKL2)
34 (CKL3)
node A
node B
35 (Gout1)
36 (SRout1)

圖 7C

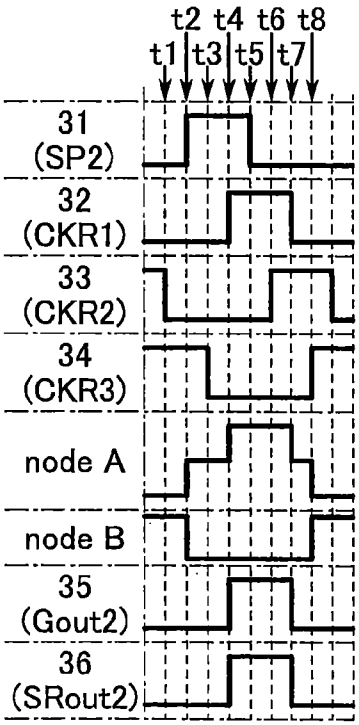

t1 t2 t3 t4 t5 t6 t7 t8
31 (SP2)
32 (CKR1)
33 (CKR2)
34 (CKR3)
node A
node B
35 (Gout2)
36 (SRout2)

圖 8A

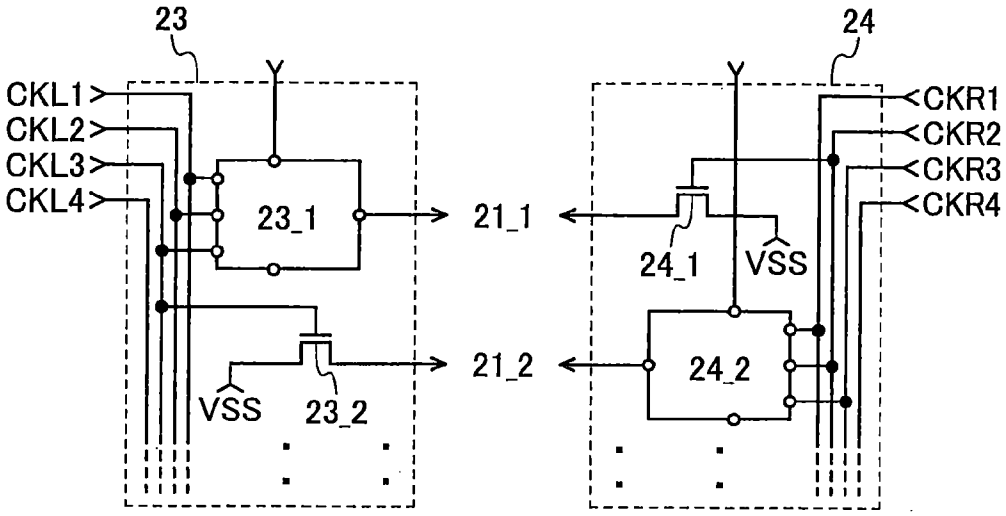

23
24
CKL1
CKL2
CKL3
CKL4
23_1
21_1
21_2
VSS
23_2
24_1
VSS
24_2
CKR1
CKR2
CKR3
CKR4

圖 8B

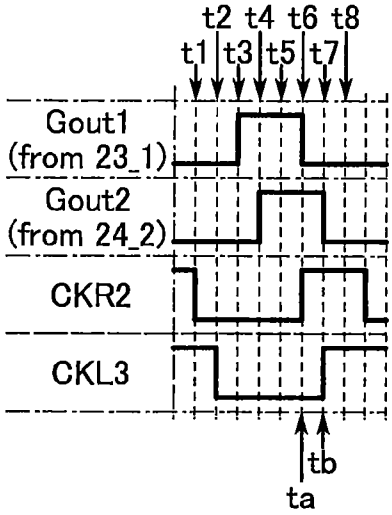

t1
t2
t3
t4
t5
t6
t7
t8
Gout1
(from 23_1)
Gout2
(from 24_2)
CKR2
CKL3
ta
tb

圖 9

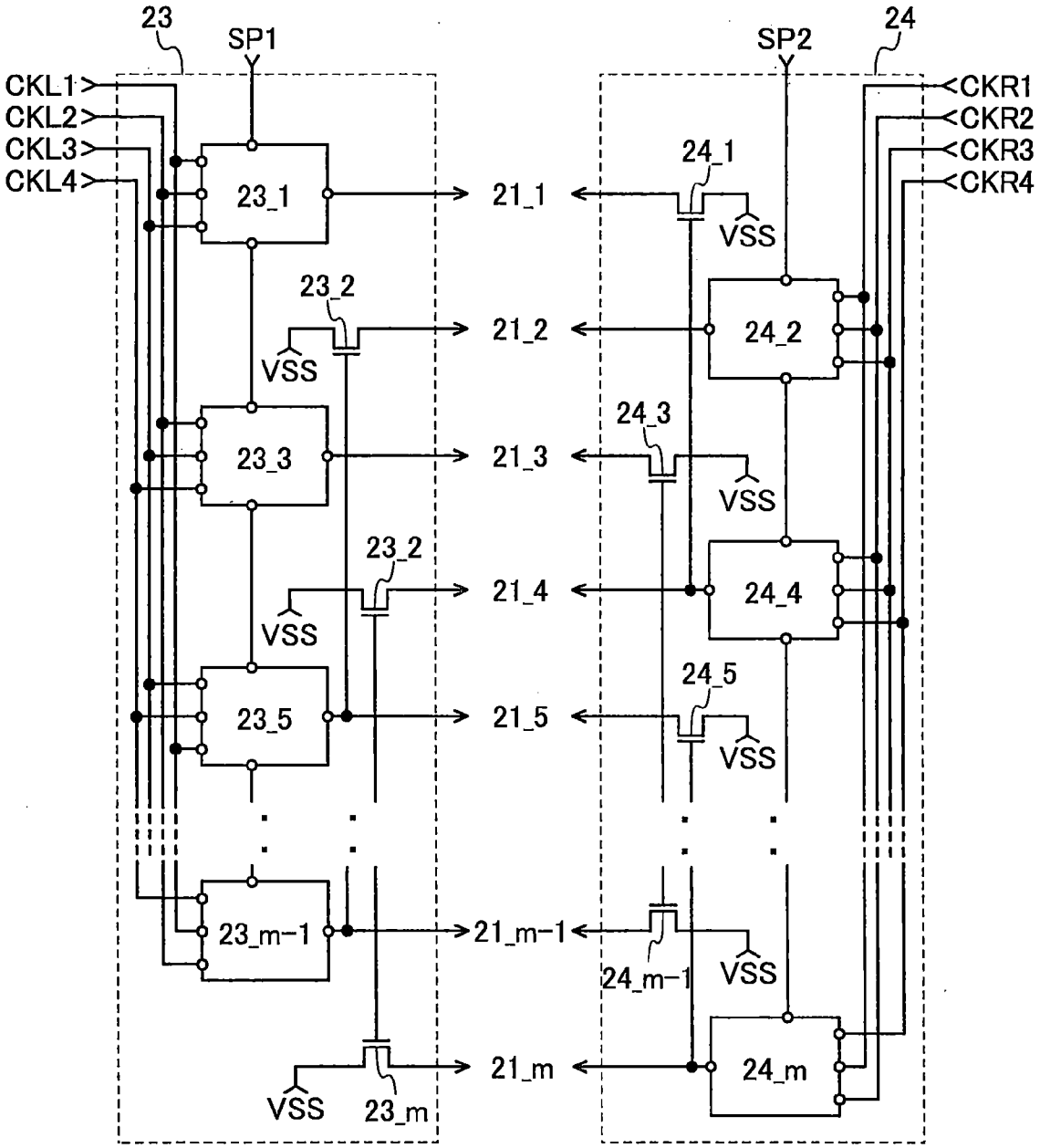

23
SP1
SP2
24
CKL1
CKL2
CKL3
CKL4
CKR1
CKR2
CKR3
CKR4
23_1
21_1
24_1
VSS
23_2
21_2
24_2
VSS
23_3
21_3
24_3
VSS
23_2
21_4
24_4
VSS
23_5
21_5
24_5
VSS
23_m-1
21_m-1
24_m-1
VSS
VSS
23_m
21_m
24_m

圖 10

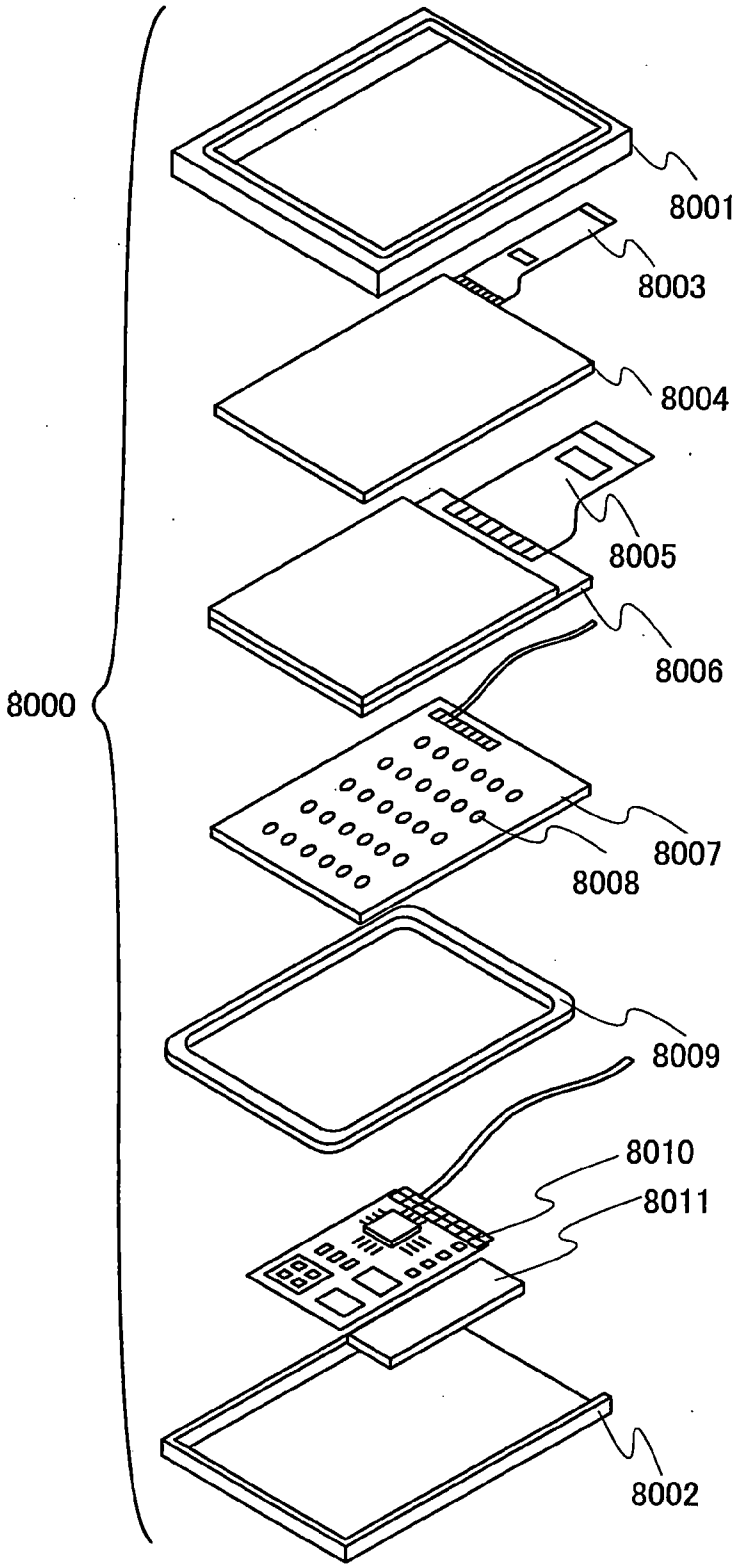


圖 11A

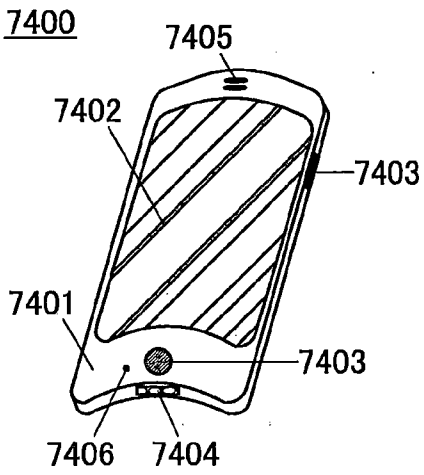

7400
7405
7402
7403
7401
7403
7406
7404

圖 11B

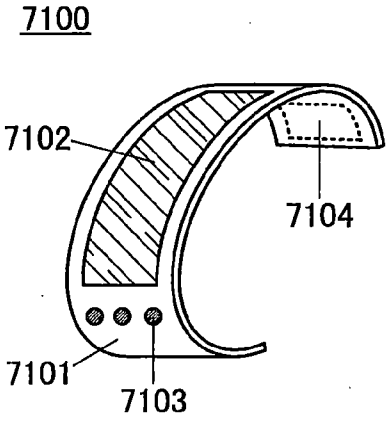

7100
7102
7104
7101
7103

圖 12A

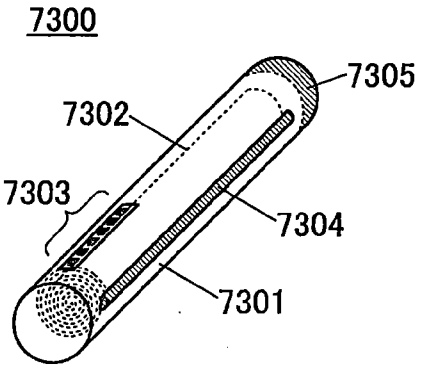


圖 12B

