



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 944158

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 26.03.80 (21) 2902402/18-09

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.07.82. Бюллетень № 26

Дата опубликования описания 15.07.82.

(51) М. Кл.<sup>3</sup>

H 04 N 7/12

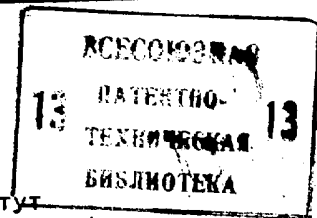
(53) УДК 621.397  
(088.8)

(72) Авторы  
изобретения

В.В.Кретинин и Е.Д.Алперин

(71) Заявитель

Воронежский политехнический институт



## (54) СИСТЕМА ПЕРЕДАЧИ ШТРИХОВЫХ ИЗОБРАЖЕНИЙ С СЕГМЕНТНЫМ КОДИРОВАНИЕМ

Изобретение относится к технике связи и может использоваться при передаче газетных полос, метеокарт, машинописных текстов или других видов штриховых изображений.

Известна система передачи штриховых изображений с сегментным кодированием, содержащая на передающей стороне считывающий блок, кодер, первый выход которого через буферный блок соединен с входом модулятора, выход которого соединен с линией связи, на приемной стороне блок записи и последовательно соединенные демодулятор, буферный блок и декодер, причем вход демодулятора подключен к линии связи [1].

Однако такая система обладает низкой помехоустойчивостью, обусловленной тем, что при искажении опознавателей или символов кода белых сегментов удлиняется или укорачивается длина белой серии, что приводит к сдвигу всей последующей информации

в строке и образованию трека ошибки в восстановленном изображении.

Цель изобретения - повышение достоверности передачи путем уменьшения длины серии ошибок.

Поставленная цель достигается тем, что в системе передачи штриховых изображений с сегментным кодированием, содержащей на передающей стороне считывающий блок, кодер, первый выход которого через буферный блок соединен с входом модулятора, выход которого соединен с линией связи, на приемной стороне блок записи и последовательно соединенные демодулятор, буферный блок и декодер, причем вход демодулятора подключен к линии связи, введены на передающей стороне блок адресной памяти, блок хранения адресов ячеек с выделенными сегментами, блок формирования адреса ячейки анализируемого сегмента блока анализа сегментов блок сравнения адресов, элемент И, на приемной стороне -

блок обнаружения ошибок, блок адресной памяти, дешифратор, решающий блок, блок перезаписи, причем на передающей стороне выход считывающего блока соединен с первым входом блока адресной памяти, первый, второй, и третий выходы блока адресной памяти подключены соответственно к первому входу кодера, к первому входу блока сравнения адресов и к входу блока анализа сегментов, выход блока анализа сегментов подключен к входу блока формирователя адреса анализируемого сегмента, первый выход которого подключен к первому входу блока хранения адресов ячеек с выделенными сегментами и второму входу блока адресной памяти, второй выход блока формирования адреса анализируемого сегмента подключен к второму входу блока хранения адресов ячеек с выделенными сегментами, а третий выход блока формирования адреса ячейки анализируемого сегмента подключен к третьему входу блока адресной памяти и второму входу кодера, второй и третий выходы которого подключены соответственно к первому входу элемента И и второму входу блока сравнения адресов, выход которого подключен к второму входу элемента И, выход которого соединен с вторым входом буферного блока, а выход блока хранения адресов ячеек с выделенными сегментами подключен к третьему входу блока сравнения сегментов, на приемной стороне - первый выход декодера, через блок обнаружения ошибок подключен к первому входу блока перезаписи, второй выход декодера через дешифратор подключен к первому входу решающего блока, к второму входу которого подключен третий выход декодера, а выход решающего блока подключен к второму входу блока перезаписи, четвертый выход декодера подключен к первому входу блока адресной памяти, первый выход которого подключен к блоку записи, второй выход блока адресной памяти подключен к третьему входу блока перезаписи, первый, второй и третий выходы которого подключены соответственно, к второму, третьему и четвертому выходам блока адресной памяти, третий выход которого подключен к третьему входу решающего блока.

На фиг. 1 изображена структурная схема предложенного устройства; на

фиг. 2 - временные диаграммы, поясняющие его работу.

Устройство содержит на передающей стороне считывающий блок 1, блок 2 адресной памяти, кодер 3, элемент И 4, буферный блок 5, модулятор 6, блок 7 хранения адресов ячеек с выделенными сегментами, блок 8 формирования адреса ячейки анализируемого сегмента, блок 9 анализа сегментов, блок 10 сравнения адресов на приемной стороне демодулятора 11, буферный блок 12, декодер 13, блок 14 адресной памяти, блок 15 записи, блок 16 обнаружения ошибок, дешифратор 17, решающий блок 18, блок 19 перезаписи.

Устройство работает следующим образом.

Из считывающего блока 1, где видеосигнал при развертке изображения считывается, формируется, квантуется и разбивается на сегменты одинаковой длины, двоичный сигнал поступает на вход блока 2, где происходит запись каждого сегмента в соответствующую ячейку памяти. После записи в блок 2 информации, содержащейся в двух последовательно считываемых строках изображения, с одного из его выходов на вход блока 9 анализа сегментов поступает сегмент, адрес ячейки которого задается блоком 8. Блок 9 определяет вид сегмента ("белый" или "черный") и формирует соответствующий сигнал, который поступает на вход блока 8. С получением информации о виде сегмента блок 8 формирует новый адрес ячейки, содержащий следующий анализируемый сегмент. Правила формирования последовательности адресов ячеек анализируемых сегментов направлены на определение адресов двух ячеек с "черными" сегментами, принадлежащими соответственно первой и второй строке, находящихся на одинаковом расстоянии от начала строки и наименьшем расстоянии от середины строки (фиг. 2а).

По управляющему сигналу, поступающему с блока 8 на один из входов блока 7, происходит перезапись из блока 8 кода адреса ячеек с выделенными сегментами. Затем с выхода блока 8 на блок 2 и кодер 3 поступает сигнал, разрешающий соответственно считывание и кодирование информации первых двух строк изображения.

Адрес ячейки кодируемого сегмента с одного из выходов блока 2 посту-

пает на блок 10, который сравнивает его с адресами ячеек выделенных сегментов, хранящимися в блоке 7. При их совпадении по сигналу поступающему с кодера 3 на блок 10 и определяющему время конца считывания опознавателя выделенного "черного" сегмента в буферный блок 5, с выхода блока 10 на управляющий вход элемента И 4 поступает сигнал закрывающий ее на время считывания информационной части сегмента. Так как элемент И 4 закрыт, а тактовые импульсы поступают в буферный блок 5 то в память записывается код сегмента с опознавателем "1" и нулевой информационной частью (фиг. 2а). Из буферного блока 5 двоичная последовательность поступает через модулятор 6 в канал связи. В случае, если хотя бы одна из двух строк вся "белая", кодирование производится обычным образом. Емкость адресной памяти выбирается из соображений того, чтобы не было остановок кодирования из-за определения адресов ячеек выделенных сегментов. В то время как идет кодирование двух строк изображения следующие две строки анализируются с целью определения адресов ячеек с выделенными сегментами и т.д.

На приемной стороне сигнал через демодулятор 11 и буферный блок 12 поступает на декодер 13, где декодируется и подается на один из входов блока 14 адресной памяти, в каждую ячейку которой записывается один сегмент декодированной строки изображения.

Блок 16 обнаружения ошибок в строке определяет длину декодированной строки изображения и, в случае ее отклонения от нормы, посылает сигнал на один из входов решающего блока 18, по которому происходит запись номера ошибочно восстановленной строки изображения, поступающего из декодера 13 в соответствующий регистр решающего блока 18.

Кодовая информационная последовательность с одного из выходов декодера 13 поступает на дешифратор 17, который, обнаружив код "черного" сегмента с нулевой информационной частью, посылает на вход решающего блока 18, сигнал, по которому в соответствующий регистр решающего блока 18 записывается код адреса ячейки блока 14 адресной памяти, куда был

записан декодируемый выделенный сегмент. Адрес ячейки однозначно указывает положение выделенного сегмента в восстановленной строке изображения.

Аналогично определяется и записывается в соответствующий регистр решающего блока 18 код адреса ячейки выделенного сегмента для второй строки восстановленного изображения.

После записи в блок 14 двоичного сигнала двух строк восстановленного изображения (фиг. 2б), решающий блок 18, в случае, если сбита одна строка из двух, сравнивая адреса ячеек двух выделенных сегментов и ставя в соответствие адресу ячейки расстояние от начала строки до сегмента записанного в ней, вырабатывает сигнал, указывающий номер и величину сдвига сбитой строки изображения, который поступает на вход блока 19 перезаписи пораженной части строки. В соответствии с сигналом, поступившим из решающего блока 18, блок 19 формирует код адреса считываемой и записываемой ячеек памяти, который поступает на блок 14.

Двоичный сигнал считываемого сегмента, поступающий с одного из выходов блока 14 в регистр блока 19, затем записывается в соответствующую ячейку блока 14 адресной памяти. Восстановленная строка изображения приведена на фиг. 2в. Аналогично обрабатываются следующие две строки и т.д.

Предлагаемое устройство позволяет без внесения дополнительной избыточности повысить помехоустойчивость за счет уменьшения трека ошибки в восстановленном изображении.

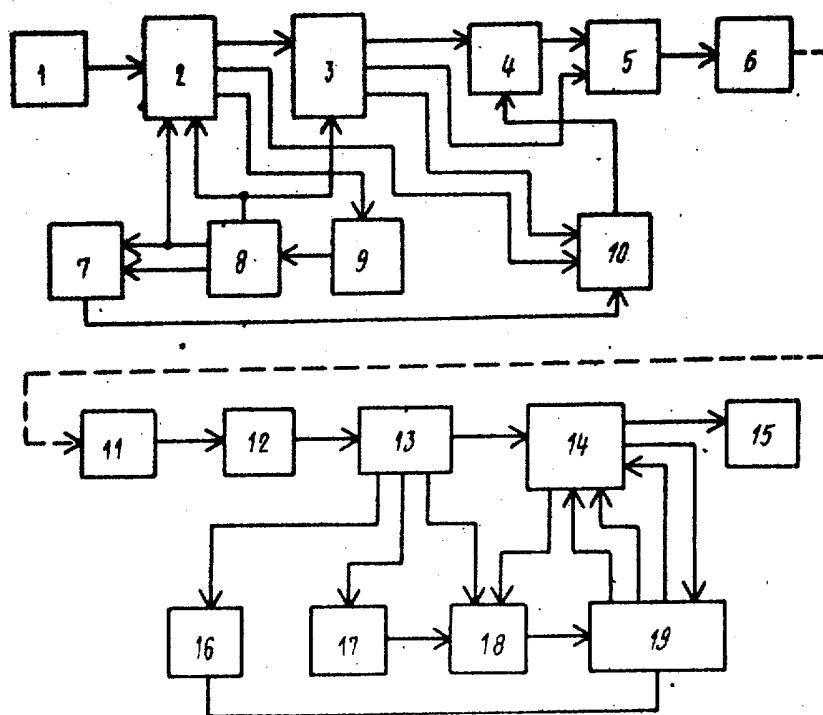
#### Формула изобретения

Система передачи штриховых изображений с сегментным кодированием, содержащая на передающей стороне считывающий блок, кодер, первый выход которого через буферный блок соединен с входом модулятора, выход которого соединен с линией связи, на приемной стороне блок записи и последовательно соединенные демодулятор, буферный блок и декодер, причем вход демодулятора подключен к линии связи, отличающаяся тем, что, с целью повышения достоверности передачи путем уменьшения длины серии

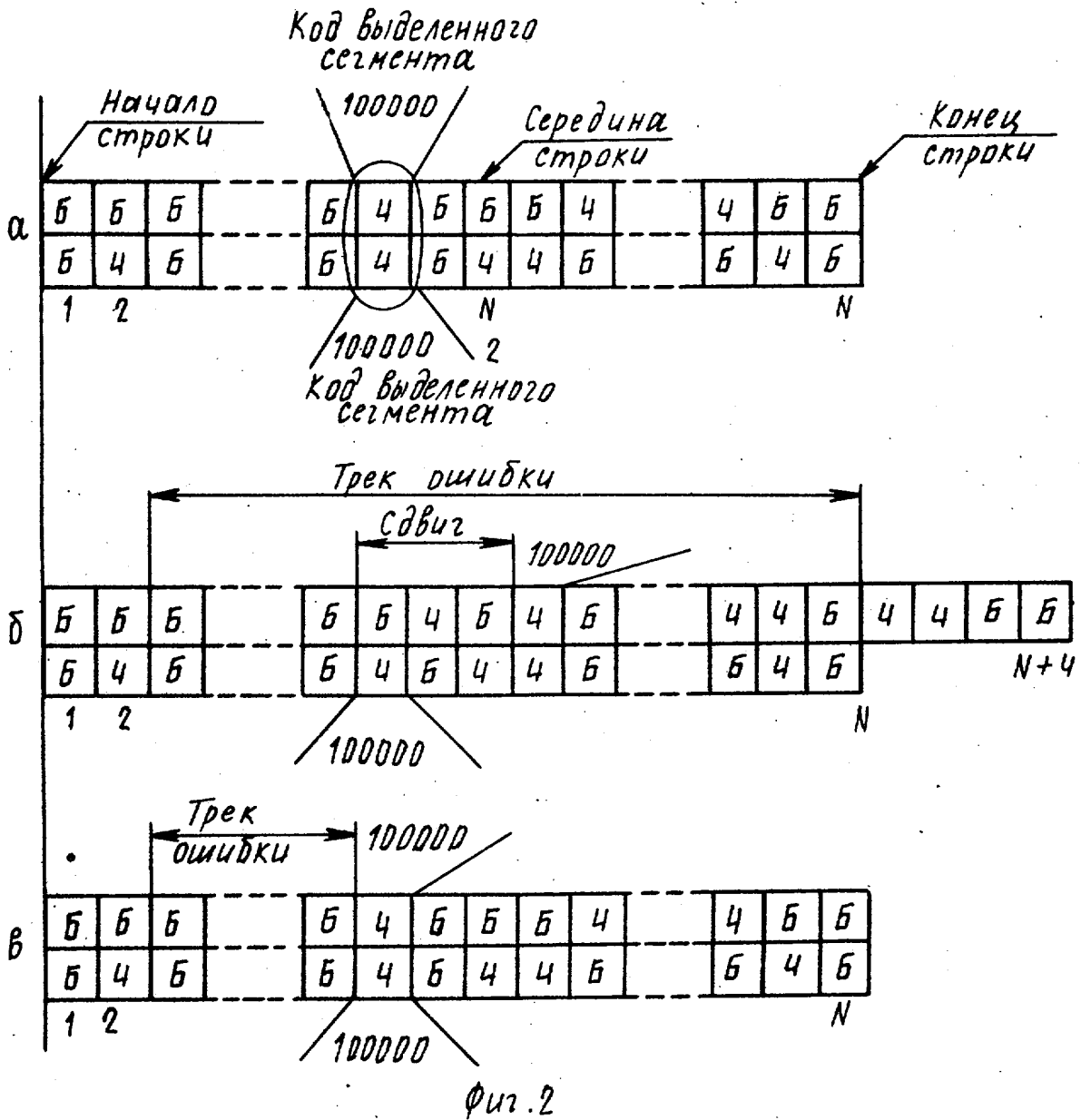
ошибок, введены на передающей стороне блок адресной памяти, блок хранения адресов ячеек с выделенными сегментами, блок формирования адреса ячейки анализируемого сегмента, блок сравнения адресов памяти, дешифратор, решающий блок, блок перезаписи, причем на передающей стороне выход считывающего блока соединен с первым входом блока адресной памяти, первый, второй и третий выходы блока адресной памяти подключены соответственно к первому входу кодера, к первому входу блока сравнения адресов и к входу блока анализа сегментов, выход блока анализа сегментов подключен к входу блока формирования адреса анализируемого сегмента, первый выход которого подключен к первому входу блока хранения адресов ячеек с выделенными сегментами и второму входу блока адресной памяти, второй выход блока формирования адреса анализируемого сегмента подключен к второму входу блока хранения адресов ячеек с выделенными сегментами, а третий выход блока формирования адреса ячейки анализируемого сегмента подключен к третьему входу блока адресной памяти и второму входу кодера, второй и третий выходы которого подключены соответственно к первому входу элемента И и второму входу блока срав-

нения адресов, выход которого подключен к второму входу элемента И, выход которого соединен с вторым входом буферного блока, а выход блока хранения адресов ячеек с выделенными сегментами подключен к третьему входу блока сравнения сегментов, на приемной стороне - первый выход декодера через блок обнаружения ошибок подключен к первому входу блока перезаписи, второй выход декодера через дешифратор подключен к первому входу решающего блока, к второму входу которого подключен третий выход декодера, а выход решающего блока подключен к второму входу блока перезаписи, четвертый выход декодера подключен к первому входу блока адресной памяти, первый выход которого подключен к блоку записи, второй выход блока адресной памяти подключен к третьему входу блока перезаписи, первый, второй и третий выходы которого подключены соответственно к второму, третьему и четвертому выходам блока адресной памяти, третий выход которого подключен к третьему входу решающего блока.

Источники информации, принятые во внимание при экспертизе  
1. Патент США № 3483317, кл. Н 04 Н 7/12, 1969 (прототип).



Фиг. 1



Составитель В.Маврин  
 Редактор Н.Воловик    Техред Ж. Кастелевич    Корректор А.Дзятко

---

Заказ 5159/78    Тираж 688    Подписное

ВНИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Филиал ППИ "Патент", г. Ужгород, ул. Проектная, 4