



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 21/8234 (2006.01)

H01L 21/28 (2006.01)

H01L 27/088 (2006.01)

H01L 29/417 (2006.01)

(11) 공개번호 10-2007-0086148

(43) 공개일자 2007년08월27일

(21) 출원번호 10-2007-7013357

(22) 출원일자 2007년06월14일

심사청구일자 2007년06월14일

번역문 제출일자 2007년06월14일

(86) 국제출원번호 PCT/JP2005/004324

(87) 국제공개번호 WO 2006/070490

국제출원일자 2005년03월11일

국제공개일자 2006년07월06일

(30) 우선권주장 JP-P-2004-00379620 2004년12월28일 일본(JP)

(71) 출원인 마쯔시다덴기산교 가부시키키가이샤  
일본국 오사카후 가도마시 오아자 가도마 1006반지

(72) 발명자 오타 소우고  
일본국 오사카후 가도마시 오아자 가도마 1006 마쯔시다덴기산교가부  
시키키가이샤 내

(74) 대리인 한양특허법인

전체 청구항 수 : 총 7 항

(54) 반도체 장치 및 그 제조 방법

(57) 요약

트랜지스터 TrA의 사이드 월(105)의 두께를 트랜지스터 TrB의 사이드 월(105)의 두께보다도 얇게 한다. 트랜지스터 TrA에 있어서, 고농도 불순물 확산층(106)의 표면과 사이드 월(105)의 바닥부는, 기관의 주면 방향에서 보았을 때에 겹치는 위치에 있다. 실리사이드층(108)은, 고농도 불순물 확산층(106) 내에 한하여 형성된다. 이것은, 트랜지스터 TrB를 덮는 CVD 산화막(111)의 형성 후에, 또한, 실리사이드층(108)을 형성하기 전에 트랜지스터 TrA에 고농도 불순물 확산층(106)을 형성함으로써 실현할 수 있다. 이와 같이, 간이한 구성으로 오프 리크 특성의 향상이 도모되고, 또한 실리사이드화 트랜지스터와 비실리사이드화 트랜지스터를 동일 기관 상에 동시에 형성할 수 있다.

대표도

도 1

특허청구의 범위

## 청구항 1.

실리사이드층이 형성된 제1 트랜지스터와 실리사이드층이 형성되어 있지 않은 제2 트랜지스터를 갖는 반도체 장치로서,  
 상기 제1 및 제2 트랜지스터는,  
 반도체 기판의 주면에 게이트 절연막을 통해 형성된 게이트 전극과,  
 상기 게이트 전극의 양측벽에 형성된 사이드 월과,  
 상기 반도체 기판의 주면에 형성된 소스 및 드레인 확산층을 구비하고,  
 상기 제1 트랜지스터에 있어서,  
 상기 사이드 월의 두께는 상기 제2 트랜지스터에 따른 사이드 월의 두께보다도 얇고,  
 상기 소스 및 드레인 확산층은, 저농도 불순물 확산층과, 상기 저농도 불순물 확산층의 내부에 형성되어 당해 저농도 불순물 확산층보다도 불순물 농도가 높은 고농도 불순물 확산층을 가지며,  
 상기 고농도 불순물 확산층의 표면과 상기 사이드 월의 바닥부는 상기 반도체 기판의 주면 방향에서 보았을 때에 겹치는 위치에 있고,  
 상기 실리사이드층은, 상기 고농도 불순물 확산층 내에 한하여 형성되어 있는 것을 특징으로 하는 반도체 장치.

## 청구항 2.

청구항 1에 있어서,  
 상기 제2 트랜지스터에 있어서의 소스 및 드레인 확산층은, 저농도 불순물 확산층만으로 구성되어 있는 것을 특징으로 하는 반도체 장치.

## 청구항 3.

청구항 1에 있어서,  
 상기 제2 트랜지스터에 있어서의 소스 및 드레인 확산층은, 저농도 불순물 확산층 및 고농도 불순물 확산층으로 구성되어 있는 것을 특징으로 하는 반도체 장치.

## 청구항 4.

실리사이드층이 형성된 제1 트랜지스터와 실리사이드층이 형성되어 있지 않은 제2 트랜지스터를 갖는 반도체 장치의 제조 방법으로서,  
 반도체 기판의 주면에 게이트 절연막을 통해 상기 제1 및 제2 트랜지스터의 게이트 전극을 형성하는 공정과,  
 상기 게이트 전극을 마스크로 하여 상기 반도체 기판의 주면에 상기 제1 및 제2 트랜지스터의 저농도 불순물 확산층을 형성하는 공정과,

상기 게이트 전극의 측벽에 상기 제1 및 제2 트랜지스터의 사이드 월을 형성하는 공정과,

상기 반도체 기판의 전면을 덮는 절연막을 형성하는 공정과,

상기 절연막을, 상기 제1 트랜지스터를 덮는 당해 절연막을 제거함과 함께 상기 제1 트랜지스터를 덮는 당해 절연막을 남기도록 선택적으로 에칭 처리하는 공정과,

상기 제1 트랜지스터에 있어서, 상기 게이트 전극 및 상기 사이드 월을 마스크로 하여, 상기 저농도 불순물 확산층의 내부에 당해 저농도 불순물 확산층보다도 불순물 농도가 높은 고농도 불순물 확산층을 형성하는 공정과,

상기 반도체 기판의 주면에 상기 제1 및 제2 트랜지스터를 덮는 금속막을 형성하고, 상기 금속막과 상기 반도체 기판을 반응시킴으로써 실리사이드를 형성하는 공정과,

미반응의 금속막을 선택적으로 제거함으로써, 상기 제1 트랜지스터에 있어서의 상기 고농도 불순물 확산층 내에 한하여 상기 실리사이드로 형성된 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 5.

청구항 4에 있어서,

상기 절연막을 형성하는 공정에 앞서서, 상기 제2 트랜지스터에 있어서의 상기 게이트 전극 및 상기 사이드 월을 마스크로 하여 상기 저농도 불순물 확산층의 내부에 당해 저농도 불순물 확산층보다도 불순물 농도가 높은 고농도 불순물 확산층을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 6.

청구항 4에 있어서,

상기 절연막의 에칭 처리는, 습식 에칭인 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 7.

청구항 4에 있어서,

상기 금속막은, 티탄, 코발트 및 니켈에서 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 제조 방법.

## 명세서

### 기술분야

본 발명은, 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 특정적으로는, 실리사이드층을 갖는 트랜지스터를 구비한 반도체 장치 및 그 제조 방법에 관한 것이다.

### 배경기술

MOS 트랜지스터 등을 구비한 반도체 장치에서는, 내열성이 높고, 또한 저저항이 얻어지는 배선으로서, 고용점 금속의 실리사이드로 이루어지는 실리사이드층이 이용되고 있다. 이러한 실리사이드층을 형성하기 위한 기술의 하나로서, 실리콘

기판에 형성된 확산층이나 다결정 실리콘으로 이루어지는 게이트 전극과 같은 실리콘 재료를, 티탄(Ti)이나 코발트(Co) 등의 고용점 금속과 반응시킴으로써 고용점 금속 실리사이드(이하, 실리사이드라고 칭한다)를 형성하고, 에칭 처리에 의해 미반응의 고용점 금속을 선택적으로 제거함으로써 자기 정합적으로 실리사이드층을 잔존시키는 살리사이드 기술이 있다.

예를 들면, 특허 문헌 1에는, 살리사이드 기술에 의해 실리사이드층이 형성된 MOS 트랜지스터(이하, 실리사이드화 트랜지스터라고 칭한다)와, 실리사이드층이 형성되어 있지 않은 MOS 트랜지스터(이하, 비실리사이드화 트랜지스터라고 칭한다)를 동일 기판 상에 구비한 반도체 장치가 제안되어 있다. 이 반도체 장치에서는, 살리사이드 기술에 의해, 실리사이드화 트랜지스터와 비실리사이드화 트랜지스터를 동시에 반도체 기판 상에 형성할 수 있다. 실리사이드화 트랜지스터를 포함하는 반도체 장치에서는, 노이즈 등과 같이 돌발적으로 트랜지스터에 고전압이 외부에서 인가된 경우에, 실리사이드층이 형성됨으로써 트랜지스터가 파괴되기 쉽고, 리크 전류가 발생한다. 그 때문에, 특허 문헌 1에 기재된 바와 같이, 실리사이드화 트랜지스터와 비실리사이드화 트랜지스터를 동일 기판 상에 구비한 반도체 장치의 이용이 최근 확산되고 있다.

도 7은, 실리사이드화 트랜지스터와 비실리사이드화 트랜지스터를 동일 기판 상에 구비한 반도체 장치의 구성을 도시한 단면도이다. 도 7에 있어서, 반도체 기판(101)에는, 실리사이드화 MOS 트랜지스터 TrA와 비실리사이드화 MOS 트랜지스터 TrB가 형성되어 있다. 실리사이드화 MOS 트랜지스터 TrA는, 소스 및 드레인 확산층을 구성하는 확산층 및 게이트 전극(102)의 표면에, 실리사이드층(108)이 형성되어 있다. 또, MOS 트랜지스터 TrB는, 그 표면이 CVD 산화막(111)으로 덮여 있고, 이것에 의해 실리사이드층의 형성이 방지되고 있다. 이러한 구성을 갖는 반도체 장치는, 도 8에 나타난 각 공정을 거친 제조 방법에 의해, 실리사이드화 MOS 트랜지스터 TrA 및 비실리사이드화 MOS 트랜지스터 TrB를, 반도체 기판(101) 상에 동시에 형성할 수 있다. 또한, 이하의 설명에서는, 실리사이드층을 포함하는 영역을 실리사이드화 영역 A, 실리사이드층을 포함하지 않는 영역을 비실리사이드화 영역 B로서 설명한다.

도 8은, 도 7에 나타난 반도체 장치를 제조하는 과정에 있어서의 각 단계에서의 기판 및 그 상면의 단면도를 도시한다. 도 8a에 나타난 제작 상태의 반도체 장치를 얻기 위해서는, 우선, 반도체 기판(101)의 주면(主面)에 실리사이드화 MOS 트랜지스터 TrA 및 비실리사이드화 MOS 트랜지스터 TrB를 형성하기 위한 게이트 산화막(103) 및 폴리실리콘막을 퇴적한다. 다음에, 양자를 원하는 형상으로 패터닝 형성함으로써, 게이트 산화막(103) 상에 게이트 전극(102)을 형성한다. 그리고, 얻어진 게이트 전극(102)을 마스크로 하여, 게이트 전극(102) 하의 채널 영역에 고전계가 걸리지 않도록 반도체 기판(101)의 주면에 N형의 불순물을 도입한다. 이것에 의해, 소스 및 드레인 확산층을 구성하는, 불순물 농도가 낮은 N형(이하, N<sup>-</sup>형이라고 표기한다) 확산층이 형성된다. 이하, 이 N<sup>-</sup>형 확산층을 LDD층(104)이라고 칭한다.

도 8b는, 실리사이드화 MOS 트랜지스터 TrA 및 비실리사이드화 MOS 트랜지스터 TrB를 형성하기 위한 게이트 전극(102)의 측벽에, 사이드 월(105)을 형성한 상태를 나타낸다. 사이드 월(105)은, 이하의 순서로 형성된다. 우선, 도 8a에 나타난 상태의 반도체 기판(101)의 전면에 CVD 산화막(도시하지 않음)을 퇴적한다. 다음에, 반응성 이온 에칭에 의해, CVD 산화막을 반도체 기판(101)의 표면이 드러날 때까지 에칭 백한다. 이것에 의해, 게이트 전극(102)의 측벽에는, 자기 정합적으로 사이드 월(105)이 형성된다.

도 8c는, 실리사이드화 MOS 트랜지스터 TrA 및 비실리사이드화 MOS 트랜지스터 TrB를 형성하기 위한 LDD층(104)의 내부에, LDD층(104)보다도 불순물 농도가 높은 N형(이하, N<sup>+</sup>형이라고 표기한다)의 고농도 불순물 확산층(106)을 형성한 상태를 나타낸다. 고농도 불순물 확산층(106)은, 사이드 월(105)을 이용한 자기 정합법에 의해, LDD층(104)에 고농도의 이온 주입을 행함으로써 형성된다.

도 8d는, 반도체 기판(101)의 주면에 CVD 산화막(111)을 형성한 상태를 나타낸다. 이 CVD 산화막(111)은, CVD법에 의해 반도체 기판(101)의 전면을 덮도록 형성된다. CVD 산화막(111)은, 후술하는 바와 같이, 실리사이드화 영역 A와 비실리사이드화 영역 B를 선택적으로 형성하기 위해 이용되는 것이다.

도 8e는, CVD 산화막(111)을 선택적으로 에칭 처리한 상태를 나타낸다. 이러한 상태의 CVD 산화막(111)을 얻기 위해서는, 우선, 실리사이드화 영역 A를 덮는 CVD 산화막(111)에만 불화 수소산(HF)계의 습식 에칭 처리를 실시한다. 이것에 의해, 실리사이드화 영역 A를 덮는 CVD 산화막(111)만이 선택적으로 제거됨과 함께, 비실리사이드화 영역 B를 덮는 CVD 산화막(111)은, 비실리사이드화 영역 B의 마스크로서 남는다. 또한, 습식 에칭 처리에 의해, 실리사이드화 MOS 트랜지스터 TrA의 사이드 월(105)의 두께는, 오버 에칭분만큼 막두께가 감소한다.

도 8f는, 반도체 기판(101)의 전면에 고용점 금속막(107)을 형성한 상태를 나타낸다. 고용점 금속막(107)은, 티탄(Ti) 또는 코발트(Co) 등의 고용점 금속을, 반도체 기판(101)의 전면에 스퍼터링함으로써 얻어진다.

도 8g는, 실리사이드화 MOS 트랜지스터 TrA와 비실리사이드화 MOS 트랜지스터 TrB가 형성된 반도체 장치의 상태를 나타낸다. 이러한 집적 회로가 형성된 반도체 기판(101)을 얻기 위해서는, 우선, 상기 도 8f에 나타난 공정으로 형성된 고용점 금속막(107)에 제1 열 처리를 실시한다. 이것에 의해, 실리콘 재료와 고용점 금속막(107)이 접촉하고 있는 부분에서는 실리사이드가 형성되고, 그 이외의 부분에서는 고용점 금속막(107)은 미반응의 상태로 남는다. 다음에, 제1 열 처리에서 반응하지 않았던 고용점 금속막(107)을 습식 에칭 처리에 의해 제거한 후, 제2 열 처리를 행한다. 이것에 의해, 실리사이드화 MOS 트랜지스터 TrA에 있어서, 소스 및 드레인 확산층 및 게이트 전극(102)의 표면에만 자기 정합적으로 실리사이드층(108)이 형성되고, 동일 기판 상에, 실리사이드화 MOS 트랜지스터 TrA와 비실리사이드화 MOS 트랜지스터 TrB가 동시에 형성된다.

상기와 같은 공정에 의해, 실리사이드화 영역 A와 비실리사이드화 영역 B가 형성된 반도체 기판(101)에는, 계속해서, 종래 공지의 수법에 의해 층간 절연막이나 배선 등의 형성이 행해져, 반도체 장치가 된다.

특허 문헌 1 : 일본 공개특허공보 2002-164355호 공보

### 발명의 상세한 설명

그러나, 상기와 같은 공정으로 제조된 반도체 장치에서는, 도 8e에 나타난 공정에 있어서 CVD 산화막(111)을 습식 에칭할 때에, 실리사이드화 MOS 트랜지스터 TrA의 사이드 월(105)의 막두께가, 오버 에칭분만큼 감소한다. 구체적으로는, 도 8d에 나타난 공정까지는, 사이드 월(105)의 바닥부는, 기판의 주면 방향에서 보았을 때에 고농도 불순물 확산층(106)의 표면과 겹치는 위치에 있었지만, 도 8e에 나타난 습식 에칭 후에는, 사이드 월(105)의 바닥부는, 막두께의 감소에 의해 기판의 주면 방향에서 보았을 때에 고농도 불순물 확산층(106)의 표면과는 겹치지 않는 위치에 있다. 이것에 의해, 도 8f에 나타난 공정에 있어서 형성된 고용점 금속막(107)은, 고농도 불순물 확산층(106)의 전면과 접촉하게 된다. 따라서, 도 8g에 나타난 공정에 있어서 형성되는 실리사이드층(108)은, 고농도 불순물 확산층(106)의 전면에 형성됨과 함께, 그 단부는 열 확산에 의해 LDD층(104)으로까지 늘어나게 된다.

이와 같이 실리사이드층(108)이 고농도 불순물 확산층(106)을 비어져 나와 LDD층(104)으로까지 형성된 반도체 장치에서는, 트랜지스터의 오프 리크 특성이 저하하기 쉽다는 문제가 있다. 이 이유에 관해 이하에 설명한다. 도 9는, 도 7에 나타난 반도체 장치에 있어서, 실리사이드화 MOS 트랜지스터 TrA의 드레인 확산층에 전계를 걸었을 때의 상태를 도시한 모식도이다. 도 9에 있어서, 드레인 확산층에 전계를 걸면, P형의 반도체 기판(101)과 N<sup>-</sup>형의 LDD층(104)의 접합면에 공핍층(109)이 형성된다. 공핍층(109)은, 인가되는 전계의 조건에 따라서는, 반도체 기판(101)의 측으로 확산될 뿐만 아니라 LDD층(104)의 측을 향해서도 확산되는데, 이 때의 공핍층(109)은, 불순물 농도가 낮은 LDD층(104)의 내부에서는 확산되기 쉽지만, 불순물 농도가 높은 고농도 불순물 확산층(106)의 내부에서는 확산되기 어렵다는 특징을 갖는다. 그 때문에, LDD층(104)의 측에 향해 확산된 공핍층(109)은, LDD층(104)과 고농도 불순물 확산층(106)의 계면에서 그 신장이 멈춘다.

이러한 공핍층(109)이 생기면, 도 9에 나타난 반도체 장치에서는, 실리사이드층(108)이 LDD층(104)의 내부로까지 비어져 나와 있기 때문에, 공핍층(109)과 실리사이드층(108)이 LDD층(104)의 내부에서 접촉한다. 공핍층(109)과 실리사이드층(108)의 접촉이 생기면, 도 9에 있어서 화살표 R로 나타내는 바와 같이, 실리사이드층(108)에서 반도체 기판(101)의 방향을 향해 리크 패스가 발생하여, 약 1pA/μm 정도의 리크 전류가 용이하게 흐른다. 이것에 의해, 트랜지스터의 오프 리크 특성이 열화한다는 문제점이 생긴다.

이러한 현상은, 최근의 고밀도 미세 치수 소자 패턴으로 형성되는 트랜지스터 등에 있어서 현저하다. 예를 들면, 0.25μm 이하의 프로세스 기술로 제조된 N채널 MOS 트랜지스터이면, 전원 전압이 2.5~5V 정도이지만, LDD층(104)과 반도체 기판(101)의 접합면으로부터 LDD층(104)과 고농도 불순물 확산층(106)의 접합면까지의 수평 거리가 0.1μm 이하이고, 수직 거리도 0.1μm 이하이다. 그 때문에, 공핍층(109)은 LDD층(104)의 전체로 확산되기 쉬워져, 상기한 문제가 생기기 쉽기 때문에, 오프 리크 특성의 개선이 요구되고 있다.

그래서, 특허 문헌 1에는, 사이드 월(105)을 CVD 산화막과 질화막의 2층 구조로 함과 함께, 질화막을 표면층에 배치함으로써 사이드 월(105)의 막두께의 감소를 방지하도록 한 반도체 장치가 제안되어 있다. 그러나, 이러한 구성의 반도체 장치는, 사이드 월(105)의 막두께의 감소는 방지할 수 있지만, 사이드 월(105)을 적층 구조로 하지 않으면 안되기 때문에, 공정이 번잡해진다.

그러므로, 본 발명은, 오프 리크 특성의 향상이 도모되고, 또한 실리사이드화 트랜지스터와 비실리사이드화 트랜지스터를 동일 기관 상에 동시에 형성할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

#### [과제를 해결하기 위한 수단]

상기의 과제를 해결하는 발명은, 실리사이드층이 형성된 제1 트랜지스터와 실리사이드층이 형성되어 있지 않은 제2 트랜지스터를 갖는 반도체 장치에 적합하다. 이 반도체 장치에 있어서 제1 및 제2 트랜지스터는, 반도체 기관의 주면에 게이트 절연막을 통해 형성된 게이트 전극, 게이트 전극의 양측벽에 형성된 사이드 월, 및 반도체 기관의 주면에 형성된 소스 및 드레인 확산층을 구비한다. 또, 제1 트랜지스터에 있어서, 사이드 월의 두께는 제2 트랜지스터에 따른 사이드 월의 두께보다도 얇고, 소스 및 드레인 확산층은, 저농도 불순물 확산층과, 저농도 불순물 확산층의 내부에 형성되며, 이 저농도 불순물 확산층보다도 불순물 농도가 높은 고농도 불순물 확산층을 갖는다. 그리고, 고농도 불순물 확산층의 표면과 사이드 월의 바닥부는 반도체 기관의 주면 방향에서 보았을 때에 겹치는 위치에 있고, 실리사이드층은, 고농도 불순물 확산층 내에 한하여 형성되어 있다.

이러한 구성을 가짐으로써, 제1 트랜지스터에 있어서, 반도체 기관과 저농도 불순물 확산층의 계면에서 발생한 공핍층은 실리사이드층과 접촉하는 일이 없어서, 리크 전류의 발생을 억제할 수 있고, 오프 리크 특성의 개선이 도모된다.

또, 제2 트랜지스터에 있어서의 소스 및 드레인 확산층은, 저농도 불순물 확산층만으로 구성되어 있어도 되고, 혹은, 저농도 불순물 확산층과 고농도 불순물 확산층으로 구성되어 있어도 된다.

또, 본 발명은, 실리사이드층이 형성된 제1 트랜지스터와 실리사이드층이 형성되어 있지 않은 제2 트랜지스터를 갖는 반도체 장치의 제조 방법에도 적합하다. 이 제조 방법에서는, 우선, 반도체 기관의 주면에 게이트 절연막을 통해 제1 및 제2 트랜지스터의 게이트 전극을 형성한다. 다음에, 게이트 전극을 마스크로 하여 반도체 기관의 주면에 제1 및 제2 트랜지스터의 저농도 불순물 확산층을 형성한다. 다음에, 게이트 전극의 측벽에 제1 및 제2 트랜지스터의 사이드 월을 형성한다. 다음에, 반도체 기관의 전면을 덮는 절연막을 형성한다. 다음에, 절연막을, 제1 트랜지스터를 덮는 절연막을 제거함과 함께 제1 트랜지스터를 덮는 절연막을 남기도록 선택적으로 에칭 처리한다. 다음에, 제1 트랜지스터에 있어서, 게이트 전극 및 사이드 월을 마스크로 하여, 저농도 불순물 확산층의 내부에, 이 저농도 불순물 확산층보다도 불순물 농도가 높은 고농도 불순물 확산층을 형성한다. 다음에, 반도체 기관의 주면에 제1 및 제2 트랜지스터를 덮는 금속막을 형성하고, 금속막과 반도체 기관을 반응시킴으로써 실리사이드를 형성한다. 그리고, 미반응의 금속막을 선택적으로 제거함으로써, 제1 트랜지스터에 있어서의 고농도 불순물 확산층 내에 한하여 실리사이드로 형성된 실리사이드층을 형성한다.

이러한 제조 방법에 의하면, 제1 트랜지스터에 있어서, 에칭 처리 후의 사이드 월을 마스크로 하여 고농도 불순물 확산층을 형성하고 있기 때문에, 반도체 기관의 주면 방향에서 보았을 때에, 고농도 불순물 확산층의 표면과 사이드 월의 바닥부가 겹치는 위치에 있는 상태로 실리사이드층을 형성할 수 있다. 이러한 상태로 형성된 실리사이드층은, 고농도 불순물 확산층 내에 한하여 형성할 수 있으므로, 실리사이드층과 공핍층의 접촉을 해소할 수 있고, 이것에 의해 오프 리크 특성의 개선이 도모된다.

또, 절연막을 형성하는 공정에 앞서서, 제2 트랜지스터에 있어서의 게이트 전극 및 사이드 월을 마스크로 하여, 저농도 불순물 확산층의 내부에, 이 저농도 불순물 확산층보다도 불순물 농도가 높은 고농도 불순물 확산층을 형성하는 공정을 더 포함하고 있어도 된다. 또, 절연막의 에칭 처리는, 습식 에칭이다. 또한, 금속막은, 티탄, 코발트, 및 니켈에서 선택되는 어느 하나인 것이 바람직하다.

#### [발명의 효과]

이상과 같이 본 발명의 반도체 장치에 의하면, 실리사이드층이 소스 및 드레인 확산층을 구성하는 고농도 불순물 확산층 내에 한하여 형성되어 있기 때문에, 반도체 기관과 소스 및 드레인 확산층의 계면에서 공핍층이 생겨도, 이 공핍층과 실리사이드층의 접촉을 해소할 수 있으므로, 오프 리크 특성의 향상이 도모된다. 또, 본 발명의 반도체 장치의 제조 방법에 의하면, 상기와 같이 실리사이드층이 고농도 불순물 확산층 내에 한하여 형성됨으로써, 오프 리크 특성이 개선된 실리사이드화 트랜지스터와, 비실리사이드화 트랜지스터를, 동일 기관 상에 동시에 형성할 수 있다.

#### 실시예

##### (제1 실시 형태)

이하에, 본 발명의 제1 실시 형태에 따른 반도체 장치에 관해 설명한다. 도 1a는, 본 실시 형태에 따른 반도체 장치의 구성을 도시한 단면도이다. 도 1a에 있어서, 반도체 장치는, 실리사이드화 MOS 트랜지스터 TrA와 비실리사이드화 MOS 트랜지스터 TrB를 동일 기판 상에 포함하는 집적 회로를 구비하고, 실리사이드층을 포함하는 실리사이드화 영역 A와, 실리사이드층을 포함하지 않는 비실리사이드화 영역 B가 형성되어 있다. 도 1a에 있어서, 반도체 장치는, 반도체 기판(101), 게이트 전극(102), 게이트 산화막(103), LDD층(104), 사이드 월(105), 고농도 불순물 확산층(106), 실리사이드층(108), 및 CVD 산화막(111)을 구비한다.

반도체 기판(101)은, P형 반도체로 구성된 실리콘 기판이다. 게이트 전극(102)은, 다결정 폴리실리콘으로 이루어지고, 반도체 기판(101)의 주면에 형성된다. 게이트 산화막(103)은, 반도체 기판(101)의 주면에 형성되고, 반도체 기판(101)과 게이트 전극(102)을 절연한다. LDD층(104)은, 반도체 기판(101)의 주면에, 반도체 기판(101)과 반대 도전형의 N형 불순물을 이온 주입법 등에 의해 도입함으로써 형성된 N<sup>-</sup>형 확산층이다. 고농도 불순물 확산층(106)은, LDD층(104)의 내부에, 이 LDD층(104)의 불순물 농도보다도 불순물 농도가 높아지도록 N형 불순물을 이온 주입법 등에 의해 도입함으로써 형성된 N<sup>+</sup>형 확산층이다. 사이드 월(105)은, 게이트 전극(102)의 측벽에 형성된 절연막이다. 실리사이드층(108)은, 실리콘 재료와 고융점 금속을 반응시킴으로써 형성된 실리사이드로 형성된다. CVD 산화막(111)은, 비실리사이드화 영역 B를 형성하기 위해 사용되는 것으로, 실리사이드화를 방지한다.

여기에서, 본 실시 형태에 따른 반도체 장치의 특징 부분인 실리사이드화 MOS 트랜지스터 TrA에 관해 설명한다. 실리사이드화 MOS 트랜지스터 TrA에 있어서, 고농도 불순물 확산층(106)의 표면과 사이드 월(105)의 바닥부는, 반도체 기판(101)의 주면 방향에서 보았을 때에 겹치는 위치에 있다. 이 점에 관해, 보다 상세하게 설명한다. 도 1b는, 실리사이드화 MOS 트랜지스터 TrA의 주요부를 모식적으로 도시한 모식도이다. 도 1b에 있어서, 화살표로 나타내는 직선은, 고농도 불순물 확산층(106)과 LDD층(104)의 접합 위치를 0으로 하고, 화살표 방향을 양(+), 반대 방향을 음(-)으로 나타낸 것이다. 본 실시 형태에 따른 반도체 장치에서는, 반도체 기판(101)의 주면 방향에서 보았을 때에, 고농도 불순물 확산층(106)의 표면과 사이드 월(105)의 바닥부의 겹침이  $\Delta x$ 만큼 있고,  $\Delta x > 0$ 이 된다.

또한, 도 9에 나타난 종래의 반도체 장치이면, 실리사이드화 MOS 트랜지스터 TrA에 있어서, 사이드 월(105)의 바닥부는, 반도체 기판(101)의 주면 방향에서 보았을 때에 LDD층(104)과 겹치는 위치에 있고, 고농도 불순물 확산층(106)의 표면과 서로 겹치는 일은 없다. 또, 반도체 기판(101)의 주면 방향에서 보았을 때에, 사이드 월(105)의 바닥부와 고농도 불순물 확산층(106)의 겹침  $\Delta x$ 는,  $\Delta x < 0$ 이 된다.

또, 본 실시 형태에 따른 반도체 장치에 있어서, 실리사이드화 MOS 트랜지스터 TrA의 소스 및 드레인 확산층에 형성된 실리사이드층(108)은, 고농도 불순물 확산층(106) 내에 한하여 형성된다. 이러한 형상의 실리사이드층(108)은, 후술하는 본 실시 형태에 따른 제조 방법에 의해 실현할 수 있다.

또한, 본 실시 형태에 따른 반도체 장치에 있어서, 비실리사이드화 MOS 트랜지스터 TrB는, 예를 들면, 반도체 집적 회로에 있어서 서지 등의 영향을 받기 쉬운 입출력부 보호 회로에 이용된다. 또, 비실리사이드화 MOS 트랜지스터 TrB는, 실리사이드화 MOS 트랜지스터 TrA에 있어서, LDD층(104)에 형성된 실리사이드층(108)을 게이트 전극(102)으로부터 멀리하고, 게이트 전극(102) 하의 채널부에 있어서의 소스·드레인 확산층 전극간을 고저항으로 하여, 규정 이상의 고전류가 반도체 칩 단자에 입력된 경우에도, 트랜지스터가 파괴되지 않도록 반도체 기판 내부에 형성된 메인 회로를 보호하는 목적으로도 사용된다.

이하에, 본 실시 형태에 따른 반도체 장치의 제조 방법에 관해, 구체예를 들어 설명한다. 도 2는, 도 1에 나타난 반도체 장치를 제조하는 과정에 있어서의 각 공정에서의 기판 상태를 도시한 단면도이다. 도 2a는, 반도체 기판(101)의 주면에 실리사이드화 MOS 트랜지스터 TrA 및 비실리사이드화 MOS 트랜지스터 TrB를 형성하기 위한 제작 상태를 나타낸다. 이러한 제작 상태의 반도체 장치를 얻기 위해서는, 우선, 반도체 기판(101)의 주면에, 두께 90Å의 실리콘 산화막을 퇴적하여, 게이트 산화막(103)을 형성한다. 다음에, 게이트 산화막(103) 상에, 두께 2000Å가 되도록 폴리실리콘막을 퇴적한다. 다음에, 게이트 산화막(103) 및 폴리실리콘막에 선택적으로 에칭 처리를 실시함으로써, 원하는 형상으로 패터닝된 게이트 전극(102)을 형성한다. 그리고, 얻어진 게이트 전극(102)을 이용한 자기 정합법에 의해, 반도체 기판(101)의 주면에 소스 및 드레인 확산층을 형성한다. 구체적으로는, 게이트 전극(102) 하의 채널 영역에 고전계가 걸리지 않도록, 반도체 기판(101)의 주면을 향해 인 등의 N형 불순물을 이온 주입한다. 이것에 의해, 불순물 농도가  $5 \times 10^{17} \text{cm}^{-3}$ 인 소스 및 드레인 확산층을 구성하는 LDD층(104)이 형성된다.



도 2b는, 게이트 전극(102)의 측벽에 사이드 월(105)을 형성한 상태를 나타낸다. 이러한 상태의 사이드 월(105)을 얻기 위해서는, 우선, 도 2a에 나타난 상태의 반도체 기판(101)의 전면에, 두께 1500Å의 CVD 산화막(도시하지 않음)을 퇴적한다. 그리고, 반응성 이온 에칭에 의해, 이 CVD 산화막을 반도체 기판(101)의 표면이 드러날 때까지 에칭 백한다. 이것에 의해, 게이트 전극(102)의 측벽에 자기 정합적으로 사이드 월(105)이 형성된다. 사이드 월(105)의 두께는, 약 100nm이다.

도 2c는, 반도체 기판(101)의 전면에, 두께 300Å의 CVD 산화막(111)을 형성한 상태를 나타낸다. CVD 산화막(111)은, 실리사이드화 영역 A와 비실리사이드화 영역 B를 선택적으로 형성하기 위해 이용된다.

도 2d는, CVD 산화막(111)에 선택적으로 에칭 처리를 실시한 상태를 나타낸다. 이러한 상태의 CVD 산화막(111)을 얻기 위해서는, 실리사이드화 영역 A를 덮는 CVD 산화막(111)에만 HF계의 습식 에칭 처리를 실시한다. 이것에 의해, 실리사이드화 영역 A를 덮는 CVD 산화막(111)만이 선택적으로 제거됨과 함께, 비실리사이드화 영역 B를 덮는 CVD 산화막(111)은, 비실리사이드화 영역 B의 마스크로서 남는다. 또한, 습식 에칭 처리에 의해, 실리사이드화 MOS 트랜지스터 TrA의 사이드 월(105)의 두께는, 오버 에칭분만큼 막두께가 감소하게 된다. 여기에서는, 습식 에칭 처리에 있어서의 에칭량을, 오버 에칭 마진을 고려하여, CVD 산화막(111)을 500Å만큼 에칭할 수 있는 양으로 설정하였다. 이것에 의해, 실리사이드화 MOS 트랜지스터 TrA에 있어서의 사이드 월(105)은, 그 막두께가 오버 에칭분인 200Å만큼 감소하여 막두께가 약 80nm가 되었다.

도 2e는, 실리사이드화 MOS 트랜지스터 TrA의 LDD층(104)의 내부에 고농도 불순물 확산층(106)을 형성한 상태를 나타낸다. 고농도 불순물 확산층(106)은, 상기한 도 2e의 공정에 있어서 막두께가 감소한 사이드 월(105)을 이용한 자기 정합법에 의해 형성된다. 구체적으로는, 게이트 전극(102) 및 사이드 월(105)을 마스크로 하여, 반도체 기판(101)에, 비소 등의 N형 불순물을 통상 소스·드레인 확산층에 대해서 행해지는 것보다도 저도즈로 이온 주입함으로써 얻어진다. 고농도 불순물 확산층(106)에 있어서의 불순물 농도는,  $1E19cm^{-3}$ 이다.

도 2f는, 반도체 기판(101)의 전면에 고용점 금속막(107)을 형성한 상태를 나타낸다. 고용점 금속막(107)은, 고용점 금속인 Co를 반도체 기판(101)의 전면에 두께 200Å가 되도록 스퍼터링함으로써 얻어진다.

도 2g는, 반도체 기판(101)의 주면에 실리사이드화 MOS 트랜지스터 TrA 및 비실리사이드화 MOS 트랜지스터 TrB가 형성된 상태를 나타낸다. 이러한 상태의 반도체 기판(101)을 얻기 위해서는, 우선, 고용점 금속막(107)에, 500℃로 60초간의 제1 열 처리를 실시한다. 이것에 의해, CVD 산화막(111)으로 덮여져 있지 않은 반도체 기판(101)의 주면 및 게이트 전극(102)은 고용점 금속막(107)과 반응하여, Co 실리사이드가 형성된다. 한편, CVD 산화막(111)으로 덮여진 비실리사이드화 영역 B에 있어서는, Co 실리사이드의 형성은 행해지지 않는다. 다음에, 제1 열 처리에 있어서 반응하지 않았던 고용점 금속막(107)을 습식 에칭에 의해 선택적으로 제거한다. 그리고, 800℃로 10초간의 제2 열 처리를 행한다. 이것에 의해, 실리사이드화 MOS 트랜지스터 TrA의 고농도 불순물 확산층(106)의 내부 및 게이트 전극(102)의 표면에만, 자기 정합적으로 Co 실리사이드로 이루어지는 실리사이드층(108)이 형성된다. 또, 비실리사이드화 MOS 트랜지스터 TrB는, 표면을 덮는 고용점 금속막(107)이 제거되어, CVD 산화막(111)으로 덮여진 상태가 된다. 그리고, 실리사이드화 MOS 트랜지스터 TrA 및 비실리사이드화 MOS 트랜지스터 TrB가 동일 기판 상에 형성된 집적 회로가 얻어짐과 함께, 실리사이드층을 포함하는 실리사이드화 영역 A와, 실리사이드층을 포함하지 않는 비실리사이드화 영역 B가 형성된다.

이상과 같이 본 실시 형태에 따른 반도체 장치의 제조 방법에 의하면, 도 2e의 공정에 나타난 바와 같이, 실리사이드화를 방지하기 위한 CVD 산화막(111)을 선택적으로 제거한 후에, 실리사이드화 MOS 트랜지스터 TrA에 대해서 고농도 불순물 확산층(106)을 형성하기 위한 이온 주입이 행해진다. 이것에 의해, 고농도 불순물 확산층(106)은, 반도체 기판(101)의 주면 방향에서 보았을 때에, 그 표면이 사이드 월(105)의 바닥부와 겹치는 위치에 있도록 형성된다. 그리고, 이러한 상태의 반도체 기판(101)의 표면에, 자기 정합적으로 실리사이드층(108)을 형성함으로써, 실리사이드층(108)은, LDD층(104)으로 비어져 나오지 않고 고농도 불순물 확산층(106)의 영역 내에 형성된다.

상기와 같이 구성된 반도체 장치에서는, 실리사이드화 MOS 트랜지스터 TrA에 있어서의 드레인 확산층에 3.3V를 인가하고, 게이트 전극(102), 소스 영역 및 반도체 기판(101)에 0V를 인가하면, P형 반도체 기판(101)과 LDD층(104)의 경계에 공핍층(109)이 형성되고, 이 공핍층(109)은, 역바이어스 인가에 의해 늘어난다. 도 1c는, 실리사이드화 MOS 트랜지스터 TrA에 있어서 공핍층(109)가 생긴 상태를 나타낸다. 도 1c에 있어서, 공핍층(109)은, 실리사이드층(108)과 접촉하는 일이 없기 때문에, 리크 패스는 발생하지 않고, 오프 리크 특성을 향상할 수 있다. 또, 사이드 월(105)은, 단층 구조이기 때문에, 상기한 특허 문헌 1에 비해 제조 공정의 간이화가 도모된다.



또한, 상기한 제조 공정에서는, 비실리사이드화 MOS 트랜지스터 TrB에는 고농도 불순물 확산층(106)은 형성되지 않지만, 이러한 비실리사이드화 MOS 트랜지스터 TrB는, 보호 회로에서의 사용이나, 고속성이나 고전류 구동성이 요구되지 않는 부분에 이용하는 회로에 있어서 신규로 회로 설계하면 문제는 없다.

## (제2 실시 형태)

도 3은, 본 발명의 제2 실시 형태에 따른 반도체 장치의 구성을 도시한 단면도이다. 도 3에 나타난 반도체 장치는, 비실리사이드화 MOS 트랜지스터 TrB의 소스 및 드레인 확산층을 구성하는 LDD층(104)의 내부에 고농도 불순물 확산층(106)이 형성되어 있지만, 그 이외의 구성은, 상기 제1 실시 형태에 따른 반도체 장치와 동일한 구성이다. 이러한 구성을 갖는 비실리사이드화 MOS 트랜지스터 TrB를 구비한 반도체 장치이면, 제1 실시 형태에 따른 반도체 장치에서는 적용할 수 없었던, 기존의 회로 보호 기술을 이용한 종래대로의 회로 설계가 가능해진다.

도 4는, 상기와 같이 구성된 반도체 장치를 제조하는 과정에 있어서의 각 공정의 기관 상태를 도시한 단면도이다. 도 4에 있어서, 도 4a 및 도 4c~도 4g에 나타난 공정은, 도 2a 및 도 2c~도 2g에 나타난 공정과 동일하므로 여기에서는 설명을 생략한다.

도 4b는, 게이트 전극(102)의 측벽에 사이드 월(105)을 형성함과 함께, 비실리사이드화 MOS 트랜지스터 TrB의 LDD층(104)에, 고농도 불순물 확산층(106)을 형성한 상태를 나타낸다. 이러한 상태의 기관을 얻기 위해서는, 우선, 도 2b에 나타난 공정과 동일하게 하여, 각 트랜지스터의 게이트 전극(102)의 측벽에 자기 정합적으로 사이드 월(105)을 형성한다. 다음에, 비실리사이드화 MOS 트랜지스터 TrB에, 사이드 월(105)을 이용한 자기 정합법에 의해, 반도체 기관(101)의 주면에 비소 등의 N형 불순물을 통상의 소스 및 드레인 확산층에 대해서 행해지는 것보다도 저도즈량으로 이온 주입을 행하여, 불순물 농도가  $1E19cm^{-3}$ 인 고농도 불순물 확산층(106)을 형성한다. 이 때, 실리사이드화 MOS 트랜지스터 TrA는, 이온 주입이 행해지지 않도록 마스크 등으로 덮어 둔다.

그 후, 도 4c~도 4g에 나타난 공정에 있어서, 도 2c~도 2g에 나타난 공정과 동일한 처리를 행함으로써, 본 실시 형태에 따른 반도체 장치가 얻어진다.

## (제3 실시 형태)

도 5는, 본 발명의 제3 실시 형태에 따른 반도체 장치의 구성을 도시한 단면도이다.

도 5에 있어서, 실리사이드화 영역 A에는, 제1 및 제2 실시 형태와 동일하게 구성된 실리사이드화 MOS 트랜지스터 TrA와, 종래와 동일한 구성을 갖는 실리사이드화 MOS 트랜지스터 TrC가 형성되고 있고, 비실리사이드화 영역 B에는, 제2 실시 형태와 동일하게 구성된 비실리사이드화 트랜지스터 TrB가 형성되어 있다. 이와 같이 각종의 트랜지스터를 구비한 반도체 장치는, 제2 실시 형태에 따른 반도체 장치보다도 더 넓은 범위의 반도체 장치에 적용할 수 있다.

이하에, 본 실시 형태에 따른 반도체 장치의 제조 방법으로 관해, 구체예를 들어 설명한다. 도 6은, 도 5에 나타난 반도체 장치를 제조하는 과정에 있어서의 각 공정에서의 기관 상태를 도시한 단면도이다. 도 6a는, 반도체 기관(101)의 주면에 실리사이드화 MOS 트랜지스터 TrA 및 TrC, 및 비실리사이드화 MOS 트랜지스터 TrB를 형성하기 위한 제작 상태를 나타낸다. 도 6a에 나타난 제작 상태의 반도체 기관을 얻기 위해서는, 도 2a에서 설명한 공정과 동일하게 하여, 각 트랜지스터가 형성되는 영역에, 게이트 산화막(103)을 통해 게이트 전극(102)을 형성한다. 그리고, 얻어진 게이트 전극(102)을 이용한 자기 정합법에 의해, 반도체 기관(101)의 주면에 소스 및 드레인 확산층이 되는 LDD층(104)을 형성한다.

도 6b는, 각 트랜지스터에 있어서, 게이트 전극(102)의 측벽에 사이드 월(105)을 형성함과 함께, 실리사이드화 MOS 트랜지스터 TrC 및 비실리사이드화 MOS 트랜지스터 TrB의 LDD층(104)에 고농도 불순물 확산층(106)을 형성한 상태를 나타낸다. 이러한 상태의 기관을 얻기 위해서는, 우선, 도 2b에 나타난 공정과 동일하게 하여, 각 트랜지스터의 게이트 전극(102)의 측벽에 사이드 월(105)을 형성한다. 다음에, 실리사이드화 MOS 트랜지스터 TrC 및 비실리사이드화 MOS 트랜지스터 TrB의 LDD층(104)에, 사이드 월(105)을 이용한 자기 정합법에 의해, 반도체 기관(101)의 주면에 N형 불순물을 통상의 소스 및 드레인 확산층에 대해서 행해지는 것보다도 저도즈량으로 이온 주입을 행하여, 불순물 농도가  $1E19cm^{-3}$ 인 고농도 불순물 확산층(106)을 형성한다. 이 때, 실리사이드화 MOS 트랜지스터 TrA는, 이온 주입이 행해지지 않도록 마스크 등으로 덮어 둔다.

도 6c는, 기판의 전면을 CVD 산화막(111)으로 덮은 상태를 나타낸다. CVD 산화막(111)은, 도 2c에 있어서 설명한 순서에 의해 형성된다. 도 6d는, CVD 산화막(111)을 선택적으로 에칭 처리한 상태를 나타낸다. CVD 산화막(111)의 에칭 처리는, 도 2d에 있어서 설명한 것과 동일하지만, 본 실시 형태에 있어서는, 실리사이드화 영역 A를 덮는 CVD 산화막(111), 즉, 실리사이드화 MOS 트랜지스터 TrA 및 TrC를 덮는 CVD 산화막(111)에만 HF계의 습식 에칭 처리를 실시한다. 이것에 의해, 실리사이드화 MOS 트랜지스터 TrA 및 TrC가 노출됨과 함께, 비실리사이드화 트랜지스터 TrB는, CVD 산화막(111)으로 덮여진 채로 상태가 된다. 또, 실리사이드화 MOS 트랜지스터 TrA 및 TrC에 있어서의 사이드 월(105)의 두께는, 오버 에칭분만큼 막두께가 감소한다.

도 6e는, 실리사이드화 MOS 트랜지스터 TrA의 LDD층(104)의 내부에 고농도 불순물 확산층(106)을 형성한 상태를 나타낸다. 고농도 불순물 확산층(106)은, 도 2e에 나타난 공정과 동일하게, 막두께가 감소한 사이드 월(105)을 이용한 자기 정합법에 의해 형성된다.

도 6f는, 반도체 기판(101)의 전면에 고용점 금속막(107)을 형성한 상태를 나타낸다. 고용점 금속막(107)은, 도 2f에 나타난 공정과 동일하게 하여 형성된다.

도 6g는, 반도체 기판(101)의 주면에 실리사이드화 MOS 트랜지스터 TrA 및 TrC, 및 비실리사이드화 MOS 트랜지스터 TrB가 형성된 상태를 나타낸다. 이러한 상태의 반도체 기판(101)은, 도 2g에 나타난 공정과 동일하게 하여 형성된다. 이것에 의해, 실리사이드화 MOS 트랜지스터 TrA 및 TrC, 및 비실리사이드화 트랜지스터 TrB와 같은 각종의 트랜지스터를, 동일 기판 상에 동시에 형성할 수 있다.

이상과 같이, 본 실시 형태에 따른 반도체 장치의 제조 방법에 의하면, 반도체 장치에 포함되는 복수의 트랜지스터에 있어서, 원하는 트랜지스터에만 오프 리크 특성을 향상시키는 것이 가능해진다.

또한, 상기 각 실시 형태에서는, 게이트 전극(102) 상에 실리사이드층(108)이 형성된 MOS 트랜지스터를 예로 들어 설명하였지만, 본 발명은 이것에 한정되는 것이 아니고, 게이트 전극(102)의 표면은 실리사이드화되어 있지 않아도 된다. 또, 상기 각 실시 형태에서는, 실리사이드층(108)을 형성하는 실리사이드로서 Co 실리사이드를 예로 들어 설명하였지만, 실리사이드층은 Ti 실리사이드나 Ni 실리사이드 등으로 형성되어 있어도 된다. 또, 상기 각 실시 형태에서 예로 든 게이트 전극(102), 사이드 월(105) 및 CVD 산화막(111) 등의 두께나 재료 및 열 처리 조건 등은, 본 발명의 일례를 나타낸 것으로, 상기 각 실시 형태에서 나타난 것에 한정되는 것은 아니다. 또한, 상기 각 실시 형태에서는, P형 반도체 기판에 N형 불순물층이 형성된 트랜지스터를 예로 들어 설명하였지만, 본 발명은, N형 반도체 기판에 P형 불순물층이 형성된 트랜지스터 등에도 적용 가능하다.

### 산업상 이용 가능성

본 발명의 반도체 장치 및 그 제조 방법은, 오프 리크 특성이 좋은 실리사이드화 트랜지스터와, 실리사이드화되어 있지 않은 트랜지스터를 동일 기판 상에 실현할 수 있다는 특징을 가지므로, 이미지 센서나 차제품 반도체 등에 유용하다.

### 도면의 간단한 설명

도 1a~도 1c는, 본 발명의 제1 실시 형태에 따른 반도체 집적 회로의 구성을 도시한 단면도, 주요부의 확대 모식도, 및 공핍층의 상태를 도시한 단면도이다.

도 2a~도 2g는, 상기 실시 형태에 따른 반도체 집적 회로의 제조 공정을 설명한 도면이다.

도 3은, 본 발명의 제2 실시 형태에 따른 반도체 집적 회로의 구성을 도시한 단면도이다.

도 4a~도 4g는, 상기 실시 형태에 따른 반도체 집적 회로의 제조 방법을 설명한 도면이다.

도 5는, 본 발명의 제3 실시 형태에 따른 반도체 집적 회로의 구성을 도시한 단면도이다.

도 6a~도 6g는, 상기 실시 형태에 따른 반도체 집적 회로의 제조 방법을 설명한 도면이다.

도 7은, 종래의 반도체 집적 회로의 구성을 도시한 단면도이다.

도 8a~도 8g는, 종래의 반도체 집적 회로의 제조 공정을 설명한 도면이다.

도 9는, 종래의 반도체 집적 회로에 있어서의 공핍층의 상태를 도시한 단면도이다.

[부호의 설명]

101...반도체 기판 102...게이트 전극

103...게이트 산화막 104...LDD층

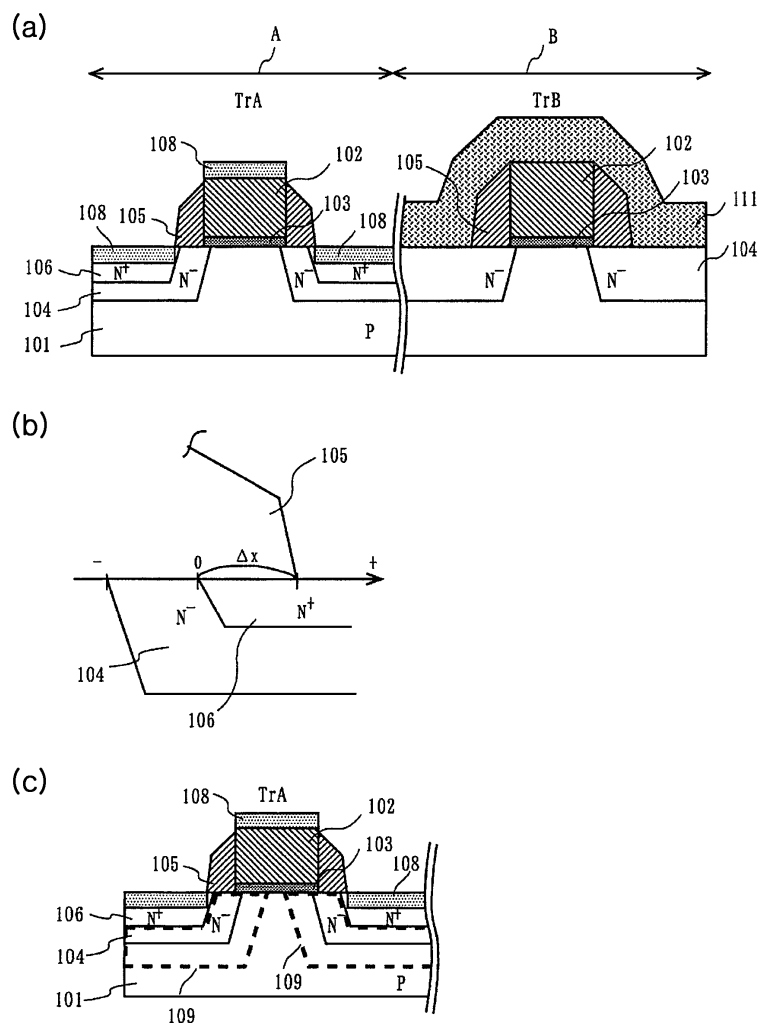
105...사이드 월 106...고농도 불순물 확산층

107...고융점 금속막 108...실리사이드층

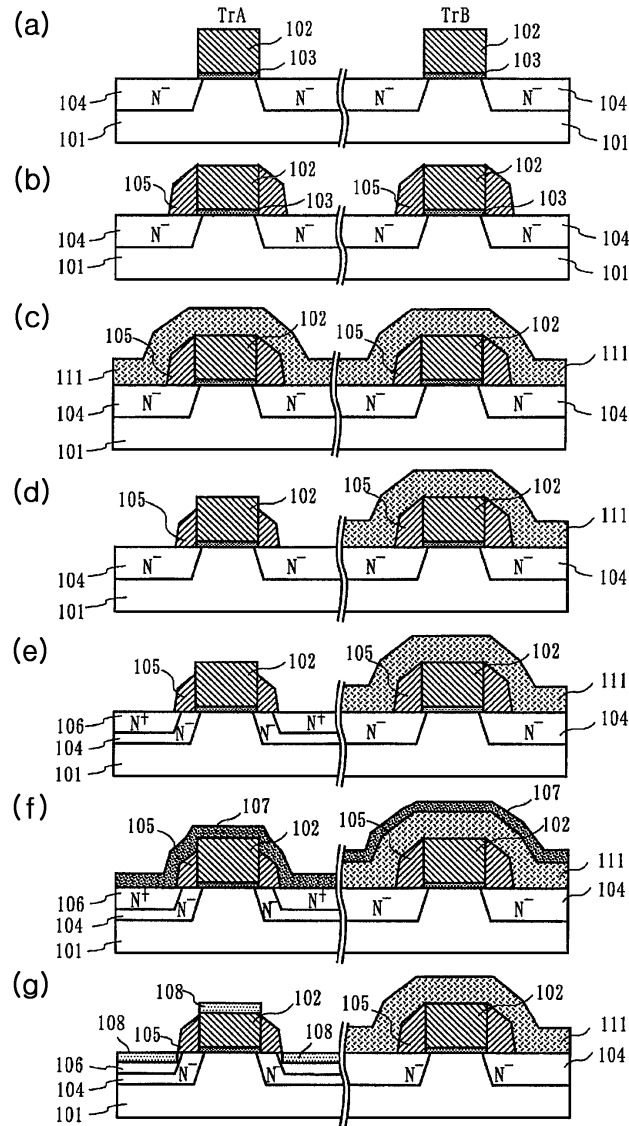
109...공핍층 111...CVD 산화막

도면

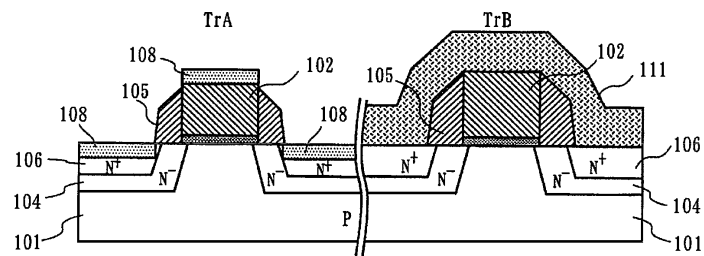
도면1



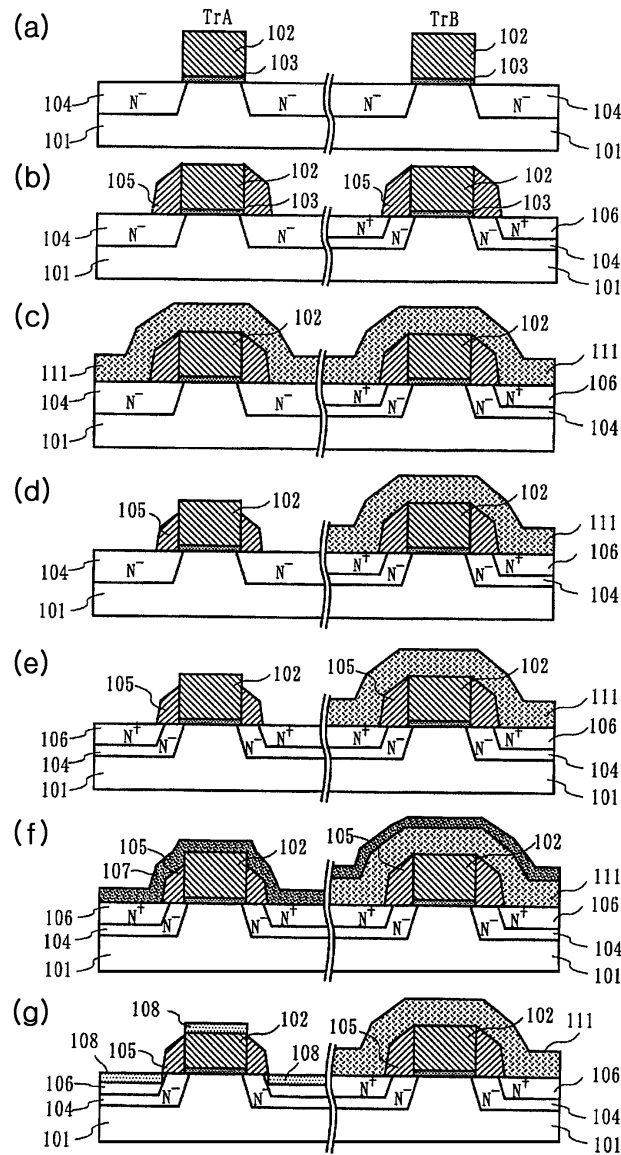
도면2



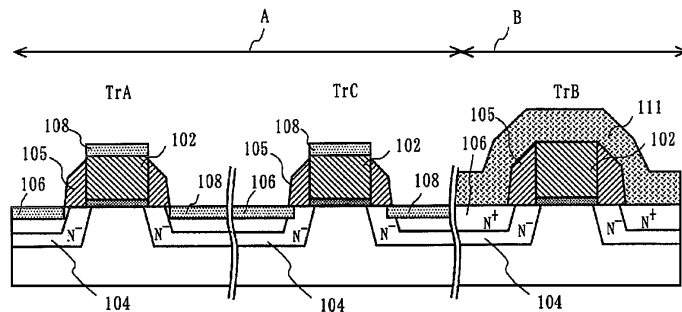
도면3



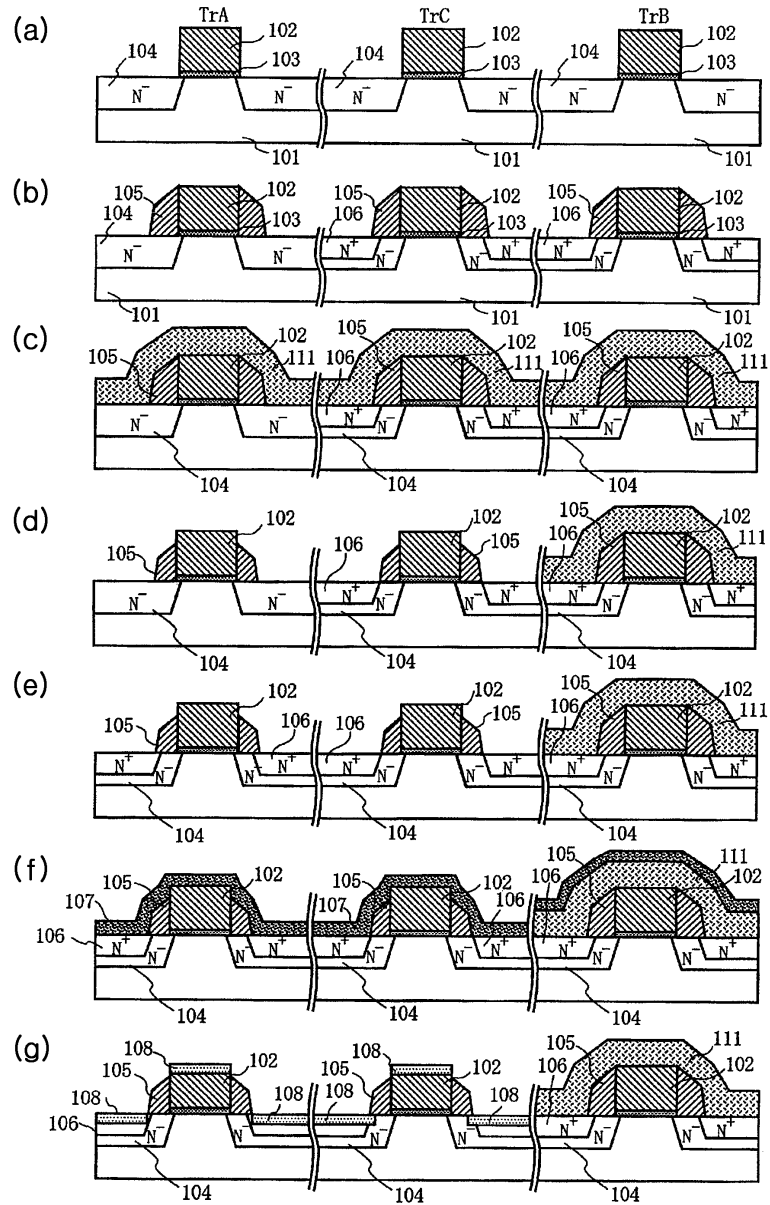
도면4



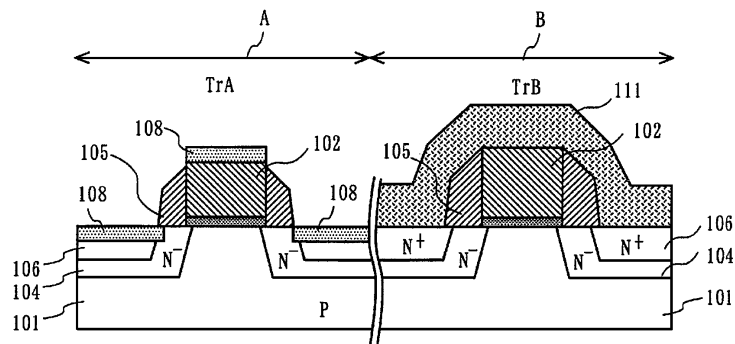
도면5



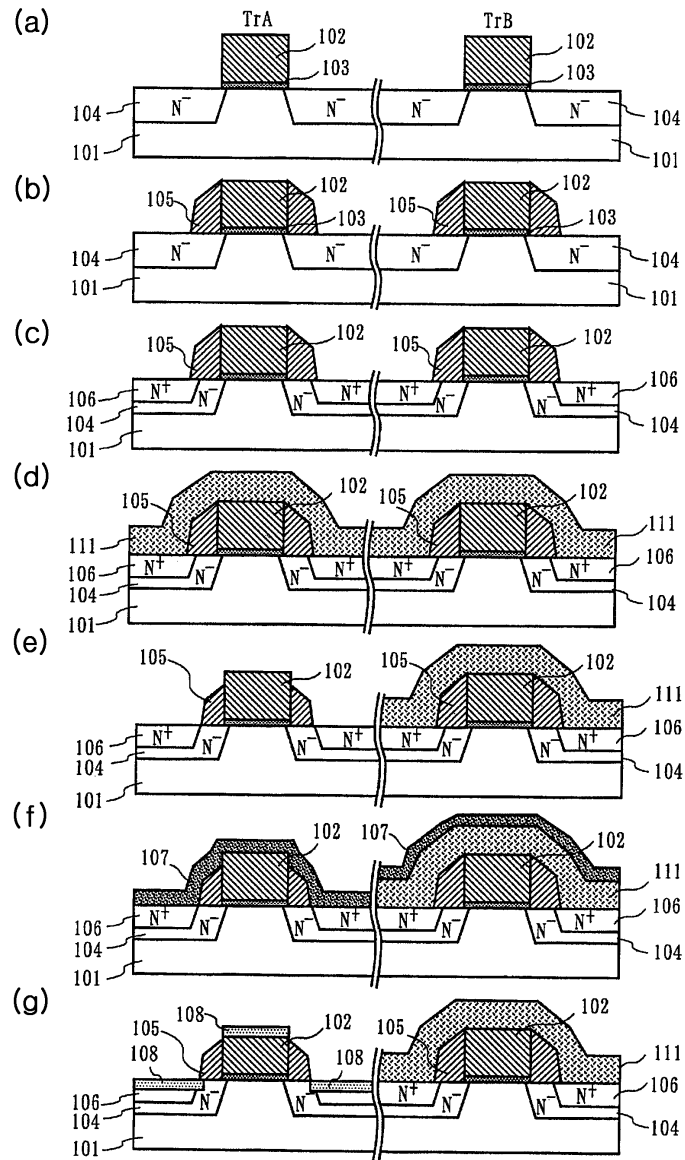
도면6



도면7



도면8



도면9

