(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0001070
(43) 공개일자 2016년01월06일

(51) 국제특허분류(Int. Cl.)
H02M 3/155 (2006.01) *H02M 1/08* (2006.01)
H02M 3/10 (2006.01)
(21) 출원번호 10-2014-0078803
(22) 출원일자 2014년06월26일
심사청구일자 2014년06월26일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
강진구
서울특별시 서초구 잠원로12길 5, 335동 1003호(잠원동, 신반포아파트)
석양
인천광역시 남구 학익동 인하대학교 제2생활관
(74) 대리인
양성보

전체 청구항 수 : 총 5 항

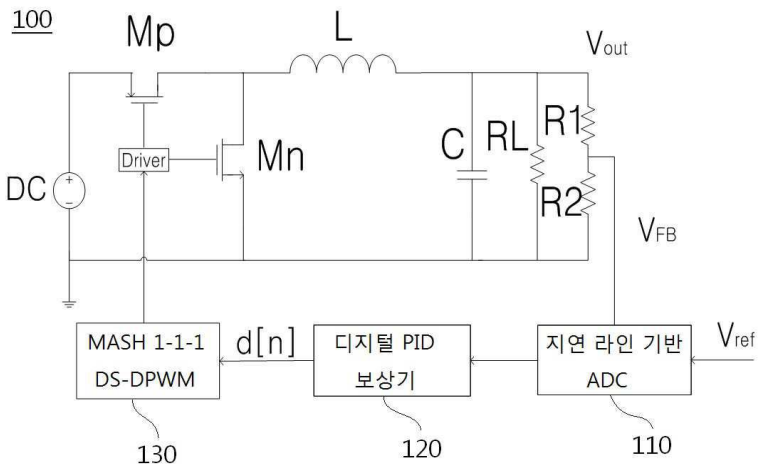
(54) 발명의 명칭 **DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 및 그 제어 방법**

(57) 요 약

DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 및 그 제어 방법이 제시된다.

DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러에 있어서, 피드백 전압과 기준 전압과의 오차를 샘플링 하는 지연 라인 기반의 아날로그 디지털 변환기; 상기 아날로그 디지털 변환기로부터 샘플링된 신호를 수신하여 발생되는 오류 신호를 처리하고, 듀티 사이클 신호를 생성하는 디지털 PID 보상기; 및 상기 디지털 PID 보상기로부터 수신한 상기 듀티 사이클 신호에 따라, 전력 스위치의 온(on), 오프(off) 시간을 제어하기 위한 고정 주파수 펄스 폭 변조 파형을 생성하는 상기 매쉬(MASH) 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기를 포함한다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러에 있어서,

피드백 전압과 기준 전압과의 오차를 샘플링 하는 지연 라인 기반의 아날로그 디지털 변환기;

상기 아날로그 디지털 변환기로부터 샘플링된 신호를 수신하여 발생되는 오류 신호를 처리하고, 듀티 사이클 신호를 생성하는 디지털 PID 보상기; 및

상기 디지털 PID 보상기로부터 수신한 상기 듀티 사이클 신호에 따라, 전력 스위치의 온(on), 오프(off) 시간을 제어하기 위한 고정 주파수 펄스 폭 변조 파형을 생성하는 매쉬(MASH) 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기

를 포함하는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러.

청구항 2

제1항에 있어서,

상기 디지털 펄스 폭 변조기는

로우 패스 필터(Low Pass Filter)와 연결되어 상기 고정 주파수 펄스 폭 변조 파형을 필터링 함으로써, 낮은 주파수 영역에서 최적의 성능을 얻을 수 있는 것

을 특징으로 하는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러.

청구항 3

제1항에 있어서,

상기 디지털 펄스 폭 변조기는

딜레이 라인, 멀티플렉서, 그리고 RS 래치를 포함하고,

상기 딜레이 라인을 통해 검출된 듀티 사이클 신호(d[n])의 n 비트(bit)와 클럭 신호가 각각 상기 멀티플렉서에 입력되며, 상기 멀티플렉서의 출력과 상기 클럭 신호는 상기 RS 래치로 각각 연결되어 출력 신호를 얻는 것

을 특징으로 하는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러.

청구항 4

DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 제어 방법에 있어서,

피드백 전압과 기준 전압과의 오차를 지연 라인 기반의 아날로그 디지털 변환기로 샘플링 하는 단계;

상기 아날로그 디지털 변환기로부터 샘플링된 신호를 디지털 PID 보상기에서 수신하여 발생되는 오류 신호를 처리하고, 듀티 사이클 신호를 생성하는 단계; 및

매쉬(MASH) 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기는 상기 디지털 PID 보상기로부터 수신한 상기 듀티 사이클 신호에 따라, 전력 스위치의 온(on), 오프(off) 시간을 제어하기 위한 고정 주파수 펄스 폭 변조 파형을 생성하는 단계

를 포함하는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 제어 방법.

청구항 5

제4항에 있어서,

상기 고정 주파수 펄스 폭 변조 파형을 생성하는 단계는

매쉬 1-1-1 델타-시그마 변조기 기반의 상기 디지털 펄스 폭 변조기의 뒤에 로우 패스 필터(Low Pass Filter)를 구성하여, 상기 고정 주파수 펄스 폭 변조 파형을 필터링 하는 것

을 특징으로 하는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 제어 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 및 그 제어 방법에 관한 것이다. 더욱 상세하게는, DC-DC 컨버터 시스템에서 높은 해상도 낮은 전력 디지털 제어기와 더 안정된 출력을 얻을 수 있는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 및 그 제어 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 낮은 전력 디지털 제어 DC-DC 컨버터는 가변 공급 장치(ex. 배터리)에서 일정한 출력 전압으로 전송하기 위해, 휴대폰 또는 휴대용 디바이스와 같은 저전력 디바이스에서 사용된다. 그리고, 컨트롤러는 출력 전압을 모니터하고, 스위칭 컨버터에 적합한 저전력 펄스 폭 변조 제어 신호를 제공하는 것이다.

[0003] DC-DC 컨버터를 위한 디지털 컨트롤러는 낮은 비용으로 매개 변수의 변동에 대한 낮은 민감도 및 설계 주기의 단축이 가능하여 계속적으로 발전하고 있다.

[0004] 따라서, 저 전력에서 높은 해상도와 안정적인 출력 전압을 얻을 수 있는 DC-DC 컨버터용 고해상도 및 저전력 MASH 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러가 요구된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 매쉬(MASH) 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기를 이용하여, DC-DC 컨버터 시스템에서 높은 해상도 낮은 전력 디지털 제어기와 더 안정된 출력을 얻을 수 있는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 및 그 제어 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러에 있어서, 피드백 전압과 기준 전압과의 오차를 샘플링 하는 지연 라인 기반의 아날로그 디지털 변환기; 상기 아날로그 디지털 변환기로부터 샘플링된 신호를 수신하여 발생되는 오류 신호를 처리하고, 듀티 사이클 신호를 생성하는 디지털 PID 보상기; 및 상기 디지털 PID 보상기로부터 수신한 상기 듀티 사이클 신호에 따라, 전력 스위치의 온(on), 오프(off) 시간을 제어하기 위한 고정 주파수 펄스 폭 변조 파형을 생성하는 매쉬(MASH) 1-1-1 델타-시그마 변조기 기반의 상기 디지털 펄스 폭 변조기를 포함한다.

[0007] 상기 디지털 펄스 폭 변조기는 로우 패스 필터(Low Pass Filter)와 연결되어 상기 고정 주파수 펄스 폭 변조 파형을 필터링 함으로써, 낮은 주파수 영역에서 최적의 성능을 얻을 수 있다.

[0008] 상기 디지털 펄스 폭 변조기는 딜레이 라인, 멀티플렉서, 그리고 RS 래치를 포함하고, 상기 딜레이 라인을 통해 검출된 듀티 사이클 신호(d[n])의 n 비트(bit)와 클럭 신호가 각각 상기 멀티플렉서에 입력되며, 상기 멀티플렉서의 출력과 상기 클럭 신호는 상기 RS 래치로 각각 연결되어 출력 신호를 얻을 수 있다.

[0009] 다른 측면에 있어서, 본 발명에서 제안하는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 제어 방법에 있어서, 피드백 전압과 기준 전압과의 오차를 지연 라인 기반의 아날로그 디지털 변환기로 샘플링 하는 단계; 상기 아날로그 디지털 변환기로부터 샘플링된 신호를 디지털 PID 보상기에서 수신하여 발생되는 오류 신호를 처리하고, 듀티 사이클 신호를 생성하는 단계; 및 매쉬(MASH) 1-1-1 델타-시그

마 변조기 기반의 디지털 펄스 폭 변조기는 상기 디지털 PID 보상기로부터 수신한 상기 듀티 사이클 신호에 따라, 전력 스위치의 온(on), 오프(off) 시간을 제어하기 위한 고정 주파수 펄스 폭 변조 파형을 생성하는 단계를 포함한다.

[0010] 상기 고정 주파수 펄스 폭 변조 파형을 생성하는 단계는 매쉬 1-1-1 델타-시그마 변조기 기반의 상기 디지털 펄스 폭 변조기의 뒤에 로우 패스 필터(Low Pass Filter)를 구성하여, 상기 고정 주파수 펄스 폭 변조 파형을 필터링 할 수 있다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면 매쉬(MASH) 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기를 이용하여, DC-DC 컨버터 시스템에서 높은 해상도 낮은 전력 디지털 제어기와 더 안정된 출력을 얻을 수 있는 DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 및 그 제어 방법을 제공할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 DC-DC 컨버터를 위한 디지털 PWM 컨트롤러를 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 델타-시그마 변조기의 양자화 노이즈 쉐이핑 성능을 나타낸 도이다.

도 3은 본 발명의 일 실시예에 따른 MASH 1-1-1 델타-시그마 변조기의 구조를 나타내는 블록도이다.

도 4는 본 발명의 일 실시예에 따른 DC-DC 컨버터의 출력 전압을 나타낸 도이다.

도 5는 본 발명의 일 실시예에 따른 DC-DC 컨버터를 위한 디지털 PWM 컨트롤러 제어 방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0014] 도 1은 본 발명의 일 실시예에 따른 DC-DC 컨버터를 위한 디지털 PWM 컨트롤러를 나타내는 블록도이다.

[0015] 도 1을 참조하면, DC-DC 컨버터를 위한 디지털 PWM 컨트롤러(100)는 아날로그 디지털 변환기(110), 디지털 PID 보상기(120), 그리고 디지털 펄스 폭 변조기(130)를 포함할 수 있다.

[0016] 아날로그 디지털 변환기(Analog-Digital Converter; ADC)(110)는 지연 라인 기반의 아날로그 디지털 변환기로, 피드백 전압(V_{FB})과 기준 전압(Vref)과의 오차를 샘플링 할 수 있다.

[0017] 디지털 PID(Proportional plus Integral plus Derivative) 보상기(120)는 오류 신호를 처리하고, 듀티 사이클(duty cycle) 신호 d[n]를 생성할 수 있다. 또한, 디지털 PID 보상기(120)는 발생되는 오차 및 외부의 영향을 오프셋을 하기 위해 사용될 수 있다.

[0018] 그리고, 디지털 PID 보상기(120)는 비례(P), 적분(I), 미분(D) 동작을 하도록 조합된 것으로, PI 동작을 통해 오프셋(offset)을 없애도 안정도가 부족하므로, D 동작을 더하여 안정화시키는 것이 바람직하다. 즉, P는 전체 시스템의 응답 속도를 빠르게 하고, I는 정상 상태 오차(steady state error)를 제거하지만 전체 시스템을 불안정하게 만들기 때문에, D를 통해 오버슈트(overshoot)를 제거하여 안정화시킬 수 있다.

[0019] 디지털 펄스 폭 변조기(Digital Pulse Width Modulation; DS-DPWM)(130)는 매쉬 1-1-1 델타-시그마 변조기(MASH 1-1-1 Delta-Sigma Modulation) 기반의 디지털 펄스 폭 변조기로, 듀티 사이클 신호 d[n]에 따라 전력 스위치의 온(on) 시간과 오프(off) 시간을 제어하기 위한 고정 주파수 펄스 폭 변조(PWM) 파형을 생성할 수 있다.

[0020] 여기서, MASH 1-1-1 델타-시그마 변조기는 계단식 구성에서 축전지를 사용할 수 있다. 그리고, MASH 1-1-1 델타-시그마 변조기는 가산기와 D 플립플롭(Delay Flip-Flop)으로 구성되므로, MASH 구조 및 구현 방법이 매우 간단하다.

[0021] 또한, MASH 구조는 하나의 출력을 가지는 단일 루프와는 다르게 사용된 루프의 수만큼 출력을 발생시킬 수

있다. 이러한, 출력은 디지털 양자화 잡음 제거 블록에서 합쳐져서 이상적인 잡음 변형 특성을 얻을 수 있다.

[0022] 이때, 디지털 MASH 구조체의 양자화 잡음은 최종 누산기의 잡음이고, 노이즈 쉐이핑 차수는 누산기(Accumulator)의 계수와 동일할 수 있다. 따라서, 매쉬 1-1-1 델타-시그마 변조기(MASH 1-1-1 Delta-Sigma Modulation) 기반의 디지털 펄스 폭 변조기는 일반적인 3차 델타-시그마 변조기의 효과를 형성하는 3차 노이즈 쉐이핑 효과를 나타낼 수 있다.

[0023] 도 2는 본 발명의 일 실시예에 따른 델타-시그마 변조기의 양자화 노이즈 쉐이핑 성능을 나타낸 도이다.

[0024] 도 2에 도시한 바와 같이, 1차 델타-시그마 변조기, 2차 델타-시그마 변조기, 그리고 MASH 1-1-1 델타-시그마 변조기의 양자화 노이즈 쉐이핑(Noise Shaping) 성능을 나타낼 수 있다. 이러한 변조기의 뒤에 로우 패스 필터(Low Pass Filter)를 구성하여 필터링 함으로써, MASH 1-1-1 델타-시그마 변조기가 낮은 주파수 영역에서 최적의 성능을 얻을 수 있다.

[0025] 도 3은 본 발명의 일 실시예에 따른 MASH 1-1-1 델타-시그마 변조기의 구조를 나타내는 블록도이다.

[0026] 도 3을 참조하면, MASH 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기의 구조를 확인할 수 있다.

[0027] MASH 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기(Digital Pulse Width Modulation; DPWM)(300)는 딜레이 라인(310), 멀티플렉서(320), 그리고 RS 래치(330)를 포함할 수 있다.

[0028] 딜레이 라인(310)으로 듀티 비 신호 d[n]가 입력되며, 딜레이 라인(310)을 통해 검출된 n 비트(bit)(d[n])는 멀티플렉서(320)에 연결될 수 있다. 또한, 외부의 클럭이 지연 버퍼를 통해 멀티플렉서(320)에 입력되고, 클럭 신호와 멀티플렉서(320)의 출력은 RS 래치(330)로 연결될 수 있다. 따라서, RS 래치(330)를 셋(set) 또는 리셋(reset)하여 하이(high) 또는 로우(low)의 출력 신호(DPWM)를 얻을 수 있다. 이때, 지속시간은 입력(d[n])에 비례하는 펄스가 형성되며, RS 래치(330)가 다시 셋(set)되면 새로운 스위칭 사이클이 시작될 수 있다.

[0029] 이러한, MASH 1-1-1 델타-시그마 디지털 펄스 폭 변조는 3 비트 코어 디지털 펄스 폭 변조(DPWM) 및 최대 8 비트까지 디지털 펄스 폭 변조(DPWM)의 해상도를 향상한 MASH 1-1-1 델타-시그마 변조기로 구성될 수 있다. 이때, 듀티 비(duty ratio) 신호 d[n]에 따라 코어 디지털 펄스 폭 변조(DPWM)가 주기적으로 많아져야, 8 레벨 사이의 저해상도 출력을 변경하여 출력의 평균값을 서서히 고해상도 가까워지도록 할 수 있다.

[0030] 도 4는 본 발명의 일 실시예에 따른 DC-DC 컨버터의 출력 전압을 나타낸 도이다.

[0031] 도 4를 참조하면, 1차 델타-시그마 변조기(Delta-Sigma Digital PWM; DS-DPWM), 2차 델타-시그마 변조기, 그리고 MASH 1-1-1 델타-시그마 변조기를 사용할 때에 DC-DC 컨버터의 출력 전압을 나타낼 수 있다.

[0032] 예를 들어, 10MHz의 스위칭 주파수에서 듀티 비 입력 8b'10100001 가진 DC-DC 변환기의 시뮬레이션 결과를 나타낼 수 있다. 그 결과, MASH 1-1-1 델타-시그마 변조기를 사용함으로써, 출력 전압의 리플(Ripple)을 저감할 수 있다. 여기서, 리플(Ripple)은 직류에 포함되어 있는 교류 성분으로, 일반적으로 잡음의 원인이 되므로 제거하거나 낮추어야 하는 것이다.

[0033] 도 5는 본 발명의 일 실시예에 따른 DC-DC 컨버터를 위한 디지털 PWM 컨트롤러 제어 방법을 나타내는 흐름도이다.

[0034] 도 5를 참조하면, DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러를 이용하여, DC-DC 컨버터용 고해상도 저전력 매쉬 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러 제어 방법을 나타낼 수 있다.

[0035] 단계(510)에서, 아날로그 디지털 변환기는 피드백 전압과 기준 전압과의 오차를 지연 라인 기반 아날로그 디지털 변환기로 샘플링 할 수 있다.

[0036] 단계(520)에서, 디지털 PID 보상기는 지연 라인 기반 아날로그 디지털 변환기로부터 샘플링된 신호를 수신할 수 있다. 그리고, 디지털 PID 보상기에서 샘플링된 신호를 수신하여, 발생되는 오류 신호를 처리하고, 듀티 사이클

신호를 생성할 수 있다.

[0037] 단계(530)에서, 매쉬(MASH) 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기는 디지털 PID 보상기로부터 듀티 사이클 신호를 수신할 수 있다. 그리고, 디지털 펄스 폭 변조기는 수신한 듀티 사이클 신호에 따라, 전력 스위치의 온(on), 오프(off) 시간을 제어하기 위한 고정 주파수 펄스 폭 변조 파형을 생성할 수 있다.

[0038] 여기서, 고정 주파수 펄스 폭 변조 파형을 생성하는 단계는 매쉬 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기의 뒤에 로우 패스 필터(Low Pass Filter)를 구성하여, 고정 주파수 펄스 폭 변조 파형을 필터링 할 수 있다.

[0039] 그리고, MASH 1-1-1 델타-시그마 변조기 기반의 디지털 펄스 폭 변조기(Digital Pulse Width Modulation; DPWM)는 딜레이 라인으로 듀티 비 신호 d[n]가 입력되며, 딜레이 라인을 통해 검출된 n 비트(bit)(d[n])는 멀티플렉서에 연결될 수 있다.

[0040] 또한, 외부의 클럭이 지연 버퍼를 통해 멀티플렉서에 입력되고, 클럭 신호와 멀티플렉서의 출력은 RS 래치로 연결될 수 있다. 따라서, RS 래치를 셋(set) 또는 리셋(reset)하여 하이(high) 또는 로우(low)의 출력 신호(DPWM)를 얻을 수 있다. 이때, 지속시간은 입력(d[n])에 비례하는 펄스가 형성되며, RS 래치가 다시 셋(set)되면 새로운 스위칭 사이클이 시작될 수 있다.

[0041] 이러한, MASH 1-1-1 델타-시그마 디지털 펄스 폭 변조는 3 비트 코어 디지털 펄스 폭 변조(DPWM) 및 최대 8 비트까지 디지털 펄스 폭 변조(DPWM)의 해상도를 향상한 MASH 1-1-1 델타-시그마 변조기로 구성될 수 있다. 이때, 듀티 비(duty ratio) 신호 d[n]에 따라 코어 디지털 펄스 폭 변조(DPWM)가 주기적으로 많아져야, 8 레벨 사이의 저해상도 출력을 변경하여 출력의 평균값을 서서히 고해상도 가까워지도록 할 수 있다.

[0042] 따라서, 본 발명은 10MHz의 스위칭 주파수에서 작동하는 DC-DC 컨버터용 고해상도 및 저전력 MASH 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러로, 시뮬레이션 결과 MASH 1-1-1 델타-시그마 디지털 펄스 폭 변조 컨트롤러는 더 안정적인 출력 전압을 얻을 수 있다.

[0043] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0044] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0045] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media),

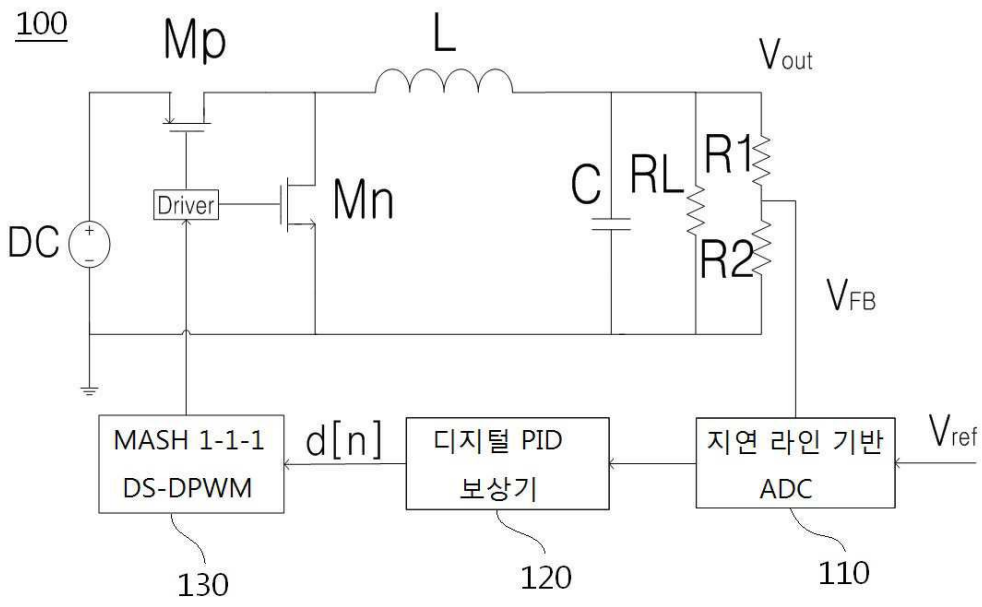
CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0046] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

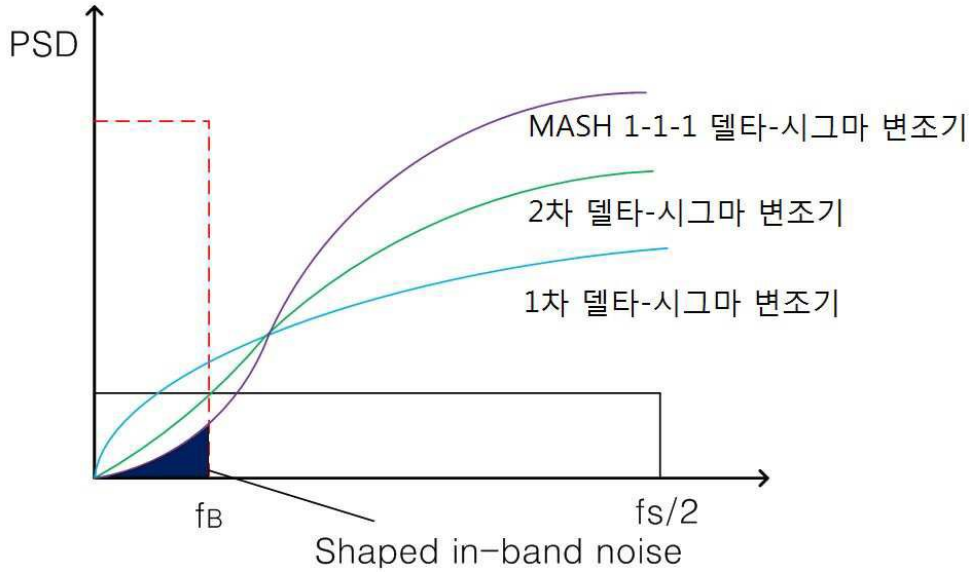
[0047] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

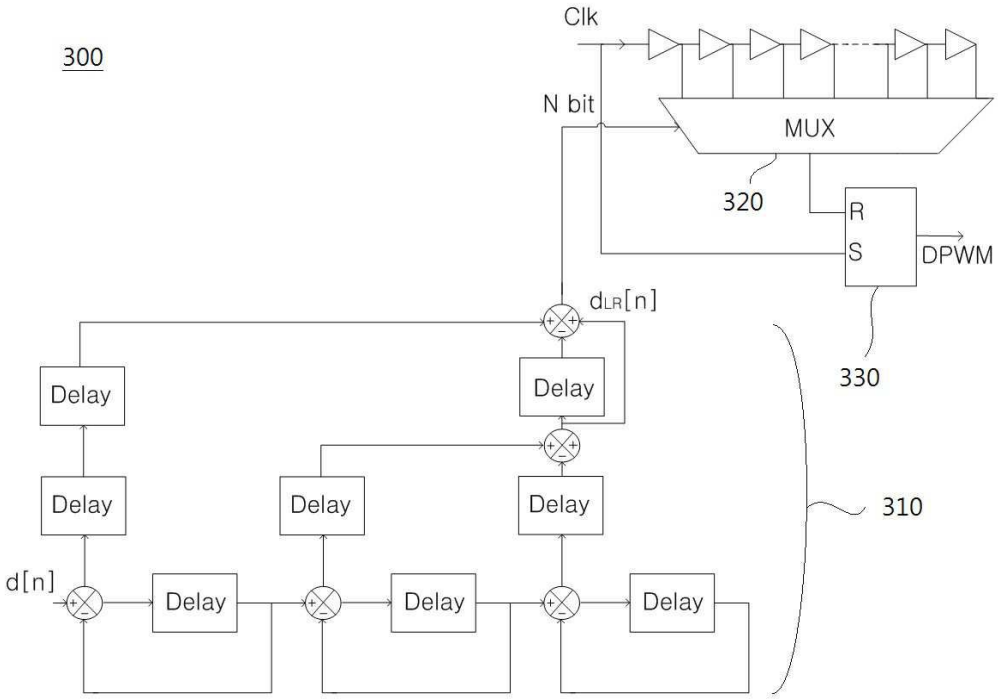
도면1



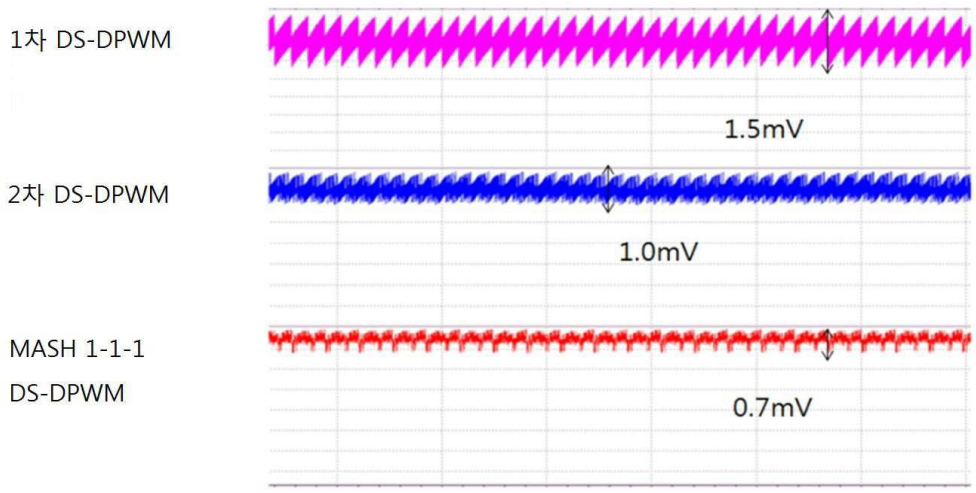
도면2


PSD
MASH 1-1-1 델타-시그마 변조기
2차 델타-시그마 변조기
1차 델타-시그마 변조기
fB
fs/2
Shaped in-band noise

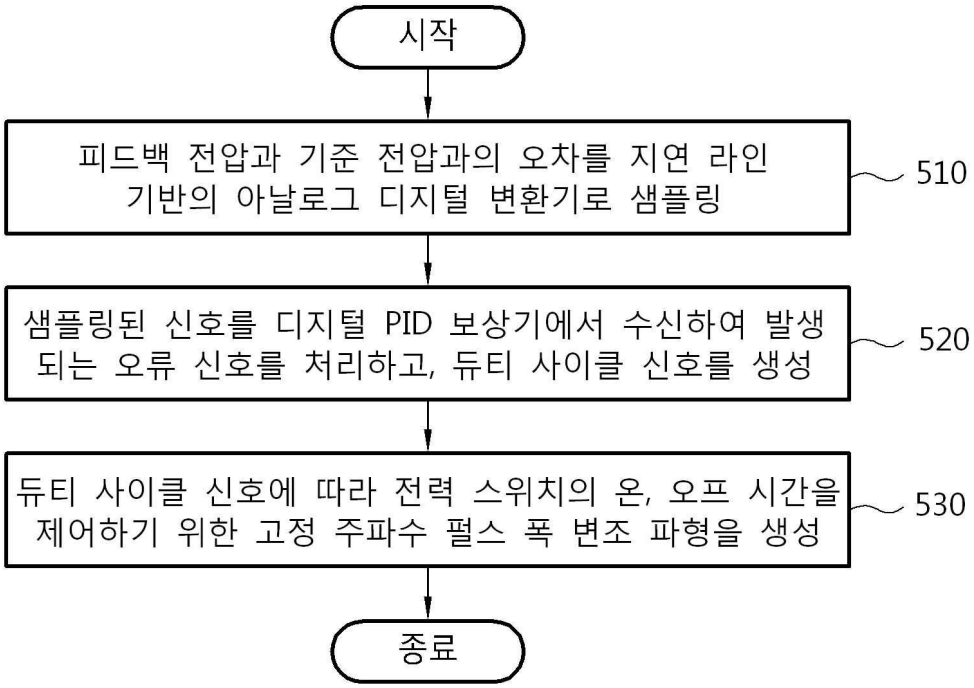
도면3


300
Clk
N bit
MUX
320
R
S
DPWM
330
dLR[n]
Delay
Delay
Delay
Delay
Delay
Delay
Delay
Delay
d[n]
310

도면4


1차 DS-DPWM
1.5mV
2차 DS-DPWM
1.0mV
MASH 1-1-1
DS-DPWM
0.7mV

도면5


시작
피드백 전압과 기준 전압과의 오차를 지연 라인 기반의 아날로그 디지털 변환기로 샘플링
510
샘플링된 신호를 디지털 PID 보상기에서 수신하여 발생되는 오류 신호를 처리하고, 듀티 사이클 신호를 생성
520
듀티 사이클 신호에 따라 전력 스위치의 온, 오프 시간을 제어하기 위한 고정 주파수 펄스 폭 변조 파형을 생성
530
종료