

(72) 발명자

김성구

서울 송파구 가락1동 시영아파트 120-206

전상민

경기 수원시 영통구 영통동 1039-4 옥상

특허청구의 범위

청구항 1

셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판;
 상기 셀 어레이 영역을 가로지르며 상기 제1 코어 영역으로 연장된 제1 및 제2 도전성 라인들; 및
 상기 셀 어레이 영역을 가로지르며 상기 제2 코어 영역으로 연장된 제3 및 제4 도전성 라인들을 포함하되, 상기 제1, 제2, 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 차례로 배열됨과 아울러 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 치수(dimension)의 선 폭을 갖는 반도체소자.

청구항 2

제 1 항에 있어서,
 상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 리소그래피 공정의 한계분해능보다 작은 치수의 제1 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 갖고,
 상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 제1 거리만큼 이격되고 상기 제2 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 갖는 반도체소자.

청구항 3

제 1 항에 있어서,
 상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되고,
 상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 작은 제2 길이만큼 연장되고,
 상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장되고,
 상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장된 반도체소자.

청구항 4

제 1 항에 있어서,
 상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되고,
 상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되고,
 상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장되고,
 상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장된 반도체소자.

청구항 5

제 1 항에 있어서,
 상기 셀 어레이 영역에서 상기 제2 및 제3 도전성 라인들은 리소그래피 공정의 한계분해능보다 작은 치수의 제1 거리만큼 이격되고,
 상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제2 거리보다 큰 제3 거리만큼 이격된 부분을 갖고,
 상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 상기 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제3 거리만큼 이격된 부분을 갖는 반도체소자.

청구항 6

제 1 항에 있어서,

상기 제1 코어 영역에서 상기 제1 및 2 도전성 라인들의 끝부분들에 전기적으로 접속된 제1 콘택 패드들; 및
 상기 제2 코어 영역에서 상기 제3 및 제4 도전성 라인들의 끝부분들에 전기적으로 접속된 제2 콘택 패드들을 더 포함하는 반도체소자.

청구항 7

제 6 항에 있어서,

상기 제1 코어 영역의 상기 제1 및 제2 도전성 라인들 끝부분들과 상기 제1 콘택 패드들 사이에 제공된 제1 접속부들; 및

상기 제2 코어 영역의 상기 제3 및 제4 도전성 라인들 끝부분들과 상기 제2 콘택 패드들 사이에 제공된 제2 접속부들을 더 포함하되, 상기 제1 및 제2 접속부들의 각각은 상기 제1 내지 제4 도전성 라인들보다 큰 폭을 가짐과 아울러 상기 제1 및 제2 콘택 패드들보다 작은 폭을 갖는 반도체소자.

청구항 8

제 6 항에 있어서,

상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되고,

상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열된 반도체소자.

청구항 9

제 1 항에 있어서,

상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서보다 상기 제1 코어 영역에서 큰 선폭을 갖고,

상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서보다 상기 제2 코어 영역에서 큰 선폭을 갖는 반도체소자.

청구항 10

제 1 항에 있어서,

상기 제1 내지 제4 도전성 라인들은 매립 게이트 라인들(buried gate lines) 또는 비트라인들인 것을 특징으로 하는 반도체소자.

청구항 11

셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판;

상기 셀 어레이 영역을 가로지르며 상기 제1 및 제2 코어 영역들로 연장되고 상기 셀 어레이 영역에서 차례로 배열됨과 아울러 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 치수(dimension)의 선 폭을 갖는 제1, 제2, 제3 및 제4 도전성 라인들;

상기 제1 코어 영역에서의 상기 제2 및 제4 도전성 라인들의 끝부분들에 전기적으로 접속된 제1 콘택 패드들; 및

상기 제2 코어 영역에서의 상기 제1 및 제3 도전성 라인들의 끝부분들에 전기적으로 접속된 제2 콘택 패드들을 포함하되, 상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되고, 상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열된 반도체소자.

청구항 12

제 11 항에 있어서,

상기 셀 어레이 영역에서 상기 제1 및 2 도전성 라인들은 리소그래피 공정의 한계 분해능(resolution limit)보

다 작은 치수(dimension)의 제1 거리만큼 이격됨과 아울러 상기 제3 및 4 도전성 라인들은 상기 제1 거리만큼 이격되고,

상기 셀 어레이 영역에서 상기 제2 및 제3 도전성 라인들은 상기 제1 거리보다 큰 제2 거리만큼 이격된 반도체 소자.

청구항 13

제 11 항에 있어서,

상기 제1 및 제3 도전성 라인들의 각각은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장됨과 아울러 상기 제2 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되고,

상기 제2 및 제4 도전성 라인들의 각각은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장됨과 아울러 상기 제1 코어 영역으로 상기 제2 길이만큼 연장된 반도체 소자.

청구항 14

제 11 항에 있어서,

상기 제1 코어 영역의 상기 제2 및 제4 도전성 라인들 끝부분들과 상기 제1 콘택 패드들 사이에 제공된 제1 접속부들; 및

상기 제2 코어 영역의 상기 제3 및 제4 도전성 라인들 끝부분들과 상기 제2 콘택 패드들 사이에 제공된 제2 접속부들을 더포함하되, 상기 제1 및 제2 접속부들의 각각은 상기 제1 내지 제4 도전성 라인들보다 큰 폭을 가짐과 아울러 상기 제1 및 제2 콘택 패드들보다 작은 폭을 갖는 반도체 소자.

청구항 15

제 11 항에 있어서,

상기 제1 내지 제4 도전성 라인들은 매립 게이트 라인들(buried gate lines)인 것을 특징으로 하는 반도체 소자.

청구항 16

셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판을 준비하고,

상기 셀 어레이 영역을 가로지르며 상기 제1 코어 영역으로 연장된 제1 및 제2 도전성 라인들을 형성함과 아울러 상기 셀 어레이 영역을 가로지르며 상기 제2 코어 영역으로 연장된 제3 및 제4 도전성 라인들을 형성하는 것을 포함하되, 상기 제1, 제2, 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 차례로 배열됨과 아울러 리소그래피 공정의 한계해상도보다 작은 선폭을 갖도록 형성하는 반도체 소자의 제조방법.

청구항 17

제 16 항에 있어서,

상기 제1 내지 제4 도전성 라인들을 형성하는 것은

상기 반도체기판 상에 제1 및 제2 희생 개구부들을 갖는 하드 마스크를 형성하고,

상기 제1 및 제2 희생 개구부들의 측벽들을 각각 덮는 제1 및 제2 희생 스페이서들을 형성하고,

상기 제1 및 제2 희생 스페이서들의 양쪽 끝부분들을 식각하는 노드 분리 공정을 진행하여 상기 제1 희생 개구부에 제1 및 제2 희생 스페이서 패턴들을 형성함과 아울러 상기 제2 희생 개구부에 제3 및 제4 희생 스페이서 패턴들을 형성하고,

상기 제1 내지 제4 희생 스페이서 패턴들에 의해 측벽들이 덮인 상기 제1 및 제2 희생 개구부들을 채우는 마스크 패턴들을 형성하고,

상기 하드 마스크 및 상기 마스크 패턴들을 식각마스크로 하여 상기 제1 내지 제4 희생 스페이서 패턴들을 식각하여 제1, 제2, 제3 및 제4 트렌치들을 형성하고,

상기 제1 내지 제4 트렌치들을 갖는 기판 상에 도전막을 형성하고,

상기 도전막이 상기 제1 내지 제4 트렌치들 내에 잔존하도록 상기 도전막을 평탄화하는 것을 포함하는 반도체소자의 제조방법.

청구항 18

제 17 항에 있어서,

제1, 제2, 제3 및 제4 트렌치들을 형성한 후에,

상기 하드 마스크 및 상기 마스크 패턴들을 식각마스크로 이용하여 상기 반도체기판을 식각하여 상기 반도체기판 내에 제1, 제2, 제3 및 제4 게이트 트렌치들을 형성하고,

상기 제1, 제2, 제3 및 제4 게이트 트렌치들의 내벽을 덮는 게이트 산화막을 형성하는 것을 더 포함하는 반도체소자의 제조방법.

청구항 19

제 18 항에 있어서,

상기 도전막을 평탄화한 후에,

상기 제1 내지 제4 트렌치들 내에 잔존하도록 상기 도전막을 평탄화한 기판 상에 패드 도전막을 형성하고,

상기 패드 도전막 상에 상기 제1 코어 영역의 상기 제1 및 제2 트렌치들의 끝부분들과 중첩하는 제1 콘택 패드 마스크를 형성함과 아울러 상기 제2 코어 영역의 상기 제3 및 제4 트렌치들의 끝부분들과 중첩하는 제2 콘택 패드 마스크를 형성하고,

상기 제1 및 제2 콘택 패드 마스크를 식각마스크로 하여 상기 패드 도전막을 식각하여 상기 제1 및 제2 코어 영역들 각각에 제1 및 제2 콘택 패드들을 형성하는 것을 더 포함하는 반도체소자의 제조방법.

청구항 20

제 19 항에 있어서,

상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성하고, 상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성하는 반도체소자의 제조방법.

청구항 21

제 20 항에 있어서,

상기 제1 및 제2 콘택 패드 마스크들의 각각은 콘택 패드 영역과 상기 제1 내지 제4 트렌치들 각각의 끝부분과 중첩하는 접속 영역으로 이루어지며, 상기 접속 영역은 상기 제1 내지 제4 트렌치들 각각의 폭보다 큰 폭을 가지며 상기 콘택 패드 영역보다 작은 폭을 갖는 반도체소자의 제조방법.

청구항 22

제 16 항에 있어서,

상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 리소그래피 공정의 한계분해능보다 작은 크기의 제1 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 갖도록 형성하고,

상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 제1 거리만큼 이격되고 상기 제2 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 갖도록 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 23

제 16 항에 있어서,

상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되도록 형성하고,

상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 작은 제2 길이만큼 연장되도록 형성하고,

상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장되도록 형성하고,

상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장되도록 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 24

제 16 항에 있어서,

상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되도록 형성하고,

상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되도록 형성하고,

상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장되도록 형성하고,

상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장되도록 형성하는 반도체소자의 제조방법.

청구항 25

제 16 항에 있어서,

상기 셀 어레이 영역에서 상기 제2 및 제3 도전성 라인들은 리소그래피 공정의 한계분해능보다 작은 치수의 제1 거리만큼 이격되도록 형성하고,

상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제2 거리보다 큰 제3 거리만큼 이격된 부분을 갖도록 형성하고,

상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 상기 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제3 거리만큼 이격된 부분을 갖도록 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 26

제 25 항에 있어서,

상기 제1 내지 제4 도전성 라인들을 형성하는 것은

상기 반도체기판 상에 상기 셀 어레이 영역을 가로지르며 상기 제1 및 제2 코어 영역들로 연장된 1F 크기(1 feature size)의 폭을 갖는 복수개의 셀 개구부들과 아울러 상기 셀 개구부들 중 차례로 배열된 제1 내지 제3 셀 개구부들 중에서 상기 제1 및 제2 셀 개구부를 상기 제1 코어 영역에서 연결하는 제1 코어 개구부와 상기 제2 및 제3 셀 개구부를 상기 제2 코어 영역에서 연결하는 제2 코어 개구부로 이루어진 희생 개구부를 갖는 하드 마스크를 형성하고,

상기 희생 개구부의 측벽을 덮는 희생 스페이서를 형성하고,

상기 제1 및 제2 코어 영역들에서 상기 희생 스페이서의 소정 영역들을 식각하는 노드 분리 공정을 진행하여 상기 셀 개구부들의 측벽들에 잔존하는 희생 스페이서 패턴들을 형성하되, 상기 희생 스페이서 패턴들의 각각은 상기 제1 코어 영역 또는 상기 제2 코어 영역으로 연장되고,

상기 희생 스페이서 패턴들을 갖는 기판 상에 상기 희생 개구부를 채우는 마스크 패턴을 형성하고,

상기 하드 마스크 및 상기 마스크 패턴을 식각마스크로 이용하여 상기 희생 스페이서 패턴들을 식각하여 트렌치들을 형성하고,

상기 트렌치들을 갖는 기판 상에 도전막을 형성하고,

상기 도전막을 평탄화하는 것을 포함하는 반도체소자의 제조방법.

청구항 27

제 26 항에 있어서,

상기 희생 스페이서 패턴들을 식각한 후에,

상기 하드 마스크 및 상기 마스크 패턴을 식각마스크로 이용하여 상기 반도체기판을 식각하고,

상기 도전막을 평탄화한 후에 상기 평탄화된 도전막을 부분 식각하는 것을 더 포함하는 반도체소자의 제조방법.

청구항 28

제 27 항에 있어서,

상기 평탄화된 도전막을 부분식각하기 전에,

상기 평탄화된 도전막 상에 패드 도전막을 형성하고,

상기 패드 도전막 상에 패드 마스크들을 형성하고,

상기 패드 마스크들을 식각마스크로 하여 상기 패드 도전막을 식각하는 것을 더 포함하되, 상기 패드 마스크들은 상기 평탄화된 도전막을 부분 식각하는 식각공정에 식각마스크로 이용되는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 29

제 16 항에 있어서,

상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서보다 상기 제1 코어 영역에서 큰 선폭을 갖도록 형성되고,

상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서보다 상기 제2 코어 영역에서 큰 선폭을 갖도록 형성하는 반도체소자의 제조방법.

청구항 30

셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판을 준비하고,

상기 셀 어레이 영역을 가로지르며 상기 제1 및 제2 코어 영역들로 연장된 제1 및 제2 희생 개구부들을 갖는 하드 마스크를 형성하되, 상기 제1 및 제2 희생 개구부들의 각각은 상기 셀 어레이 영역에서 1F 크기(1 feature size)의 폭을 가짐과 아울러 상기 셀 어레이 영역보다 제1 및 제2 코어 영역에서 큰 폭을 갖고,

상기 제1 및 제2 희생 개구부들에 제1 및 제2 희생 스페이서들을 형성하고,

노드 분리 공정을 이용하여 상기 제1 및 제2 코어영역에 위치하는 상기 제1 및 제2 희생 스페이서들의 양쪽 끝부분들을 식각하여 상기 제1 희생 개구부에 제1 및 제2 희생 스페이서 패턴들을 형성함과 아울러 상기 제2 희생 개구부에 제3 및 제4 희생 스페이서 패턴들을 형성하고,

상기 제1 내지 제4 희생 스페이서 패턴들에 의해 측벽들이 덮인 상기 제1 및 제2 희생 개구부들을 채우는 마스크 패턴을 형성하고,

상기 하드 마스크 및 상기 마스크 패턴을 식각마스크로 하여 상기 제1 내지 제4 희생 스페이서 패턴들 및 상기 반도체기판을 차례로 식각하여 제1 내지 제4 트렌치들을 형성하고,

상기 제1 내지 제4 트렌치들을 갖는 기판 상에 도전막을 형성하고,

상기 도전막 상에 상기 제1 코어영역의 상기 제2 및 제4 트렌치들의 끝부분들과 중첩하는 제1 콘택 패드 마스크들 및 상기 제2 코어 영역의 상기 제1 및 제3 트렌치들의 끝부분들과 중첩하는 제2 콘택 패드 마스크들을 형성하고,

상기 제1 및 제2 콘택 패드 마스크들을 식각마스크로 하여 상기 도전막을 식각하여 상기 제1 내지 제4 트렌치들을 부분적으로 채우는 제1 내지 제4 도전성 라인들을 형성함과 아울러 상기 제1 코어 영역의 상기 제2 및 제4

도전성 라인들의 끝부분들과 전기적으로 접속된 제1 콘택 패드들 및 상기 제2 코어 영역의 상기 제1 및 제3 도전성 라인들의 끝부분들에 전기적으로 접속된 제2 콘택 패드들을 형성하는 것을 포함하되, 상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성하고, 상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성하는 반도체소자의 제조방법.

청구항 31

제 30 항에 있어서,

상기 제1 및 제3 희생 스페이서 패턴들의 각각은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장됨과 아울러 상기 제2 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되도록 형성하고,

상기 제2 및 제4 희생 스페이서 패턴들의 각각은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장됨과 아울러 상기 제1 코어 영역으로 상기 제2 길이만큼 연장되도록 형성하는 반도체소자의 제조방법.

청구항 32

제 31 항에 있어서,

상기 제1 및 제2 콘택 패드 마스크들의 각각은 콘택 패드 영역과 상기 제1 내지 제4 트렌치들의 끝부분들과 중첩하는 접속 영역으로 이루어지되, 상기 접속 영역은 상기 제1 내지 제4 트렌치들 각각의 폭보다 큰 폭을 가지며 상기 콘택 패드 영역의 폭보다 작은 것을 특징으로 하는 반도체소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 미세 선폭의 도전성 라인들을 갖는 반도체소자 및 그 제조방법에 관한 것이다.
- <14> 최근, 전자제품들에 사용되는 반도체소자들의 고집적화 기술에 대한 연구가 활발히 진행되고 있다. 상기 고집적화 기술에는 상기 반도체소자들의 구성요소들을 축소하는 기술 및 상기 반도체소자들의 구성요소들을 효율적으로 배치하는 기술이 있다. 예를 들면, 디램(DRAM; dynamic random access memory)과 같은 반도체 메모리 소자는 복수개의 메모리 셀 어레이 영역들 및 상기 셀 어레이 영역들 주위의 코어 영역들을 구비한다. 상기 셀 어레이 영역들의 각각은 복수개의 메모리 단위 셀 들이 위치하며, 각각의 단위 셀은 셀 트랜지스터, 셀 커패시터 및 상호연결부를 갖는다.
- <15> 집적효율을 높이기 위하여, 반도체기판 상에 상기 셀 트랜지스터를 형성하고, 층간절연막을 적층한 다음, 상기 층간절연막 상에 상기 셀 커패시터를 형성하는 기술이 널리 사용되고 있다. 상기 셀 트랜지스터의 소스/드레인 영역들은 상기 셀 커패시터의 하부전극 또는 비트라인에 연결되며, 상기 셀 트랜지스터의 게이트전극은 워드라인에 연결된다. 그런데 상기 셀 트랜지스터의 축소 지향에 따라 셀 트랜지스터를 동작시키기 위한 상호연결배선들을 배치하는 것이 매우 어려워지고 있다.
- <16> 워드라인 및 비트라인의 배치 방법에 대해 미국특허 제7,009,208 B2호에서 "메모리 소자와 그 제조방법 및 사용방법, 및 반도체소자 및 그 제조방법(Memory device and method of production and method of use same and semiconductor device and method of production of same)"이라는 제목으로 아라타니 등(Aratani et al.)에 의하여 개시된 바 있다. 아라타니 등에 의하면, 복수의 메모리 셀을 갖는 메모리부, 즉 메모리 셀 어레이 영역에는 복수개의 워드라인들이 배치되고, 상기 워드라인들은 상기 메모리 셀 어레이 영역의 한쪽에서 콘택을 형성하기 위하여 제1 방향으로 연장된다. 즉, 상기 워드라인들은 상기 메모리 셀 어레이 영역으로부터 한쪽 방향으로만 연장된다. 이렇게 한쪽 방향으로 연장된 상기 워드라인들은 콘택을 형성하기 위한 충분한 영역을 확보할 수 있다. 그런데, 이와 같이 워드라인들을 배치하는 방법은 집적효율을 향상시키는데 한계가 있다. 특히, 상기 워드라인들이 리소그래피 공정의 한계해상도보다 작은 치수의 선폭들을 갖는 경우에 상기 워드라인들이 상기 메

모리 셀 어레이 영역으로부터 한쪽 방향으로만 연장되기 때문에, 상기 워드라인들의 콘택 형성을 하기 위한 영역을 확보하기 어려울 수 있다. 따라서, 반도체 메모리 소자에서 워드라인과 같은 배선의 선폭이 미세화하더라도 충분한 콘택 영역을 확보할 수 있는 새로운 배선의 배치 방법이 요구된다.

발명이 이루고자 하는 기술적 과제

- <17> 본 발명이 이루고자 하는 기술적 과제는 집적효율을 향상시킬 수 있는 미세 선폭의 도전성 라인들을 갖는 반도체소자들을 제공하는데 있다.
- <18> 본 발명이 이루고자 하는 다른 기술적 과제는 집적효율을 향상시킬 수 있는 미세 선폭의 도전성 라인들을 갖는 반도체소자들의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

- <19> 본 발명의 일 양태에 따르면, 집적효율을 향상시킬 수 있는 미세 선폭의 도전성 라인들을 갖는 반도체소자를 제공한다. 이 반도체소자는 셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판을 구비한다. 상기 셀 어레이 영역을 가로지르며 상기 제1 코어 영역으로 연장된 제1 및 제2 도전성 라인들이 제공된다. 상기 셀 어레이 영역을 가로지르며 상기 제2 코어 영역으로 연장된 제3 및 제4 도전성 라인들이 제공된다. 이 경우에, 상기 제1, 제2, 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 차례로 배열됨과 아울러 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 치수(dimension)의 선 폭을 갖는다.
- <20> 본 발명의 몇몇 실시예에서, 상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 리소그래피 공정의 한계분해능보다 작은 크기의 제1 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 갖고, 상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 제1 거리만큼 이격되고 상기 제2 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 가질 수 있다.
- <21> 다른 실시예에서, 상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되고, 상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 작은 제2 길이만큼 연장되고, 상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장되고, 상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장될 수 있다.
- <22> 또 다른 실시예에서, 상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되고, 상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되고, 상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장되고, 상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장될 수 있다.
- <23> 또 다른 실시예에서, 상기 셀 어레이 영역에서 상기 제2 및 제3 도전성 라인들은 리소그래피 공정의 한계분해능보다 작은 치수의 제1 거리만큼 이격되고, 상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제2 거리보다 큰 제3 거리만큼 이격된 부분을 갖고, 상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 상기 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제3 거리만큼 이격된 부분을 가질 수 있다.
- <24> 또 다른 실시예에서, 상기 제1 코어 영역에서 상기 제1 및 2 도전성 라인들의 끝부분들에 전기적으로 접속된 제1 콘택 패드들과 상기 제2 코어 영역에서 상기 제3 및 제4 도전성 라인들의 끝부분들에 전기적으로 접속된 제2 콘택 패드들을 더 포함할 수 있다.
- <25> 상기 제1 코어 영역의 상기 제1 및 제2 도전성 라인들 끝부분들과 상기 제1 콘택 패드들 사이에 제공된 제1 접속부들 및 상기 제2 코어 영역의 상기 제3 및 제4 도전성 라인들 끝부분들과 상기 제2 콘택 패드들 사이에 제공된 제2 접속부들을 더 포함하되, 상기 제1 및 제2 접속부들의 각각은 상기 제1 내지 제4 도전성 라인들보다 큰 폭을 가짐과 아울러 상기 제1 및 제2 콘택 패드들보다 작은 폭을 가질 수 있다.
- <26> 상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되고, 상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다.
- <27> 또 다른 실시예에서, 상기 제1 코어 영역에서 상기 제2 거리 만큼 이격된 부분의 상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서보다 큰 선폭을 갖고, 상기 제2 코어 영역에서 상기 제2 거리 만큼 이격된 부분의

상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서보다 큰 선폭을 가질 수 있다.

- <28> 또 다른 실시예에서, 상기 도전성 라인들은 매립 게이트 라인들(buried gate lines) 또는 비트라인들일 수 있다.
- <29> 본 발명의 다른 양태에 따르면, 집적효율을 향상시킬 수 있는 미세 선폭의 도전성 라인들과 이들 도전성 라인들에 전기적으로 접속된 콘택 패드들을 갖는 반도체소자를 제공한다. 이 반도체소자는 셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판을 구비한다. 상기 셀 어레이 영역을 가로지르며 상기 제1 및 제2 코어 영역들로 연장되고 상기 셀 어레이 영역에서 차례로 배열됨과 아울러 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 치수(dimension)의 선 폭을 갖는 제1, 제2, 제3 및 제4 도전성 라인들이 제공된다. 상기 제1 코어 영역에서의 상기 제2 및 제4 도전성 라인들의 끝부분들에 전기적으로 접속된 제1 콘택 패드들이 제공된다. 상기 제2 코어 영역에서의 상기 제1 및 제3 도전성 라인들의 끝부분들에 전기적으로 접속된 제2 콘택 패드들이 제공된다. 이 경우에, 상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되고, 상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열된다.
- <30> 본 발명의 몇몇 실시예에서, 상기 셀 어레이 영역에서 상기 제1 및 2 도전성 라인들은 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 치수(dimension)의 제1 거리만큼 이격됨과 아울러 상기 제3 및 4 도전성 라인들은 상기 제1 거리만큼 이격되고, 상기 셀 어레이 영역에서 상기 제2 및 제3 도전성 라인들은 상기 제1 거리보다 큰 제2 거리만큼 이격될 수 있다.
- <31> 다른 실시예에서, 상기 제1 및 제3 도전성 라인들의 각각은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장됨과 아울러 상기 제2 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되고, 상기 제2 및 제4 도전성 라인들의 각각은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장됨과 아울러 상기 제1 코어 영역으로 상기 제2 길이만큼 연장될 수 있다.
- <32> 또 다른 실시예에서, 상기 제1 코어 영역의 상기 제2 및 제4 도전성 라인들 끝부분들과 상기 제1 콘택 패드들 사이에 제공된 제1 접속부들과 상기 제2 코어 영역의 상기 제3 및 제4 도전성 라인들 끝부분들과 상기 제2 콘택 패드들 사이에 제공된 제2 접속부들을 더 포함하되, 상기 제1 및 제2 접속부들의 각각은 상기 제1 내지 제4 도전성 라인들보다 큰 폭을 가짐과 아울러 상기 제1 및 제2 콘택 패드들보다 작은 폭을 가질 수 있다.
- <33> 또 다른 실시예에서, 상기 도전성 라인들은 매립 게이트 라인들(buried gate lines)일 수 있다.
- <34> 본 발명의 또 다른 양태에 따르면, 집적효율을 향상시킬 수 있는 미세 선폭의 도전성 라인들을 갖는 반도체소자의 제조방법을 제공한다. 이 방법은 셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판을 구비한다. 상기 셀 어레이 영역을 가로지르며 상기 제1 코어 영역으로 연장된 제1 및 제2 도전성 라인들을 형성함과 아울러 상기 셀 어레이 영역을 가로지르며 상기 제2 코어 영역으로 연장된 제3 및 제4 도전성 라인들을 형성한다. 이 경우에, 상기 제1, 제2, 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 차례로 배열됨과 아울러 리소그래피 공정의 한계해상도보다 작은 선폭을 갖도록 형성한다.
- <35> 본 발명의 몇몇 실시예에서, 상기 제1 내지 제4 도전성 라인들을 형성하는 것은 상기 반도체기판 상에 제1 및 제2 희생 개구부들을 갖는 하드 마스크를 형성하고, 상기 제1 및 제2 희생 개구부들의 측벽들을 각각 덮는 제1 및 제2 희생 스페이서들을 형성하고, 상기 제1 및 제2 희생 스페이서들의 양쪽 끝부분들을 식각하는 노드 분리 공정을 진행하여 상기 제1 희생 개구부에 제1 및 제2 희생 스페이서 패턴들을 형성함과 아울러 상기 제2 희생 개구부에 제3 및 제4 희생 스페이서 패턴들을 형성하고, 상기 제1 내지 제4 희생 스페이서 패턴들에 의해 측벽들이 덮인 상기 제1 및 제2 희생 개구부들을 채우는 마스크 패턴들을 형성하고, 상기 하드 마스크 및 상기 마스크 패턴들을 식각마스크로 하여 상기 제1 내지 제4 희생 스페이서 패턴들을 식각하여 제1, 제2, 제3 및 제4 트렌치들을 형성하고, 상기 제1 내지 제4 트렌치들을 갖는 기판 상에 도전막을 형성하고, 상기 도전막이 상기 제1 내지 제4 트렌치들 내에 잔존하도록 상기 도전막을 평탄화하는 것을 포함할 수 있다.
- <36> 다른 실시예에서, 제1, 제2, 제3 및 제4 트렌치들을 형성한 후에, 상기 하드 마스크 및 상기 마스크 패턴들을 식각마스크로 이용하여 상기 반도체기판을 식각하여 상기 반도체기판 내에 제1, 제2, 제3 및 제4 게이트 트렌치들을 형성하고, 상기 제1, 제2, 제3 및 제4 게이트 트렌치들의 내벽을 덮는 게이트 산화막을 형성하는 것을 더 포함할 수 있다.
- <37> 상기 도전막을 평탄화한 후에, 상기 제1 내지 제4 트렌치들 내에 잔존하도록 상기 도전막을 평탄화한 기판 상에 패드 도전막을 형성하고, 상기 패드 도전막 상에 상기 제1 코어 영역의 상기 제1 및 제2 트렌치들의 끝부분들과

중첩하는 제1 콘택 패드 마스크를 형성함과 아울러 상기 제2 코어 영역의 상기 제3 및 제4 트렌치들의 끝부분들과 중첩하는 제2 콘택 패드 마스크를 형성하고, 상기 제1 및 제2 콘택 패드 마스크를 식각마스크로 하여 상기 패드 도전막을 식각하여 상기 제1 및 제2 코어 영역들 각각에 제1 및 제2 콘택 패드들을 형성하는 것을 더 포함할 수 있다.

- <38> 상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성하고, 상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성할 수 있다.
- <39> 상기 제1 및 제2 콘택 패드 마스크들의 각각은 콘택 패드 영역과 상기 트렌치들 각각의 끝부분과 중첩하는 접속 영역으로 이루어지되, 상기 접속 영역은 상기 트렌치들보다 크고 상기 콘택 패드 영역보다 작은 폭을 가질 수 있다.
- <40> 또 다른 실시예에서, 상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 리소그래피 공정의 한계분해능보다 작은 크기의 제1 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 갖도록 형성하고, 상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 제1 거리만큼 이격되고 상기 제2 코어 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격된 부분을 갖도록 형성할 수 있다.
- <41> 또 다른 실시예에서, 상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되도록 형성하고, 상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 작은 제2 길이만큼 연장되도록 형성하고, 상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장되도록 형성하고, 상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장되도록 형성할 수 있다.
- <42> 또 다른 실시예에서, 상기 제1 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장되도록 형성하고, 상기 제2 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되도록 형성하고, 상기 제3 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제2 길이만큼 연장되도록 형성하고, 상기 제4 도전성 라인은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장되도록 형성할 수 있다.
- <43> 또 다른 실시예에서, 상기 셀 어레이 영역에서 상기 제2 및 제3 도전성 라인들은 리소그래피 공정의 한계분해능보다 작은 치수의 제1 거리만큼 이격되도록 형성하고, 상기 제1 및 제2 도전성 라인들은 상기 셀 어레이 영역에서 상기 제1 거리보다 큰 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제2 거리보다 큰 제3 거리만큼 이격된 부분을 갖도록 형성하고, 상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서 상기 제2 거리만큼 이격되고 상기 제1 코어 영역에서 상기 제3 거리만큼 이격된 부분을 갖도록 형성할 수 있다.
- <44> 한편, 상기 제1 내지 제4 도전성 라인들을 형성하는 것은 상기 반도체기판 상에 상기 셀 어레이 영역을 가로지르며 상기 제1 및 제2 코어 영역들로 연장된 1F 크기(1 feature size)의 폭을 갖는 복수개의 셀 개구부들과 아울러 상기 셀 개구부들 중 차례로 배열된 제1 내지 제3 셀 개구부들 중에서 상기 제1 및 제2 셀 개구부를 상기 제1 코어 영역에서 연결하는 제1 코어 개구부와 상기 제2 및 제3 셀 개구부를 상기 제2 코어 영역에서 연결하는 제2 코어 개구부로 이루어진 희생 개구부를 갖는 하드 마스크를 형성하고, 상기 희생 개구부의 측벽을 덮는 희생 스페이서를 형성하고, 상기 제1 및 제2 코어 영역들에서 상기 희생 스페이서의 소정 영역들을 식각하는 노드 분리 공정을 진행하여 상기 셀 개구부들의 측벽들에 잔존하는 희생 스페이서 패턴들을 형성하되, 상기 희생 스페이서 패턴들의 각각은 상기 제1 코어 영역 또는 상기 제2 코어 영역으로 연장되고, 상기 희생 스페이서 패턴들을 갖는 기판 상에 상기 희생 개구부를 채우는 마스크 패턴을 형성하고, 상기 하드 마스크 및 상기 마스크 패턴을 식각마스크로 이용하여 상기 희생 스페이서 패턴들을 식각하여 트렌치들을 형성하고, 상기 트렌치들을 갖는 기판 상에 도전막을 형성하고, 상기 도전막을 평탄화하는 것을 포함할 수 있다.
- <45> 상기 희생 스페이서 패턴들을 식각한 후에, 상기 하드 마스크 및 상기 마스크 패턴을 식각마스크로 이용하여 상기 반도체기판을 식각하고, 상기 도전막을 평탄화한 후에 상기 평탄화된 도전막을 부분 식각하는 것을 더 포함할 수 있다.
- <46> 상기 평탄화된 도전막을 부분식각하기 전에, 상기 평탄화된 도전막 상에 패드 도전막을 형성하고, 상기 패드 도전막 상에 패드 마스크들을 형성하고, 상기 패드 마스크들을 식각마스크로 하여 상기 패드 도전막을 식각하는 것을 더 포함하되, 상기 패드 마스크들은 상기 평탄화된 도전막을 부분 식각하는 식각공정에 식각마스크로 이용될 수 있다.
- <47> 또 다른 실시예에서, 상기 제1 코어 영역에서 상기 제2 거리 만큼 이격된 부분의 상기 제1 및 제2 도전성 라인

들은 상기 셀 어레이 영역에서보다 큰 선 폭을 갖도록 형성하고, 상기 제2 코어 영역에서 상기 제2 거리 만큼 이격된 부분의 상기 제3 및 제4 도전성 라인들은 상기 셀 어레이 영역에서보다 큰 선폭을 갖도록 형성할 수 있다.

<48> 본 발명의 또 다른 양태에 따르면, 집적효율을 향상시킬 수 있는 미세 선폭의 도전성 라인들과 이들 도전성 라인들에 전기적으로 접속된 콘택 패드들을 갖는 반도체소자의 제조방법을 제공한다. 이 방법은 셀 어레이 영역을 사이에 두고 제공된 제1 및 제2 코어 영역들을 갖는 반도체기판을 구비한다. 상기 셀 어레이 영역을 가로지르며 상기 제1 및 제2 코어 영역들로 연장된 제1 및 제2 희생 개구부들을 갖는 하드 마스크를 형성하되, 상기 제1 및 제2 희생 개구부들의 각각은 상기 셀 어레이 영역에서 1F 크기(1 feature size)의 폭을 가짐과 아울러 상기 셀 어레이 영역보다 제1 및 제2 코어 영역에서 큰 폭을 갖는다. 상기 제1 및 제2 희생 개구부들에 제1 및 제2 희생 스페이서들을 형성한다. 노드 분리 공정을 이용하여 상기 제1 및 제2 코어영역에 위치하는 상기 제1 및 제2 희생 스페이서들의 양쪽 끝부분들을 식각하여 상기 제1 희생 개구부에 제1 및 제2 희생 스페이서 패드들을 형성함과 아울러 상기 제2 희생 개구부에 제3 및 제4 희생 스페이서 패드들을 형성한다. 상기 제1 내지 제4 희생 스페이서 패드들에 의해 측벽들이 덮인 상기 제1 및 제2 희생 개구부들을 채우는 마스크 패드를 형성한다. 상기 하드 마스크 및 상기 마스크 패드를 식각마스크로 하여 상기 제1 내지 제4 희생 스페이서 패드들 및 상기 반도체기판을 차례로 식각하여 제1 내지 제4 트렌치들을 형성한다. 상기 제1 내지 제4 트렌치들을 갖는 기판 상에 도전막을 형성한다. 상기 도전막 상에 상기 제1 코어영역의 상기 제2 및 제4 트렌치들의 끝부분들과 중첩하는 제1 콘택 패드 마스크들 및 상기 제2 코어 영역의 상기 제1 및 제3 트렌치들의 끝부분들과 중첩하는 제2 콘택 패드 마스크들을 형성한다. 상기 제1 및 제2 콘택 패드 마스크들을 식각마스크로 하여 상기 도전막을 식각하여 상기 제1 내지 제4 트렌치들을 부분적으로 채우는 제1 내지 제4 도전성 라인들을 형성함과 아울러 상기 제1 코어 영역의 상기 제2 및 제4 도전성 라인들의 끝부분들과 전기적으로 접속된 제1 콘택 패드들 및 상기 제2 코어 영역의 상기 제1 및 제3 도전성 라인들의 끝부분들에 전기적으로 접속된 제2 콘택 패드들을 형성한다. 이 경우에, 상기 제1 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성하고, 상기 제2 콘택 패드들은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열되도록 형성한다.

<49> 본 발명의 몇몇 실시예에서, 상기 제1 및 제3 희생 스페이서 패드들의 각각은 상기 셀 어레이 영역으로부터 상기 제1 코어 영역으로 제1 길이만큼 연장됨과 아울러 상기 제2 코어 영역으로 상기 제1 길이보다 큰 제2 길이만큼 연장되도록 형성하고, 상기 제2 및 제4 희생 스페이서 패드들의 각각은 상기 셀 어레이 영역으로부터 상기 제2 코어 영역으로 상기 제1 길이만큼 연장됨과 아울러 상기 제1 코어 영역으로 상기 제2 길이만큼 연장되도록 형성할 수 있다.

<50> 다른 실시예에서, 상기 제1 및 제2 콘택 패드 마스크들의 각각은 콘택 패드 영역과 상기 트렌치들의 끝부분들과 중첩하는 접속 영역으로 이루어지되, 상기 접속 영역은 상기 트렌치들의 폭보다 크고 상기 콘택 패드 영역의 폭보다 작을 수 있다.

<51> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시 예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되어지는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

<52> 도 1 내지 도 10은 본 발명의 제1 내지 제10 실시예들에 따른 반도체소자들을 나타낸 평면도들이다. 도 11은 본 발명의 실시예들에 따른 반도체소자들의 제조방법들을 설명하기 위한 공정흐름도이다. 도 12a 내지 도 12g는 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 나타낸 단면도들이다. 도 12a 내지 도 12g에 있어서, 영역 A은 도 1의 절단선 I-I'에 따라 취해진 단면도이고, 영역 B는 도 1의 절단선 II-II'에 따라 취해진 단면도이며, 영역 C은 도 1의 절단선 III-III'에 따라 취해진 단면도이고, 영역 D는 도 1의 절단선 IV-IV'에 따라 취해진 단면도이다. 도 13a 내지 도 13e는 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 나타낸 평면도들이다. 도 14는 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다. 도 15a 및 도 15b는 본 발명의 제2 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다. 도 16은 본 발명의 제3 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다. 도 17은 본 발명의 제5 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다. 도 18a 및 도 18b는 본 발명의 제7 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다. 도 19a 및 도 19b는 본 발명의 제8 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다. 도 20a 및 도 20b는 본 발명의 제9 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다. 도 21은 본 발명의 제10 실시예에 따

른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.

- <53> 우선, 도 1을 참조하여 본 발명의 제1 실시예에 따른 반도체소자를 설명하기로 한다.
- <54> 도 1을 참조하면, 셀 어레이 영역(CA)을 사이에 두고 제공된 제1 코어 영역(CO1) 및 제2 코어 영역(CO2)을 갖는 반도체기판(1)이 제공된다. 상기 셀 어레이 영역(CA)에는 복수개의 셀 활성영역들(3a)이 제공될 수 있다. 상기 셀 활성영역들(3a)은 소자분리막에 의해 한정될 수 있다.
- <55> 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 복수개의 도전성 라인들(22)이 제공된다. 상기 도전성 라인들(22)은 상기 셀 어레이 영역(CA)에서 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 치수의 선 폭(line width)을 갖는다. 예를 들어, 상기 도전성 라인들(22)은 스페이서 이미지 패턴(spacer image pattern) 형성 공정에 의해 형성될 수 있다.
- <56> 상기 도전성 라인들(22)은 워드 라인들 또는 비트 라인들 일 수 있다. 여기서, 상기 워드라인들은 매립 게이트 라인들(buried gate lines)일 수 있다. 상기 도전성 라인들(22)이 워드 라인들 인 경우에, 상기 워드 라인들은 상기 셀 어레이 영역(CA) 내의 상기 셀 활성영역들(3a)을 가로지르도록 배치될 수 있다. 상기 워드 라인들, 즉 상기 매립 게이트 라인들은 상기 셀 활성영역들(3a)의 상부 표면보다 낮은 레벨에 위치할 수 있다.
- <57> 상기 도전성 라인들(22)은 차례로 배열된 제1 도전성 라인(22a), 제2 도전성 라인(22b), 제3 도전성 라인(22c) 및 제4 도전성 라인(22d)을 포함할 수 있다.
- <58> 상기 제1 및 제2 도전성 라인들(22a, 22b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들(22a, 22b)은 상기 셀 어레이 영역(CA)에서 제1 거리(SW1)만큼 이격됨과 아울러 상기 제1 코어 영역(CO1)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2)만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제1 거리(SW1)는 리소그래피 공정의 한계 분해능보다 작은 치수(dimension)일 수 있다.
- <59> 상기 제3 및 제4 도전성 라인들(22c, 22d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(22c, 22d)은 상기 셀 어레이 영역(CA)에서 상기 제1 거리(SW1)만큼 이격됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2)만큼 이격된 부분을 가질 수 있다.
- <60> 상기 셀 어레이 영역(CA)에서 상기 제2 및 제3 도전성 라인들(22b, 22c)은 상기 제1 거리(SW1)보다 큰 제3 거리(SW3)만큼 이격될 수 있다.
- <61> 상기 도전성 라인들(22) 각각의 양쪽 끝부분들 중 상기 제2 거리(SW2)만큼 이격된 한 쪽 끝부분들에 전기적으로 접속된 콘택 패드들(25p, 25q)이 제공될 수 있다. 구체적으로, 상기 제1 코어 영역(CO1)에서 상기 제1 및 제2 도전성 라인들(22a, 22b) 끝부분들에 전기적으로 접속된 제1 콘택 패드들(25p)이 제공됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제3 및 제4 도전성 라인들(22c, 22d) 끝부분들에 전기적으로 접속된 제2 콘택 패드들(25q)이 제공될 수 있다. 상기 제1 및 제2 콘택 패드들(25p, 25q)의 각각은 상기 도전성 라인들(22) 각각의 선 폭보다 큰 폭을 가질 수 있다.
- <62> 상기 제1 코어 영역(CO1)에 위치하는 상기 제1 콘택 패드들(25p)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제1 콘택 패드들(25p)은 서로 인접하는 상기 제1 콘택 패드들(25p) 사이에 상기 제1 콘택 패드들(25p)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 여기서, 상기 가상의 수평선(X)은 상기 셀 어레이 영역(CA)의 상기 도전성 라인들(22)과 교차하는 방향성을 갖고, 상기 가상의 수직선(Y)은 상기 가상의 수평선(X)에 수직인 방향성을 가질 수 있다.
- <63> 상기 제2 코어 영역(CO2)에 위치하는 상기 제2 콘택 패드들(25q)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제2 콘택 패드들(25q)은 서로 인접하는 상기 제2 콘택 패드들(25q) 사이에 상기 제2 콘택 패드들(25q)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다.
- <64> 상기 제1 코어 영역(CO1)의 상기 제1 및 제2 도전성 라인들(22a, 22b) 끝부분들과 상기 제1 콘택 패드들(25p) 사이에 제공되어 상기 제1 및 제2 도전성 라인들(22a, 22b)과 상기 제1 콘택 패드들(25p)을 전기적으로 접속시키는 제1 접속부들(25a)이 제공될 수 있다. 상기 제2 코어 영역(CO2)의 상기 제3 및 제4 도전성 라인들(22c, 22d) 끝부분들과 상기 제2 콘택 패드들(25q) 사이에 제공되어 상기 제3 및 제4 도전성 라인들(22c, 22d)과 상기 제2 콘택 패드들(25q)을 전기적으로 접속시키는 제2 접속부들(25b)이 제공될 수 있다. 상기 제1 및 제2 접속부

들(25a, 25b)의 각각은 상기 도전성 라인들(22) 각각의 선폭보다 큰 폭을 가지며, 상기 제1 및 제2 콘택 패드들(25p, 25q) 각각의 폭보다 작은 폭을 가질 수 있다.

- <65> 한편, 상술한 본 발명의 제1 실시예에 의한 상기 도전성 라인들(22)은 본 발명의 제2 실시예의 도 2에 도시된 바와 같이 배치될 수 있다. 상기 제1 실시예에 의한 상기 도전성 라인들(22)은 상기 제1 코어 영역(C01) 및 상기 제2 코어 영역(C02) 중 상기 제2 거리(SW2)만큼 이격된 부분을 갖는 코어 영역에서 서로 동일한 레벨에 위치하는 끝부분들을 가지므로, 상기 콘택 패드들(25p)과의 전기적인 접속을 위하여 상기 접속부들(25a, 25b)이 제공되어야 한다. 여기서, 상기 접속부들(25a, 25b)을 생략하는 경우에는 본 발명의 제2 실시예에 의한 도 2에 도시된 바와 같이 도전성 라인들을 배치할 수 있다.
- <66> 구체적으로, 도 2에 도시된 바와 같이 도전성 라인들(122)이 셀 어레이 영역(CA)을 가로지르며 제1 코어 영역(C01) 또는 제2 코어 영역(C02)으로 연장된다. 여기서, 상기 도전성 라인들(122)은 차례로 배열된 제1, 제2, 제3, 제4 도전성 라인들(122a, 122b, 122c, 122d)을 포함할 수 있다. 상기 도전성 라인들(122)의 각각은 상기 셀 어레이 영역(CA)에서 리소그래피 공정의 한계 해상도보다 작은 치수의 선폭을 가질 수 있다.
- <67> 상기 제1 및 제2 도전성 라인들(122a, 122b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(C01)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들(122a, 122b)은 상기 셀 어레이 영역(CA)에서 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제1 코어 영역(C01)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2) 만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제1 도전성 라인(122a)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(C01)으로 제1 길이(LE1)만큼 연장되고, 상기 제2 도전성 라인(122b)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(C01)으로 상기 제1 길이(LE1)보다 작은 제2 길이(LE2)만큼 연장될 수 있다.
- <68> 상기 제3 및 제4 도전성 라인들(122c, 122d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(C02)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(122c, 122d)은 상기 셀 어레이 영역(CA)에서 상기 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제2 코어 영역(C02)에서 상기 제2 거리(SW2) 만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제3 도전성 라인(122c)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(C02)으로 상기 제1 길이(LE1)만큼 연장되고, 상기 제4 도전성 라인(122d)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(C02)으로 상기 제2 길이(LE2)만큼 연장될 수 있다. 상기 제1 거리(SW1)는 리소그래피 공정의 한계 분해능보다 작은 치수(dimension)일 수 있다.
- <69> 상기 도전성 라인들(122) 각각의 양쪽 끝부분들 중 상기 제2 거리(SW2)만큼 이격된 한 쪽 끝부분들에 전기적으로 접속된 제1 및 제2 콘택 패드들(125p, 125q)이 제공될 수 있다. 구체적으로, 상기 제1 코어 영역(C01)에서 상기 제1 및 제2 도전성 라인들(122a, 12b)의 끝부분들과 중첩하는 상기 제1 콘택 패드들(125p)이 제공됨과 아울러 상기 제2 코어 영역(C02)에서 상기 제3 및 제4 도전성 라인들(122c, 122d)의 끝부분들과 중첩하는 상기 제2 콘택 패드들(125q)이 제공될 수 있다. 상기 제1 및 제2 콘택 패드들(125p, 125q)의 각각은 상기 도전성 라인들(122)보다 큰 폭을 가질 수 있다. 상기 제1 코어 영역(C01)에 위치하는 상기 제1 콘택 패드들(125p)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제1 콘택 패드들(125p)은 서로 인접하는 상기 제1 콘택 패드들(125p) 사이에 상기 제1 콘택 패드들(125p)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 여기서, 상기 가상의 수평선(X)은 상기 셀 어레이 영역(CA)의 상기 도전성 라인들(122)과 교차하는 방향성을 갖고, 상기 가상의 수직선(Y)은 상기 가상의 수평선(X)에 수직인 방향성을 가질 수 있다.
- <70> 상기 제2 코어 영역(C02)에 위치하는 상기 제2 콘택 패드들(125q)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제2 콘택 패드들(125q)은 서로 인접하는 상기 제2 콘택 패드들(125q) 사이에 상기 제2 콘택 패드들(125q)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다.
- <71> 이와 같이, 본 발명의 제2 실시예에 의한 상기 도전성 라인들(122)은 본 발명의 제1 실시예에 의한 상기 도전성 라인들(22)과 상기 제1 및 제2 코어 영역들(C01, C02)에서의 연장된 길이에 차이가 있다. 또한, 상기 제1 및 제2 코어 영역들(C01, C02)에서 본 발명의 제2 실시예에 의한 상기 콘택 패드들(125p, 125q)은 본 발명의 제1 실시예에 의한 상기 콘택 패드들(25p, 25q)과 실질적으로 같은 위치에 배치될 수 있다.
- <72> 한편, 상술한 본 발명의 제1 실시예에 의한 상기 도전성 라인들(22)은 본 발명의 제3 실시예의 도 3에 도시된 바와 같이 배치될 수 있다. 상기 제1 실시예에서의 상기 도전성 라인들(22)의 각각은 상기 제1 코어 영역(C01) 또는 상기 제2 코어 영역(C02)으로 연장된 부분을 갖는다. 그리고, 상기 제1 실시예에서의 상기 도전성 라인들

(22)은 리소그래피 공정의 한계해상도보다 작은 치수의 선폭을 갖는다. 본 발명의 제3 실시예에서의 도전성 라인들(222)의 각각은 도 3에 도시된 바와 같이 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 부분을 갖는다. 여기서, 상기 도전성 라인들(222)의 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 부분은 상기 셀 어레이 영역(CA)에서보다 큰 선폭을 갖는다.

<73> 구체적으로, 상기 도전성 라인들(222)은 차례로 배열된 제1, 제2, 제3 및 제4 도전성 라인들(222a, 222b, 222c, 222d)을 포함할 수 있다. 상기 셀 어레이 영역(CA)에서 상기 도전성 라인들(222)은 리소그래피 공정의 한계해상도보다 작은 치수의 제1 선폭(LW1)을 가질 수 있다. 상기 제1 및 제2 도전성 라인들(222a, 222b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들(222a, 222b)은 상기 셀 어레이 영역(CA)에서 제1 거리(SW1)만큼 이격됨과 아울러 상기 제1 코어 영역(CO1)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2)만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제1 코어 영역(CO1)에서 상기 제2 거리(SW2)만큼 이격된 부분의 상기 제1 및 제2 도전성 라인들(222a, 222b)은 상기 제1 선폭(LW1)보다 큰 제2 선폭(LW2)을 가질 수 있다. 상기 제1 거리(SW1)는 리소그래피 공정의 한계 분해능보다 작은 치수(dimension)일 수 있다. 상기 제3 및 제4 도전성 라인들(222c, 222d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(222c, 222d)은 상기 셀 어레이 영역(CA)에서 상기 제1 거리(SW1)만큼 이격됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2)만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2)만큼 이격된 부분의 상기 제3 및 제4 도전성 라인들(222c, 222d)은 상기 제2 선폭(LW2)을 가질 수 있다. 상기 셀 어레이 영역(CA)에서 상기 제2 및 제3 도전성 라인들(222b, 222c)은 상기 제1 거리(SW1)보다 큰 제3 거리(SW3)만큼 이격될 수 있다.

<74> 상기 도전성 라인들(222) 중 상기 제2 선폭(LW2)을 갖는 끝부분들에 전기적으로 접속된 제1 및 제2 콘택 패드들(225p, 225q)이 제공될 수 있다. 상기 제1 및 제2 콘택 패드들(225p, 225q)은 본 발명의 제1 실시예에 의한 제1 및 제2 콘택 패드들(25p, 25q)과 실질적으로 같은 위치에 배치될 수 있다. 따라서, 본 발명의 제1 실시예와 마찬가지로 상기 콘택 패드들(225p)과 상기 도전성 라인들(222)의 끝부분들 사이에 접속부들(225a)이 제공될 수 있다. 이와 같이, 본 발명의 제3 실시예에 의한 상기 도전성 라인들(222)은 본 발명의 제1 실시예에 의한 상기 도전성 라인들(22)과 상기 제1 및 제2 코어 영역들(CO1, CO2)에서의 선 폭에 차이가 있다. 따라서, 본 발명의 제3 실시예에 의한 상기 도전성 라인들(222)과 상기 콘택 패드들(225p) 사이의 전기적 특성을 향상시킬 수 있다.

<75> 한편, 본 발명의 제3 실시예에 의한 상기 도전성 라인들(222)은 본 발명의 제4 실시예의 도 4에 도시된 바와 같이 배치될 수 있다. 본 발명의 제3 실시예에 의한 상기 도전성 라인들(222)은 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2) 중 상기 제2 거리(SW2)만큼 이격된 부분을 갖는 코어 영역에서 서로 동일한 레벨에 위치하는 끝부분들을 가지므로, 상기 콘택 패드들(225p)과의 전기적인 접속을 위하여 상기 접속부(225a)가 제공되어야 한다. 여기서, 상기 접속부(225a)를 생략하는 경우에 본 발명의 제4 실시예에 의한 도 4에 도시된 바와 같이 도전성 라인들(322)을 배치할 수 있다.

<76> 구체적으로, 도 4에 도시된 바와 같이 도전성 라인들(322)이 셀 어레이 영역(CA)을 가로지르며 제1 코어 영역(CO1) 또는 제2 코어 영역(CO2)으로 연장된다. 여기서, 상기 도전성 라인들(322)은 차례로 배열된 제1, 제2, 제3, 제4 도전성 라인들(322a, 322b, 322c, 322d)을 포함할 수 있다. 상기 도전성 라인들(322)은 상기 셀 어레이 영역(CA)에서 리소그래피 공정의 한계 해상도보다 작은 치수의 제1 선 폭(LW1)을 가질 수 있다.

<77> 상기 제1 및 제2 도전성 라인들(322a, 322b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들(322a, 322b)은 상기 셀 어레이 영역(CA)에서 제1 거리(SW1)만큼 이격됨과 아울러 상기 제1 코어 영역(CO1)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2)만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제1 코어 영역(CO1)에서 상기 제2 거리(SW2)만큼 이격된 부분의 상기 제1 및 제2 도전성 라인들(322a, 322b)은 상기 제1 선폭(LW1)보다 큰 제2 선폭(LW2)을 가질 수 있다. 상기 제1 거리(SW1)는 리소그래피 공정의 한계 분해능보다 작은 치수(dimension)일 수 있다. 여기서, 상기 제1 도전성 라인(322a)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 제1 길이(LE1)만큼 연장되고, 상기 제2 도전성 라인(322b)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 상기 제1 길이(LE1)보다 작은 제2 길이(LE2)만큼 연장될 수 있다.

<78> 상기 제3 및 제4 도전성 라인들(322c, 322d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(322c, 322d)은 상기 셀 어레이 영역(CA)에서 상기 제1

거리(SW1) 만큼 이격됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2) 만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2)만큼 이격된 부분의 상기 제3 및 제4 도전성 라인들(322c, 322d)은 상기 제2 선폭(LW2)을 가질 수 있다. 상기 셀 어레이 영역(CA)에서 상기 제2 및 제3 도전성 라인들(322b, 322c)은 상기 제1 거리(SW1)보다 큰 제3 거리(SW3)만큼 이격될 수 있다.

- <79> 상기 제3 도전성 라인(322c)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(CO2)으로 상기 제1 길이(LE1)만큼 연장되고, 상기 제4 도전성 라인(322d)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(CO2)으로 상기 제2 길이(LE2)만큼 연장될 수 있다.
- <80> 상기 도전성 라인들(322) 중 상기 제2 선폭(LW2)을 갖는 끝부분들에 전기적으로 접속된 제1 및 제2 콘택 패드들(325p, 325q)이 제공될 수 있다. 구체적으로, 상기 제1 코어 영역(CO1)에서 상기 제1 및 제2 도전성 라인들(322a, 322b) 끝부분들과 중첩하는 제1 콘택 패드들(325p)이 제공됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제3 및 제4 도전성 라인들(322c, 322d) 끝부분들과 중첩하는 제2 콘택 패드들(325q)이 제공될 수 있다. 상기 제1 및 제2 콘택 패드들(325p, 325q)의 각각은 상기 도전성 라인들(322) 각각의 선 폭보다 큰 폭을 가질 수 있다.
- <81> 상기 제1 코어 영역(CO1)에 위치하는 상기 제1 콘택 패드들(325p)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제1 콘택 패드들(325p)은 서로 인접하는 상기 제1 콘택 패드들(325p) 사이에 상기 제1 콘택 패드들(325p)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 여기서, 상기 가상의 수평선(X)은 상기 셀 어레이 영역(CA)의 상기 도전성 라인들(322)과 교차하는 방향성을 갖고, 상기 가상의 수직선(Y)은 상기 가상의 수평선(X)에 수직인 방향성을 가질 수 있다.
- <82> 상기 제2 코어 영역(CO2)에 위치하는 상기 제2 콘택 패드들(325q)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제2 콘택 패드들(325q)은 서로 인접하는 상기 제2 콘택 패드들(325q) 사이에 상기 제2 콘택 패드들(325q)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다.
- <83> 한편, 본 발명의 제1 실시예에 의한 상기 콘택 패드들(25p)은 본 발명의 제5 실시예의 도 5에 도시된 바와 같이 배치될 수 있다. 본 발명의 제5 실시예를 나타낸 도 5에 나타낸 도전성 라인들(422)은 본 발명의 제1 실시예의 도전성 라인들(22)과 실질적으로 동일한 위치에 배치될 수 있다. 상기 도전성 라인들(422)은 차례로 배열된 제1 도전성 라인(422a), 제2 도전성 라인(422b), 제3 도전성 라인(422c) 및 제4 도전성 라인(422d)을 포함할 수 있다. 상기 제1 및 제2 도전성 라인들(422a, 422b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들(422a, 422b)은 상기 셀 어레이 영역(CA)에서 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제1 코어 영역(CO1)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2) 만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제1 거리(SW1)는 리소그래피 공정의 한계 분해능보다 작은 치수(dimension)일 수 있다. 상기 제3 및 제4 도전성 라인들(422c, 422d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(422c, 422d)은 상기 셀 어레이 영역(CA)에서 상기 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2) 만큼 이격된 부분을 가질 수 있다. 상기 셀 어레이 영역(CA)에서 상기 제2 및 제3 도전성 라인들(422b, 422c)은 상기 제1 거리(SW1)보다 큰 제3 거리(SW3)만큼 이격될 수 있다. 상기 도전성 라인들(422) 각각의 양쪽 끝부분들 중 상기 제2 거리(SW2)만큼 이격된 한 쪽 끝부분들과 중첩된 콘택 패드들(425p, 425q)이 제공될 수 있다.
- <84> 한편, 상술한 본 발명의 제5 실시예에 의한 상기 도전성 라인들(422)은 본 발명의 제6 실시예의 도 6에 도시된 바와 같이 배치될 수 있다. 상기 제5 실시예에서의 상기 도전성 라인들(422)의 각각은 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 부분을 갖는다. 그리고, 상기 제5 실시예에서의 상기 도전성 라인들(422)은 리소그래피 공정의 한계해상도보다 작은 치수의 선폭을 갖는다. 본 발명의 제6 실시예에서의 도전성 라인들(522)의 각각은 도 6에 도시된 바와 같이 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 부분을 갖는다. 여기서, 상기 도전성 라인들(522)의 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 부분은 상기 셀 어레이 영역(CA)에서보다 큰 선 폭을 가질 수 있다.
- <85> 구체적으로, 상기 도전성 라인들(522)은 차례로 배열된 제1, 제2, 제3 및 제4 도전성 라인들(522a, 522b, 522c, 522d)을 포함할 수 있다. 상기 셀 어레이 영역(CA)에서 상기 도전성 라인들(522)은 리소그래피 공정의 한계해상도보다 작은 치수의 제1 선폭(LW1)을 가질 수 있다. 상기 제1 및 제2 도전성 라인들(522a, 522b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들

(522a, 522b)은 상기 셀 어레이 영역(CA)에서 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제1 코어 영역(CO1)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2) 만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제1 코어 영역(CO1)에서 상기 제2 거리(SW2)만큼 이격된 부분의 상기 제1 및 제2 도전성 라인들(522a, 522b)은 상기 제1 선편(LW1)보다 큰 제2 선편(LW2)을 가질 수 있다. 상기 제1 거리(SW1)는 리소그래피 공정의 한계 분해능보다 작은 치수(dimension)일 수 있다. 상기 제3 및 제4 도전성 라인들(522c, 522d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(522c, 522d)은 상기 셀 어레이 영역(CA)에서 상기 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2)만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제2 코어 영역(CO2)에서 상기 제2 거리(SW2)만큼 이격된 부분의 상기 제3 및 제4 도전성 라인들(522c, 522d)은 상기 제2 선편(LW2)을 가질 수 있다. 상기 셀 어레이 영역(CA)에서 상기 제2 및 제3 도전성 라인들(522b, 522c)은 상기 제1 거리(SW1)보다 큰 제3 거리(SW3)만큼 이격될 수 있다. 상기 도전성 라인들(522) 중 상기 제2 선편(LW2)을 갖는 끝부분들과 중첩하는 제1 및 제2 콘택 패드들(525p, 525q)이 제공될 수 있다.

- <86> 다음으로, 도 7을 참조하여 본 발명의 제7 실시예에 의한 반도체소자를 설명하기로 한다.
- <87> 도 7를 참조하면, 본 발명의 제1 실시예와 같은 반도체기판(1)이 제공된다. 이 반도체 기판(1)은 셀 어레이 영역(CA)을 사이에 두고 제공된 제1 코어 영역(CO1) 및 제2 코어 영역(CO2)을 가질 수 있다. 상기 셀 어레이 영역(CA)에는 복수개의 셀 활성영역들(3a)이 제공될 수 있다. 상기 셀 활성영역들(3a)은 소자분리막에 의해 한정될 수 있다. 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 복수개의 도전성 라인들(622)이 제공된다. 상기 도전성 라인들(622)은 매립 게이트 라인들 또는 비트라인들일 수 있다.
- <88> 구체적으로, 상기 도전성 라인들(622)은 차례로 배열된 제1, 제2, 제3, 제4 도전성 라인들(622a, 622b, 622c, 622d)을 포함할 수 있다. 상기 도전성 라인들(622)은 상기 셀 어레이 영역(CA)에서 리소그래피 공정의 한계 해상도보다 작은 치수의 선편을 가질 수 있다. 상기 셀 어레이 영역(CA)에서, 상기 제2 및 제3 도전성 라인들(622b, 622c)은 리소그래피 공정의 한계 해상도보다 작은 치수의 제1 거리(SW1) 만큼 이격될 수 있다. 상기 제1 및 제2 도전성 라인들(622a, 622b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들(622a, 622b)은 상기 셀 어레이 영역(CA)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2)만큼 이격됨과 아울러 상기 제1 코어 영역(CO1)에서 상기 제2 거리(SW2)보다 큰 제3 거리(SW3) 만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제1 도전성 라인(622a)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 제1 길이(LE1)만큼 연장되고, 상기 제2 도전성 라인(622b)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 상기 제1 길이(LE1)보다 작은 제2 길이(LE2)만큼 연장될 수 있다.
- <89> 상기 제3 및 제4 도전성 라인들(622c, 622d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(622c, 622d)은 상기 셀 어레이 영역(CA)에서 상기 제2 거리(SW2) 만큼 이격됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제3 거리(SW3) 만큼 이격된 부분을 가질 수 있다. 여기서, 상기 제3 도전성 라인(622c)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(CO2)으로 상기 제1 길이(LE1)만큼 연장되고, 상기 제4 도전성 라인(622d)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(CO2)으로 상기 제2 길이(LE2)만큼 연장될 수 있다.
- <90> 상기 도전성 라인들(622) 각각의 양쪽 끝부분들 중 상기 제2 거리(SW2)만큼 이격된 한 쪽 끝부분들에 전기적으로 접속된 콘택 패드들(625p, 625q)이 제공될 수 있다. 구체적으로, 상기 제1 코어 영역(CO1)에서 상기 제1 및 제2 도전성 라인들(622a, 622b) 끝부분들과 중첩하는 제1 콘택 패드들(625p)이 제공됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제3 및 제4 도전성 라인들(622c, 622d) 끝부분들과 중첩하는 제2 콘택 패드들(625q)이 제공될 수 있다. 상기 제1 및 제2 콘택 패드들(625p, 625q)의 각각은 상기 도전성 라인들(622) 각각의 선편보다 큰 폭을 가질 수 있다.
- <91> 상기 제1 코어 영역(CO1)에 위치하는 상기 제1 콘택 패드들(625p)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제1 콘택 패드들(625p)은 서로 인접하는 상기 제1 콘택 패드들(625p) 사이에 상기 제1 콘택 패드들(625p)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 여기서, 상기 가상의 수평선(X)은 상기 셀 어레이 영역(CA)의 상기 도전성 라인들(622)과 교차하는 방향성을 갖고, 상기 가상의 수직선(Y)은 상기 가상의 수평선(X)에 수직인 방향성을 가질 수 있다.
- <92> 상기 제2 코어 영역(CO2)에 위치하는 상기 제2 콘택 패드들(625q)은 행 방향 및 열 방향을 따라 서로 엇갈리면서

서 반복적으로 배열될 수 있다. 구체적으로, 상기 제2 콘택 패드들(625q)은 서로 인접하는 상기 제2 콘택 패드들(625q) 사이에 상기 제2 콘택 패드들(625q)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다.

- <93> 다음으로, 도 8을 참조하여 본 발명의 제8 실시예에 의한 반도체소자를 설명하기로 한다. 도 8을 참조하면, 본 발명의 제1 실시예와 같은 반도체기판(1)이 제공된다. 이 반도체 기판은 셀 어레이 영역(CA)을 사이에 두고 제공된 제1 코어 영역(CO1) 및 제2 코어 영역(CO2)을 가질 수 있다. 상기 셀 어레이 영역(CA)에는 복수개의 셀 활성영역들(3a)이 제공될 수 있다. 상기 셀 활성영역들(3a)은 소자분리막에 의해 한정될 수 있다. 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1) 또는 상기 제2 코어 영역(CO2)으로 연장된 복수개의 도전성 라인들(722)이 제공된다. 상기 도전성 라인들(722)은 매립 게이트 라인들 또는 비트라인들일 수 있다.
- <94> 구체적으로, 상기 도전성 라인들(722)은 차례로 배열된 제1, 제2, 제3, 제4 도전성 라인들(722a, 722b, 722c, 722d)을 포함할 수 있다. 상기 도전성 라인들(722)은 상기 셀 어레이 영역(CA)에서 리소그래피 공정의 한계 해상도보다 작은 치수의 선폭을 가질 수 있다.
- <95> 상기 셀 어레이 영역(CA)에서, 상기 제2 및 제3 도전성 라인들(722b, 722c)은 리소그래피 공정의 한계 해상도보다 작은 치수의 제1 거리(SW1) 만큼 이격될 수 있다.
- <96> 상기 제1 및 제2 도전성 라인들(722a, 722b)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1)으로 연장될 수 있다. 상기 제1 및 제2 도전성 라인들(722a, 722b)은 상기 제1 거리(SW1)보다 큰 제2 거리(SW2)만큼 이격될 수 있다. 상기 제3 및 제4 도전성 라인들(722c, 722d)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 제3 및 제4 도전성 라인들(722c, 722d)은 상기 제2 거리(SW2) 만큼 이격될 수 있다.
- <97> 상기 제1 코어 영역(CO1)에서 상기 제1 및 제2 도전성 라인들(722a, 722b)과 중첩하는 제1 콘택 패드들(725p)이 제공됨과 아울러 상기 제2 코어 영역(CO2)에서 상기 제3 및 제4 도전성 라인들(722c, 722d)과 중첩하는 제2 콘택 패드들(725q)이 제공될 수 있다. 상기 제1 및 제2 콘택 패드들(725p, 725q)의 각각은 상기 도전성 라인들(722) 각각의 선폭보다 큰 폭을 가질 수 있다.
- <98> 상기 제1 코어 영역(CO1)에서의 상기 제1 콘택 패드들(725p)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제1 콘택 패드들(725p)은 서로 인접하는 상기 제1 콘택 패드들(725p) 사이에 상기 제1 콘택 패드들(725p)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 여기서, 상기 가상의 수평선(X)은 상기 셀 어레이 영역(CA)의 상기 도전성 라인들(722)과 교차하는 방향성을 갖고, 상기 가상의 수직선(Y)은 상기 가상의 수평선(X)에 수직인 방향성을 가질 수 있다.
- <99> 상기 제2 코어 영역(CO2)에서의 상기 제2 콘택 패드들(725q)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제2 콘택 패드들(725q)은 서로 인접하는 상기 제2 콘택 패드들(725q) 사이에 상기 제2 콘택 패드들(725q)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다.
- <100> 다음으로, 도 9를 참조하여 본 발명의 제9 실시예에 따른 반도체소자를 설명하기로 한다.
- <101> 도 9를 참조하면, 본 발명의 제1 실시예와 같은 반도체기판(1)이 제공된다. 이 반도체 기판(1)은 셀 어레이 영역(CA)을 사이에 두고 제공된 제1 코어 영역(CO1) 및 제2 코어 영역(CO2)을 가질 수 있다. 상기 셀 어레이 영역(CA)에는 복수개의 셀 활성영역들(3a)이 제공될 수 있다. 상기 셀 활성영역들(3a)은 소자분리막에 의해 한정될 수 있다.
- <102> 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2)으로 연장된 복수개의 도전성 라인들(822)이 제공된다. 상기 도전성 라인들(822)은 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 선 폭(line width)을 갖는다. 예를 들어, 상기 도전성 라인들(822)은 리소그래피 공정의 한계 분해능(resolution limit)보다 작은 치수의 선 폭(line width)을 가질 수 있다. 예를 들어, 상기 도전성 라인들(822)은 스페이서 이미지 패턴(spacer image pattern) 공정을 이용하여 형성된 매립 게이트 라인들(buried gate lines)일 수 있다. 상기 도전성 라인들(822)은 상기 셀 어레이 영역(CA) 내의 상기 셀 활성영역들(3a)을 가로지르도록 배치될 수 있다. 상기 도전성 라인들(822)이 매립 게이트 라인들인 경우에, 상기 도전성 라인들(822)은 상기 셀 활성영역들(3a)의 상부 표면보다 낮은 레벨에 위치할 수 있다
- <103> 상기 도전성 라인들(822)은 차례로 배열된 제1 도전성 라인(822a), 제2 도전성 라인(822b), 제3 도전성 라인

(822c) 및 제4 도전성 라인(822d)을 포함할 수 있다. 상기 셀 어레이 영역(CA)에서 상기 제1 및 제2 도전성 라인들(822a, 822b)은 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제1 및 제2 코어 영역들(CO1, CO2)에서 상기 제1 거리(SW1)보다 큰 제2 거리(SW2) 만큼 이격된 부분을 갖는다. 여기서, 상기 제1 거리(SW1)는 리소그래피 공정의 한계 분해능보다 작은 크기일 수 있다. 상기 제3 및 제4 도전성 라인들(822c, 822d)은 상기 셀 어레이 영역(CA)에서 상기 제1 거리(SW1) 만큼 이격됨과 아울러 상기 제1 및 제2 코어 영역들(CO1, CO2)에서 상기 제2 거리(SW2) 만큼 이격된 부분을 갖는다. 상기 셀 어레이 영역(CA)에서 상기 제2 및 제3 도전성 라인들(822b, 822c)은 상기 제1 거리(SW1)보다 큰 제3 거리(SW3)만큼 이격될 수 있다.

<104> 상기 도전성 라인들(822) 각각의 양쪽 끝부분들 중 선택된 한쪽 끝부분에 전기적으로 접속된 콘택 패드들(825p, 825q)이 제공될 수 있다. 여기서, 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2) 중 어느 하나의 코어 영역에 배치된 상기 콘택 패드들(825p, 825q)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 상기 제1 코어 영역(CO1)에서의 상기 제2 및 제4 도전성 라인들(822b, 822d)의 끝부분들에 전기적으로 접속된 제1 콘택 패드들(825p)이 제공되고, 상기 제2 코어 영역(CO2)에서의 상기 제1 및 제3 도전성 라인들(822a, 822c)의 끝부분들에 전기적으로 접속된 제2 콘택 패드들(825q)이 제공될 수 있다. 상기 제1 콘택 패드들(825p)은 서로 인접하는 상기 제1 콘택 패드들(825p) 사이에 상기 제1 콘택 패드들(825p)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 상기 제2 콘택 패드들(825q)은 서로 인접하는 상기 제2 콘택 패드들(825q) 사이에 상기 제2 콘택 패드들(825q)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 상기 가상의 수평선(X)은 상기 셀 어레이 영역(CA)의 상기 도전성 라인들(822)과 교차하는 방향성을 갖고, 상기 가상의 수직선(Y)은 상기 가상의 수평선(X)에 수직인 방향성을 가질 수 있다.

<105> 평면도로 보았을때, 상기 콘택 패드들(825p, 825q)이 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열됨에 따라, 상기 도전성 라인들(822)과 상기 콘택 패드들(825p, 825q)의 끝부분들이 서로 이격될 수 있다. 이와 같이, 상기 도전성 라인들(822)과 상기 콘택 패드들(825p, 825q)의 끝부분들이 서로 이격되는 경우에, 상기 콘택 패드들(825p, 825q)과 상기 도전성 라인들(822)을 전기적으로 접속시키도록 상기 도전성 라인들(822)의 끝부분들과 상기 콘택 패드들(825p, 825q) 사이에 접속부(825a)가 제공될 수 있다.

<106> 한편, 본 발명의 제9 실시예에 의한 상기 도전성 라인들(822)은 본 발명의 제10 실시예를 나타낸 도 10에 도시된 바와 같이 배치될 수 있다. 본 발명의 제10 실시예를 나타낸 도 10에 도시된 도전성 라인들(922)은 본 발명의 제9 실시예에서의 상기 도전성 라인들(822)과 달리 상기 제1 및 제2 코어 영역들(CO1, CO2)에서 서로 다른 길이들을 갖도록 제공될 수 있다.

<107> 구체적으로, 상기 도전성 라인들(922)은 차례로 배열된 제1, 제2, 제3 및 제4 도전성 라인들(922a, 922b, 922c, 922d)을 포함할 수 있다. 상기 제1 및 제3 도전성 라인들(922a, 922c)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 제1 길이(LE1)만큼 연장됨과 아울러 상기 제2 코어 영역(CO2)으로 상기 제1 길이(LE1)보다 큰 제2 길이(LE2)만큼 연장될 수 있다. 그리고, 상기 제2 및 제4 도전성 라인들(922b, 922d)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 상기 제2 길이(LE2)만큼 연장됨과 아울러 상기 제2 코어 영역(CO2)으로 상기 제1 길이(LE1)만큼 연장될 수 있다. 상기 도전성 라인들(922) 중 상기 셀 어레이 영역(CA)으로부터 상기 제1 및 제2 코어 영역들(CO1, CO2)로 상기 제2 길이(LE2)만큼 연장된 상기 도전성 라인들(922)의 끝 부분들에 전기적으로 접속된 콘택 패드들(925p, 925q)이 제공될 수 있다. 여기서, 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2) 중 어느 하나의 코어 영역에 배치된 상기 콘택 패드들(925p, 925q)은 행 방향 및 열 방향을 따라 서로 엇갈리면서 반복적으로 배열될 수 있다. 구체적으로, 상기 제1 코어 영역(CO1)에서의 상기 제2 및 제4 도전성 라인들(922b, 922d)의 끝부분들에 전기적으로 접속된 제1 콘택 패드들(925p)이 제공되고, 상기 제2 코어 영역(CO2)에서의 상기 제1 및 제3 도전성 라인들(922a, 922c)의 끝부분들에 전기적으로 접속된 제2 콘택 패드들(925q)이 제공될 수 있다.

<108> 상기 제1 콘택 패드들(925p)은 서로 인접하는 상기 제1 콘택 패드들(925p) 사이에 상기 제1 콘택 패드들(925p)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 상기 제2 콘택 패드들(925q)은 서로 인접하는 상기 제2 콘택 패드들(925q) 사이에 상기 제2 콘택 패드들(925q)과 이격된 가상의 수평선(X) 및 가상의 수직선(Y)이 지나가도록 서로 이격될 수 있다. 상기 가상의 수평선(X)은 상기 셀 어레이 영역(CA)의 상기 도전성 라인들(922)과 교차하는 방향성을 갖고, 상기 가상의 수직선(Y)은 상기 가상의 수평선(X)에 수직인 방향성을 가질 수 있다.

<109> 평면도로 보았을때, 상기 콘택 패드들(925p, 925q)이 2차원적으로 지그재그 배열됨에 따라, 상기 도전성 라인들

(922)과 상기 콘택 패드들(925p, 925q)의 끝부분들이 서로 이격될 수 있다. 이와 같이, 상기 도전성 라인들(922)과 상기 콘택 패드들(925p, 925q)의 끝부분들이 서로 이격되는 경우에, 상기 콘택 패드들(925p, 925q)과 상기 도전성 라인들(922)을 전기적으로 접속시키도록 상기 도전성 라인들(922)의 끝부분들과 상기 콘택 패드들(925p, 925q) 사이에 접속부(925a)가 제공될 수 있다.

- <110> 상술한 바와 같이 본 발명의 여러 실시예들에 의한 반도체소자들의 도전성 라인들은 상기 셀 어레이 영역에서 리소그래피 공정의 한계해상도보다 작은 치수의 선폭을 가질 수 있다. 그리고, 상기 코어 영역들에 제공된 콘택 패드들 사이의 여유 공간을 확보할 수 있다. 따라서, 반도체소자의 집적효율을 향상시킬 수 있다.
- <111> 이하에서, 상술한 본 발명의 여러 실시예들에 의한 반도체소자들에 대한 바람직한 제조방법들을 설명하기로 한다. 도 11은 상술한 제1 내지 제10 실시예들에 따른 반도체소자들의 공통적인 제조방법을 나타낸 공정흐름도이다. 다시 말하면, 상술한 제1 내지 제10 실시예들에 따른 반도체소자들은 그 제조방법들이 유사하다. 다만, 도 1 내지 도 10에 도시된 바와 같이 도전성 라인들의 배치된 모양 및 콘택 패드들의 배치된 모양에 차이가 있다. 따라서, 이하에서는 본 발명의 제1 실시예에 의한 반도체소자의 제조방법을 상세히 설명하고, 본 발명의 제2 내지 제10 실시예들에 의한 반도체소자의 제조방법은 본 발명의 제1 실시예에 의한 반도체소자의 제조방법을 참조하여 간략히 설명하기로 한다.
- <112> 우선, 도 1, 도 11, 도 12a 내지 도 12g, 및 도 13a 내지 도 13e를 참조하여 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다.
- <113> 도 1, 도 11, 도 12a 및 도 13a를 참조하면, 셀 어레이 영역(CA)을 사이에 두고 제공된 제1 코어 영역(CO1) 및 제2 코어 영역(CO2)을 갖는 반도체기판(1)을 준비한다. 상기 반도체기판(1)에 소자분리막(3s)을 형성하여 상기 셀 어레이 영역(CA)의 셀 활성영역들(3a)을 한정할 수 있다. 상기 소자분리막(3s)은 트렌치 소자분리 기술을 이용하여 형성할 수 있다. 상기 소자분리막(3s)을 갖는 기판 상에 차례로 적층된 버퍼 유전막(5), 버퍼 도전막(7) 및 희생 절연막(9)을 형성할 수 있다.
- <114> 상기 희생 절연막(9) 상에 희생 개구부들(11a)을 갖는 하드 마스크(11)를 형성할 수 있다.(S100) 상기 희생 개구부들(11a)은 도 13a에 도시된 바와 같이 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 상기 희생 개구부들(11a) 각각은 상기 셀 어레이 영역(CA) 내의 상기 셀 활성영역들(3a) 중 선택된 셀 활성영역을 가로지른다. 즉, 평면도상에서 하나의 셀 활성영역 상에 하나의 희생 개구부가 형성될 수 있다. 한편, 상기 희생 개구부들(11a)은 상기 제1 코어 영역(CO1)에서의 크기와 및 상기 제2 코어 영역(CO2)에서의 크기가 서로 다를 수 있다. 즉, 상기 희생 개구부들(11a)의 각각은 도 13a에 도시된 바와 같이 상기 제1 및 제2 코어 영역들(CO1, CO2) 중 하나의 영역에서의 개구된 영역이 클 수 있다. 특히, 상기 희생 개구부들(11a)의 각각은 도 13a에 도시된 바와 같이 상기 제1 및 제2 코어 영역들(CO1, CO2) 중 하나의 영역에서의 개구된 영역이 박스형일 수 있다.
- <115> 도 1, 도 11, 도 12b 및 도 13b를 참조하면, 상기 희생 개구부들(11a)의 측벽들을 덮는 희생 스페이서들(13)을 형성할 수 있다.(S110) 상기 희생 스페이서들(13)은 상기 하드 마스크(11)에 대해 식각선택비를 갖는 물질로 형성될 수 있다. 예를 들어, 상기 하드 마스크(11)가 실리콘 질화막으로 형성되는 경우에, 상기 희생 스페이서들(13)은 실리콘 산화막으로 형성될 수 있다.
- <116> 도 1, 도 11, 도 12c 및 도 13c를 참조하면, 상기 희생 스페이서들(13)을 부분식각하여 도 1에 도시된 도전성 라인들(22)이 배치될 영역을 정의하는 노드 분리 공정을 진행할 수 있다. 구체적으로, 상기 희생 스페이서들(13)을 갖는 기판 상에 노드 분리 개구부들(15a)을 갖는 노드 분리 마스크(15)를 형성할 수 있다. 상기 노드 분리 마스크(15)는 포토레지스트막으로 형성할 수 있다. 상기 노드 분리 개구부들(15a)은 상기 희생 개구부들(11a)의 양쪽 끝부분들과 중첩할 수 있다. 따라서, 상기 노드 분리 개구부들(15a)에 의해 상기 희생 개구부들(11a)의 양쪽 끝부분들에 위치하는 상기 희생 스페이서들(13)이 노출될 수 있다. 이어서, 상기 노드 분리 마스크(15)를 식각마스크로 하여 상기 노출된 상기 희생 스페이서들(13)을 식각하여 희생 스페이서 패턴들(13a)을 형성할 수 있다.(S120) 상기 희생 스페이서 패턴들(13a)은 본 발명의 제1 실시예에 따른 반도체소자에 대해 설명한 상기 도전성 라인들(22)이 배치될 영역에 형성될 수 있다.
- <117> 상기 희생 스페이서 패턴들(13a)은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2)으로 연장될 수 있다. 도 13c에 도시된 바와 같이 하나의 셀 활성영역(3a) 상에 한 쌍의 희생 스페이서 패턴들(13a)이 형성될 수 있다. 도 12c 및 도 13c에서 참조부호 16은 상기 노드 분리 개구부들(15a)에 의해 노출된 상기 희생 스페이서들(13)이 식각된 영역들을 나타낸 것이다.

- <118> 도 1, 11, 도 12d 및 도 13d를 참조하면, 상기 노드 분리 마스크(15)를 선택적으로 제거할 수 있다. 측벽들이 상기 희생 스페이서 패턴들(13a)에 의해 덮인 상기 희생 개구부들(11a)을 채우는 마스크 패턴들(17)을 형성할 수 있다.(S130) 상기 마스크 패턴들(17)은 상기 희생 스페이서 패턴들(13a)에 대해 식각선택비를 갖는 물질로 형성할 수 있다. 예를 들어, 상기 희생 스페이서 패턴들(13a)이 실리콘 산화막으로 형성되는 경우에, 상기 마스크 패턴들(17)은 실리콘 질화막으로 형성될 수 있다.
- <119> 상기 마스크 패턴들(17)을 형성하는 것은 상기 희생 스페이서 패턴들(13a)을 갖는 기판 상에 물질막을 형성하고, 화학기계적 연마 공정을 이용하여 상기 희생 스페이서 패턴들(13a)이 노출될 때까지 평탄화하는 것을 포함할 수 있다. 이때, 상기 화학기계적 연마 공정은 상기 희생 스페이서 패턴들(13a)이 노출되고 상기 희생 스페이서 패턴들(13a)이 평평한 상부면이 될 때까지 진행할 수 있다.
- <120> 도 1, 도 11 및 도 12e를 참조하면, 상기 희생 스페이서 패턴들(13a)을 제거하여 트렌치들(19a)을 형성할 수 있다. 계속해서, 상기 하드 마스크(11) 및 상기 마스크 패턴들(17)을 식각마스크로 이용하여 상기 희생 절연막(9), 상기 버퍼 도전막(7), 상기 버퍼 유전막(5)을 차례로 식각하여 상기 셀 활성영역들(3a) 및 상기 소자분리막(3s)을 노출시킬 수 있다. 계속해서, 상기 하드 마스크(11) 및 상기 마스크 패턴들(17)을 식각마스크로 하여 상기 노출된 상기 셀 활성영역들(3a) 및 상기 소자분리막(3s)을 부분식각할 수 있다. 그 결과, 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2)으로 연장된 게이트 트렌치들(19b)을 형성할 수 있다.(S140) 즉, 평면도로 보았을 때, 상기 게이트 트렌치들(19b)은 상기 희생 스페이서 패턴들(13a)이 제거된 위치에 형성될 수 있다.
- <121> 도 1, 도 11, 도 12f 및 도 13e를 참조하면, 상기 하드 마스크(11) 및 상기 마스크 패턴들(17)을 제거할 수 있다. 한편, 상기 하드 마스크(11) 및 상기 마스크 패턴들(17)을 제거하는 공정은 생략될 수도 있다.
- <122> 상기 게이트 트렌치들(19b)을 갖는 기판 상에 도전막(26)을 형성할 수 있다.(S150) 구체적으로, 상기 게이트 트렌치들(19b)을 갖는 기판 상에 도전성 물질막을 형성하고, 상기 도전성 물질막을 평탄화하여 상기 게이트 트렌치들(19b) 내에 잔존하는 예비 도전성 라인들(21)을 형성할 수 있다. 상기 예비 도전성 라인들(21)은 상기 셀 어레이 영역(CA)에서 차례로 배열된 제1 내지 제4 예비 도전성 라인들(21a, 21b, 21c, 21d)을 포함할 수 있다. 상기 제1 내지 제4 예비 도전성 라인들(21a, 21b, 21c, 21d) 중 상기 제1 및 제2 예비 도전성 라인들(21a, 21b)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 연장되고, 상기 제3 및 제4 예비 도전성 라인들(21c, 21d)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(CO2)으로 연장될 수 있다.
- <123> 상기 예비 도전성 라인들(21)을 갖는 기판 상에 패드 도전막(25)을 형성할 수 있다. 따라서, 상기 도전막(25)은 상기 예비 도전성 라인들(21) 및 상기 패드 도전막(25)으로 이루어질 수 있다. 상기 예비 도전성 라인들(21)은 티타늄 질화막과 같은 금속막으로 형성될 수 있다. 상기 패드 도전막(25)은 텅스텐막 또는 텅스텐 실리사이드막과 같은 금속막으로 형성될 수 있다. 한편, 상기 예비 도전성 라인들(21)을 형성하기 전에, 상기 게이트 트렌치들(19)을 갖는 기판을 열 산화시켜 게이트 유전막(20)을 형성할 수 있다. 한편, 상기 게이트 유전막(20)은 원자층 증착법에 의한 고유전막으로 형성할 수도 있다.
- <124> 상기 패드 도전막(25) 상에 제1 및 제2 콘택 패드 마스크들(27, 28)을 형성할 수 있다.(S160) 상기 제1 및 제2 콘택 패드 마스크들(27, 28)은 상기 트렌치들(19b)을 채우는 상기 예비 도전성 라인들(23)의 양 끝부분들 중 한 쪽 끝부분들과 중첩할 수 있다. 구체적으로, 상기 제1 콘택 패드 마스크들(27)은 상기 제1 코어 영역(CO1)의 상기 제1 및 제2 예비 도전성 라인들(21a, 21b)의 끝부분들과 중첩하도록 형성되고, 상기 제2 콘택 패드 마스크들(28)은 상기 제2 코어 영역(CO2)의 상기 제3 및 제4 예비 도전성 라인들(21c, 21d)의 끝부분들과 중첩하도록 형성될 수 있다. 상기 제1 콘택 패드 마스크들(27)의 각각은 제1 콘택 패드 영역(27a) 및 제1 접속 영역(27b)으로 구성될 수 있다. 상기 제1 접속 영역(27b)은 상기 제1 코어 영역(CO1)의 상기 제1 및 제2 예비 도전성 라인들(21a, 21b)의 끝부분들과 중첩할 수 있다. 상기 제2 콘택 패드 마스크들(28)의 각각은 제2 콘택 패드 영역(28a) 및 제2 접속 영역(28b)으로 구성될 수 있다. 상기 제2 접속 영역(28b)은 상기 제2 코어 영역(CO2)의 상기 제3 및 제4 예비 도전성 라인들(21c, 21d)의 끝부분들과 중첩할 수 있다. 여기서, 상기 제1 및 제2 콘택 패드 영역들(27a, 28a)은 앞에서 상술한 제1 실시예의 반도체소자에서의 콘택 패드들(25p, 25q)이 형성될 영역을 정의할 수 있다.
- <125> 도 1, 도 11 및 도 12g를 참조하면, 상기 제1 및 제2 콘택 패드 마스크들(27, 28)을 식각마스크로 하여 상기 패드 도전막(25)을 식각하여 제1 및 제2 콘택 패드들(25p, 25q) 및 제1 및 제2 접속부들(25a, 25b)을 형성할 수 있다. 계속해서, 상기 제1 및 제2 콘택 패드 마스크들(27, 28)을 식각마스크로 하여 상기 예비 도전성 라인들(21)을 부분식각하여 상기 게이트 트렌치들 내에 잔존하는 도전성 라인들(22)을 형성할 수 있다.(S170) 상기 도

전성 라인들(22)은 상기 활성영역들(3a) 및 상기 소자분리막(3s)의 상부표면보다 낮은 레벨에 위치하도록 형성될 수 있다. 상기 예비 도전성 라인들(21)을 부분식각하는 동안에, 상기 제1 및 제2 콘택 패드 마스크들(27, 28)과 상기 예비 도전성 라인들(21)이 중첩되는 영역에서의 상기 예비 도전성 라인들(23)은 식각되지 않는다. 따라서, 상기 도전성 라인들(22)과 상기 제1 및 제2 콘택 패드들(25p, 25q)은 전기적으로 접속될 수 있다.

<126> 한편, 도면에 도시되지는 않았지만, 상기 제1 및 제2 콘택 패드 마스크들(27, 28)을 형성함과 아울러 상기 코어 영역들(CO1, CO2) 또는 주변 영역들에 주변 게이트 마스크들을 형성할 수 있다. 따라서, 상기 패드 도전막(25)을 식각하는 동안에, 상기 주변 게이트 마스크들 하부에 위치하는 상기 패드 도전막(25), 버퍼 도전막(7) 및 상기 버퍼 유전막(5)이 잔존하여 주변 게이트 패턴을 형성할 수 있다.

<127> 상기 도전성 라인들(22) 상에 절연 패턴들(29a)을 형성할 수 있다. 상기 절연 패턴들(29a)의 상부 표면들은은 상기 활성영역들(3a) 및 상기 소자분리막(3s)의 상부 표면들과 실질적으로 동일한 레벨에 위치할 수 있다. 한편, 상기 절연 패턴들(29a)을 형성하는 동안에, 상기 콘택 패드들(25p, 25q)의 측벽들을 덮는 패드 스페이서들(29b)이 형성될 수 있다. 상기 도전성 라인들(22)의 양 옆에 위치하는 상기 활성영역들(3a)에 소스/드레인 영역들(31)을 형성할 수 있다. 따라서, 상기 셀 어레이 영역(CA)에는 리소그래피 공정의 한계 해상도보다 작은 치수의 선폭을 갖는 도전성 라인들, 즉 매립 게이트 라인들(22)이 형성될 수 있다. 이에 따라, 상기 매립 게이트 라인들(22) 및 상기 소스/드레인 영역들(31)을 포함하는 셀 트랜지스터들이 형성될 수 있다.

<128> 다음으로, 도 2, 도 11 및 도 14를 참조하여 본 발명의 제2 실시예에 의한 반도체소자의 제조방법을 설명하기로 한다. 본 발명의 제1 실시예에 의한 반도체소자의 제조방법과 본 발명의 제2 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 노드 분리 공정을 이용하여 상기 희생 개구부의 측벽을 덮는 제1 및 제2 희생 스페이서들을 형성하는 단계(S120)에 차이가 있다. 구체적으로, 상기 제1 실시예는 도 13c에 도시된 바와 같이 상기 희생 스페이서 패턴들(13a)을 형성하기 위해 노드 분리 공정을 진행한다. 반면에, 본 발명의 제2 실시예에서는 도 14에 도시된 바와 같은 희생 스페이서 패턴들(113a)을 형성하기 위해 노드 분리 공정을 진행한다. 상기 희생 스페이서 패턴들(113a)은 이후 형성된 도전성 라인들이 형성될 영역을 정의한다. 따라서, 상기 희생 스페이서 패턴들(113a)이 배치된 형상에 따라 후에 형성될 도전성 라인들이 결정될 수 있다. 따라서, 도 14에 도시된 바와 같이, 노드 분리 개구부(115a)를 갖는 노드 분리 마스크를 이용하여 희생 스페이서의 소정부분을 식각하는 노드 분리 공정을 진행하여 상기 희생 스페이서 패턴들(113a)을 형성할 수 있다. 여기서, 참조부호 116은 상기 노드 분리 개구부(115a)에 의해 노출된 희생 스페이서가 제거된 영역을 나타낼 수 있다. 참고로, 상기 희생 스페이서 패턴들(113a)의 배치된 형상은 본 발명의 제2 실시예에서의 도전성 라인들(122)과 같기 때문에 자세한 설명은 생략하기로 한다. 따라서, 상술한 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 이용하여 본 발명의 제2 실시예에 따른 반도체소자를 제조할 수 있다.

<129> 다음으로, 도 3, 도 11, 도 15a 및 도 15b를 참조하여 본 발명의 제3 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다. 본 발명의 제1 실시예에 의한 반도체소자의 제조방법과 본 발명의 제3 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 S100 단계에서의 희생 개구부의 형상과 S120 단계에서의 제1 및 제2 희생 스페이서 패턴들의 형상에 차이가 있을 뿐이므로, 상술한 본 발명의 제1 실시예에 의한 반도체소자의 제조방법을 이용하여 본 발명의 제3 실시예에 의한 반도체소자를 제조할 수 있다. 좀더 구체적으로, 본 발명의 제3 실시예는 도 15a에 도시된 바와 같은 희생 개구부들(211a)를 갖는 하드 마스크를 형성한다. (S100) 상기 희생 개구부들(211a)의 각각은 상기 셀 어레이 영역(CA)을 가로지르며 상기 제1 및 제2 코어 영역들(CO1, CO2)로 연장된다. 이 경우에, 상기 희생 개구부들(211a)의 각각은 상기 셀 어레이 영역(CA)에서 제1 폭(NA1)을 가짐과 아울러 상기 제1 및 제2 코어 영역들(CO1, CO2) 중 하나의 영역에서 상기 제1 폭(NA1)보다 큰 제2 폭(NA2)을 가지며 제1 길이만큼(MA1) 연장되고, 계속해서 상기 제1 길이(MA1)만큼 연장된 끝부분의 양 쪽으로부터 상기 제1 폭(NA1)보다 작은 제3 폭(PA1)으로 연장된 형상을 갖는다. 여기서, 상기 제3 폭(PA1)은 후에 형성될 희생 스페이서의 폭 보다 클 수 있다.

<130> 본 발명의 제1 실시예에서의 반도체소자의 제조방법과 같이 상기 희생 개구부들(211a)의 측벽을 덮는 희생 스페이서를 형성할 수 있다. (S110) 이어서, 노드 분리 공정을 진행하여 상기 희생 개구부들(211a)의 측벽을 부분적으로 덮는 희생 스페이서 패턴들(213a)을 형성할 수 있다. (S120) 상기 희생 스페이서 패턴들(213a)은 이후 형성된 도전성 라인들이 형성될 영역을 정의한다. 따라서, 상기 희생 스페이서 패턴들(213a)이 배치된 형상에 따라 후에 형성될 도전성 라인들이 결정될 수 있다. 따라서, 도 15b에 도시된 바와 같은 노드 분리 개구부(115a)를 갖는 노드 분리 마스크를 이용하여 희생 스페이서의 소정부분을 식각하는 노드 분리 공정을 진행하여 상기 희생 스페이서 패턴들(213a)을 형성할 수 있다. 여기서, 참조부호 216은 상기 노드 분리 개구부(115a)에 의해 노출된 희생 스페이서가 제거된 영역을 나타낼 수 있다. 참고로, 상기 희생 스페이서 패턴들(113a)의 배치된 형상은 본

발명의 제3 실시예에서의 도전성 라인들(222)과 같기 때문에 자세한 설명은 생략하기로 한다. 따라서, 상술한 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 이용하여 본 발명의 제3 실시예에 따른 반도체소자를 제조할 수 있다.

<131> 한편, 상술한 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 이용하여 본 발명의 제3 실시예에 따른 반도체소자를 제조하는 공정들 중에서 콘택 패드 마스크의 형상을 변형시킴으로써 본 발명의 제6 실시예에 의한 반도체소자를 제조할 수 있다. 좀더 구체적으로, 본 발명의 제6 실시예에 의한 반도체소자를 제조하기 위하여 상술한 본 발명의 제3 실시예의 반도체소자를 제조하기 위해 이용하는 접속 영역 및 콘택 영역을 갖는 콘택 패드 마스크 대신에 콘택 영역만을 갖는 콘택 패드 마스크를 사용하고, 이후의 공정을 상술한 제1 실시예에서 제시한 제조공정을 진행함으로써 도 6에 도시된 반도체소자를 제조할 수 있다.

<132> 다음으로, 도 4, 도 11 및 도 16을 참조하여 본 발명의 제4 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다. 본 발명의 제3 실시예에 의한 반도체소자의 제조방법과 본 발명의 제4 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 S100 단계에서의 희생 개구부의 형상 및 S120 단계에서의 제1 및 제2 희생 스페이서 패턴들의 형상에 차이가 있을 뿐이므로, 상술한 본 발명의 제3 실시예에 의한 반도체소자의 제조방법을 이용하여 본 발명의 제4 실시예에 의한 반도체소자를 제조할 수 있다. 좀더 구체적으로, 상술한 제3 실시예의 제조방법 중 희생 개구부들(211a)의 각각은 상기 셀 어레이 영역(CA)에서 제1 폭(NA1)을 가짐과 아울러 상기 제1 및 제2 코어 영역들(CO1, CO2) 중 하나의 영역에서 상기 제1 폭(NA1)보다 큰 제2 폭(NA2)을 가지며 제1 길이만큼(MA) 연장되고, 계속해서 상기 제1 길이(MA1)만큼 연장된 끝부분의 양 쪽으로부터 상기 제1 폭(NA1)보다 작은 제3 폭(PA1)으로 연장된 형상을 갖는다고 설명한 바 있다. 이와는 달리 본 발명의 제3 실시예에 의한 상기 희생 개구부들(211a)의 각각은 도 16에 도시된 바와 같이 상기 셀 어레이 영역(CA)에서 제1 폭(NA1)을 가짐과 아울러 상기 제1 및 제2 코어 영역들(CO1, CO2) 중 하나의 영역에서 상기 제1 폭(NA1)보다 큰 제2 폭(NA2)을 가지며 제1 길이만큼(MA) 연장되고, 계속해서 상기 제1 길이(MA1)만큼 연장된 끝부분의 양 쪽으로부터 두 갈래로 상기 제1 폭(NA1)보다 작은 제3 폭(PA1)으로 연장된 형상을 갖되, 두 갈래 중 하나의 길이가 보다 더 연장된 형상을 갖는다. 따라서, 상기 하드 마스크의 희생 개구부들의 형상만 다를 뿐이므로, 상술한 본 발명의 제3 실시예에 따른 반도체소자의 제조방법을 이용하면 본 발명의 제4 실시예에 따른 반도체소자를 제조할 수 있다.

<133> 다음으로, 도 5, 도 11 및 도 17을 참조하여 본 발명의 제5 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다. 본 발명의 제1 실시예에 의한 반도체소자의 제조방법과 본 발명의 제4 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 S120 단계에서의 노드 분리 공정 및 S160 단계에서의 콘택 패드 마스크의 형상에 차이가 있을 뿐이므로, 상술한 본 발명의 제1 실시예에 의한 반도체소자의 제조방법을 이용하여 본 발명의 제5 실시예에 의한 반도체소자를 제조할 수 있다. 좀더 구체적으로, 본 발명의 제5 실시예에 의한 반도체소자를 제조하기 위하여 상술한 제1 실시예의 반도체소자를 제조하는 방법 중에서 희생 스페이서를 형성하는 공정단계(S110) 까지 진행하고, 도 11의 S120 단계의 노드 분리 공정에서 이용하는 노드 분리 마스크의 노드 분리 개구부들(415a)을 도 17과 같이 형성한다. 상기 희생 스페이서의 양쪽 끝부분을 선택적으로 노출시키는 노드 분리 개구부들(415a)을 갖는 노드 분리 마스크를 이용하여 상기 희생 스페이서의 양쪽 끝부분을 선택적으로 제거하여 희생 스페이서 패턴들(413a)을 형성할 수 있다. 여기서, 참조부호 416의 상기 희생 스페이서가 부분적으로 식각된 영역을 나타낼 수 있다. 이후, 상기 제1 실시예의 반도체소자의 제조방법에서 설명한 바와 같이 도 11에 기재된 트렌치들을 갖는 기판 상에 도전막을 형성하는 공정(S150) 까지 진행할 수 있다. 이와 같이 형성된 도전막 상에 제1 코어 영역(CO1) 또는 제2 코어 영역(CO2)에 위치하는 상기 트렌치들의 끝부분들과 중첩하는 콘택 패드 마스크를 형성(S160) 할 수 있다. 이후의 공정은 상기 제1 실시예의 반도체소자의 제조방법에서 설명한 반도체 공정들이 진행될 수 있다. 그 결과, 도 5에 도시된 본 발명의 제5 실시예에 따른 반도체소자가 제조될 수 있다.

<134> 다음으로, 도 7, 도 11, 도 18a 및 도 18b를 참조하여 본 발명의 제7 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다. 본 발명의 제1 실시예에 의한 반도체소자의 제조방법과 본 발명의 제7 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 S100 단계의 희생 개구부를 갖는 하드 마스크를 형성하는 공정에서의 희생 개구부의 형상 및 S120 단계의 희생 스페이서 패턴들을 형성하는 공정에서의 희생 스페이서 패턴들의 형상에 차이가 있을 뿐, 본 발명의 제7 실시예에 의한 반도체소자의 제조방법은 상술한 본 발명의 제1 실시예에 의한 반도체소자의 제조방법과 실질적으로 유사하다.

<135> 좀더 구체적으로, 도 18a는 도 11에 개시된 S100 단계의 하드 마스크의 희생 개구부(611a)를 도시하고 있다. 즉, 도 13a에서의 희생 개구부(11a)는 복수개이지만, 도 18a에서는 하나의 희생 개구부(611a)가 제공된다. 즉, 본 발명의 제1 및 제7 실시예들에 의한 반도체소자들의 제조방법들에서 이용되는 희생 개구부들의 형상은 상기 셀 어레이 영역(CA)에서 동일하지만, 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2)에서 차이가 있다.

즉, 본 발명의 제7 실시예에서 이용되는 희생 개구부(611a)는 상기 셀 어레이 영역(CA)을 복수개의 희생 개구부들(611a)이 가로지르며, 상기 희생 개구부들(611a)은 상기 셀 어레이 영역(CA)에서 차례로 배열된 제1 내지 제3 셀 희생 개구부들(610a, 610b, 610c)을 포함할 수 있다. 상기 제1 및 제2 셀 희생 개구부들(610a)은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 연장되며 상기 제1 코어 영역(CO1)에서 하나의 개구부로 합쳐지고, 상기 제2 및 제3 셀 희생 개구부들(610b, 610c)은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(CO2)으로 연장되며 상기 제2 코어 영역(CO2)에서 하나의 개구부로 합쳐질 수 있다.

<136> 한편, 상기 제1 내지 제3 셀 희생 개구부들(610a, 610b, 610c)의 각각은 1F 크기(1 feature size)를 가질 수 있다. 본 발명에서, 상기 1F 크기는 리소그래피 공정의 한계분해능에 의해 구현 가능한 최소 치수로 정의할 수 있다.

<137> 다음으로, 상기 희생 개구부(611a)의 측벽을 덮는 희생 스페이서를 형성할 수 있다.(S110) 이어서, 도 18b에 도시된 바와 같이 노드 분리 공정을 진행하여 상기 희생 개구부(611a)의 측벽을 부분적으로 덮는 희생 스페이서 패턴들을 형성할 수 있다.(S120) 상기 제1 및 제2 셀 희생 개구부들(610a, 610b)이 상기 셀 어레이 영역(CA)으로부터 상기 제1 및 제2 코어 영역들(CO1, CO2)로 연장되어 하나로 합쳐지는 상기 희생 개구부(611a)의 측벽을 덮는 상기 희생 스페이서를 노출시키고, 상기 제1 및 제2 코어 영역들(CO1, CO2)의 끝 부분들에 위치하는 희생 스페이서를 노출시키는 노드 분리 개구부(615a)를 갖는 노드 분리 마스크를 이용하여 희생 스페이서를 식각하여 희생 스페이서 패턴들(613a)을 형성할 수 있다. 이 때, 상기 노드 분리 개구부(615a)는 상기 제1 및 제2 코어 영역들(CO1, CO2)의 끝 부분들에 위치하는 희생 스페이서와 상기 제1 및 제2 코어 영역들(CO1, CO2)의 끝 부분들의 한쪽 코너와 상기 셀 어레이 영역(CA) 사이에 위치하는 희생 스페이서를 노출시킬 수 있다. 그 결과, 도 7에 도시된 상기 도전성 라인들(622)과 같은 배치구조의 희생 스페이서 패턴들(613a)이 형성될 수 있다. 이후의 공정은 상기 제1 실시예의 반도체소자의 제조방법에서 설명한 반도체 공정들이 진행될 수 있다. 그 결과, 도 7에 도시된 본 발명의 제7 실시예에 따른 반도체소자가 제조될 수 있다.

<138> 다음으로, 도 8, 도 11, 도 19a 및 도 19b를 참조하여 본 발명의 제8 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다. 본 발명의 제8 실시예에 의한 반도체소자의 제조방법과 상술한 제1 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 S100 단계의 희생 개구부를 갖는 하드 마스크를 형성하는 공정에서의 희생 개구부의 형상 및 S120 단계의 희생 스페이서 패턴들을 형성하는 공정에서의 희생 스페이서 패턴들의 형상에 차이가 있을 뿐, 본 발명의 제8 실시예에 의한 반도체소자의 제조방법은 상술한 본 발명의 제1 실시예에 의한 반도체소자의 제조방법과 실질적으로 유사하다. 또한, 본 발명의 제8 실시예에 의한 반도체소자의 제조방법은 상술한 제1 실시예에 의한 반도체소자의 제조방법과 유사하다.

<139> 좀더 구체적으로, 도 19a는 도 11에 개시된 S100 단계의 하드 마스크의 희생 개구부(711a)를 도시하고 있다. 즉, 도 13a에서의 희생 개구부(11a)는 복수개이지만, 도 17a에서는 하나의 희생 개구부(711a)가 제공된다. 즉, 본 발명의 제1 및 제7 실시예들에 의한 반도체소자들의 제조방법들에서 이용되는 희생 개구부들의 형상은 상기 셀 어레이 영역(CA)에서 동일하지만, 상기 제1 코어 영역(CO1) 및 상기 제2 코어 영역(CO2)에서 차이가 있다. 즉, 본 발명의 제8 실시예에서 이용되는 희생 개구부(711a)는 상기 셀 어레이 영역(CA)을 복수개의 희생 개구부들(711a)이 가로지르며, 상기 희생 개구부들(711a)은 상기 셀 어레이 영역(CA)에서 차례로 배열된 제1 내지 제3 셀 희생 개구부들을 포함할 수 있다. 상기 제1 및 제2 셀 희생 개구부들은 상기 셀 어레이 영역(CA)으로부터 상기 제1 코어 영역(CO1)으로 연장되며 상기 제1 코어 영역(CO1)에서 하나의 개구부로 합쳐지고, 상기 제2 및 제3 셀 희생 개구부들은 상기 셀 어레이 영역(CA)으로부터 상기 제2 코어 영역(CO2)으로 연장되며 상기 제2 코어 영역(CO2)에서 하나의 개구부로 합쳐질 수 있다. 이때, 상기 제1 및 제2 코어 영역들(CO1, CO2)에서의 상기 희생 개구부(711a)의 폭은 상기 셀 어레이 영역(CA)에서의 제1 및 제2 셀 희생 개구부들의 폭들과 상기 제1 및 제2 셀 희생 개구부들 사이의 이격 거리의 합과 같을 수 있다.

<140> 다음으로, 상기 희생 개구부(711a)의 측벽을 덮는 희생 스페이서를 형성할 수 있다.(S110) 이어서, 도 19b에 도시된 바와 같이 노드 분리 공정을 진행하여 상기 희생 개구부(711a)의 측벽을 부분적으로 덮는 희생 스페이서 패턴들(713a)을 형성할 수 있다.(S120) 상기 제1 및 제2 셀 희생 개구부들(610a, 610b)이 상기 셀 어레이 영역(CA)으로부터 상기 제1 및 제2 코어 영역들(CO1, CO2)로 연장되어 하나로 합쳐지는 상기 희생 개구부(711a)의 측벽을 덮는 상기 희생 스페이서와 상기 제1 및 제2 코어 영역들(CO1, CO2)의 끝 부분들에 위치하는 희생 스페이서를 동시에 노출시키는 노드 분리 개구부(715a)를 갖는 노드 분리 마스크를 이용하여 상기 희생 스페이서를 식각하여 희생 스페이서 패턴들(713a)을 형성할 수 있다. 그 결과, 도 8에 도시된 상기 도전성 라인들(722)과 같은 배치구조의 희생 스페이서 패턴들(713a)이 형성될 수 있다. 이후의 공정은 상기 제1 실시예의 반도체소자의 제조방법에서 설명한 반도체 공정들이 진행될 수 있다. 그 결과, 도 8에 도시된 본 발명의 제8 실시예에 따

른 반도체소자가 제조될 수 있다.

- <141> 다음으로, 도 9, 도 11 및 도 20a 및 도 20b를 참조하여 본 발명의 제9 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다. 본 발명의 제1 실시예에 의한 반도체소자의 제조방법과 본 발명의 제9 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 S100 단계에서의 하드마스크의 희생 개구부의 형상, S120 단계에서의 노드 분리 공정에서 이용하는 노드 분리 마스크의 노드 분리 개구부의 형상 및 S160 단계에서의 콘택 패드 마스크의 배치 형상에 있다. 따라서, 상술한 제1 실시예에 의한 반도체소자의 제조방법을 이용하여 본 발명의 제9 실시예에 의한 반도체소자를 제조할 수 있다.
- <142> 좀더 구체적으로, 본 발명의 제9 실시예에 의한 반도체소자를 제조하기 위하여 도 20a에 도시된 바와 같이 셀 어레이 영역(CA)을 가로지르며 제1 및 제2 코어 영역들(CO1, CO2)로 연장된 희생 개구부들(811a)을 갖는 하드마스크를 형성할 수 있다.(S100) 이때, 상기 희생 개구부들(811a)의 각각은 상기 셀 어레이 영역(CA)보다 제1 및 제2 코어 영역들(CO1, CO2)에서 큰 폭을 갖는다.
- <143> 이어서, 상기 희생 개구부들(811a)의 측벽을 덮는 희생 스페이서들을 형성할 수 있다.(S110) 계속 해서, 상기 희생 개구부들(811a)의 양쪽 끝부분들의 측벽들을 덮는 희생 스페이서들을 노출시키는 노드 분리 개구부들(815a)을 갖는 노드 분리 마스크를 형성할 수 있다. 이어서, 상기 노드 분리 마스크를 식각마스크로 이용하여 상기 희생 스페이서를 식각하여 희생 스페이서 패턴들(813a)을 형성할 수 있다.(S120) 이어서, 본 발명의 제1 실시예에 의한 제조공정들을 이용하여 도 11의 트렌치들을 갖는 기판 상에 도전막을 형성(S150)하는 공정까지 진행할 수 있다. 이어서, 상기 도전막 상에 상기 트렌치들 각각의 양 쪽 끝부분들 중 하나의 끝부분과 중첩하는 콘택 패드 마스크들을 형성할 수 있다.(S160) 여기서, 상기 콘택 패드 마스크는 콘택 패드 영역 및 접속 영역을 가질 수 있다. 상기 콘택 패드 영역은 상술한 제9 실시예의 반도체소자의 콘택 패드들(825p,825q)이 위치할 영역을 정의할 수 있다. 이어서, 따라서, 상술한 제1 실시예에 의한 반도체소자의 제조방법을 이용하여 도전성 라인들(822)을 형성할 수 있다.(S170)
- <144> 다음으로, 도 10, 도 11 및 도 21을 참조하여 본 발명의 제10 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다. 상술한 제9 실시예에 의한 반도체소자의 제조방법과 본 발명의 제10 실시예에 의한 반도체소자의 제조방법의 차이는 도 11에 기재된 S120 단계에서의 노드 분리 공정에서 이용하는 노드 분리 마스크의 노드 분리 개구부의 배치 형상에 있다. 따라서, 상술한 제9 실시예에 의한 반도체소자의 제조방법을 이용하여 본 발명의 제10 실시예에 의한 반도체소자를 제조할 수 있다.
- <145> 좀더 구체적으로, 상술한 제9 실시예의 반도체소자의 제조방법에서 설명한 희생 스페이서를 형성(S110)을 형성할 수 있다. 이어서, 도 21에 도시된 바와 같은 희생 스페이서 패턴들(913a)을 형성하기 위해 노드 분리 공정을 진행한다. 상기 희생 스페이서 패턴들(913a)은 이후 형성할 도전성 라인들의 영역을 정의한다. 따라서, 상기 희생 스페이서 패턴들(913a)이 배치된 형상에 따라 후에 형성될 도전성 라인들이 결정될 수 있다. 따라서, 도 21에 도시된 바와 같은 노드 분리 개구부(915a)를 갖는 노드 분리 마스크를 이용하여 희생 스페이서의 소정부분을 식각하는 노드 분리 공정을 진행하여 상기 희생 스페이서 패턴들(913a)을 형성할 수 있다. 참고로, 상기 희생 스페이서 패턴들(113a)의 배치된 형상은 본 발명의 제10 실시예에서의 도전성 라인들(922)과 같기 때문에 자세한 설명은 생략하기로 한다. 따라서, 상술한 본 발명의 제9 실시예에 따른 반도체소자의 제조방법을 이용하여 본 발명의 제10 실시예에 따른 반도체소자를 제조할 수 있다.

발명의 효과

- <146> 상술한 바와 같이 본 발명에 따르면, 집적효율을 향상시키기 위하여 리소그래피 공정의 한계해상도보다 작은 치수(dimension)의 선폭들을 갖는 도전성 라인들을 배치하는 방법을 제공한다. 이러한 도전성 라인들의 배치방법들에 따라 콘택 패드들 사이에 여유 공간을 확보할 수 있다. 이러한 콘택 패드들 사이의 여유 공간은 반도체소자의 공정 여유도(process margin)를 향상시켜 리소그래피 공정의 미스 얼라인(mis-align)에 의한 콘택 불량을 방지할 수 있다. 따라서, 반도체소자의 고집적화를 구현할 수 있다.

도면의 간단한 설명

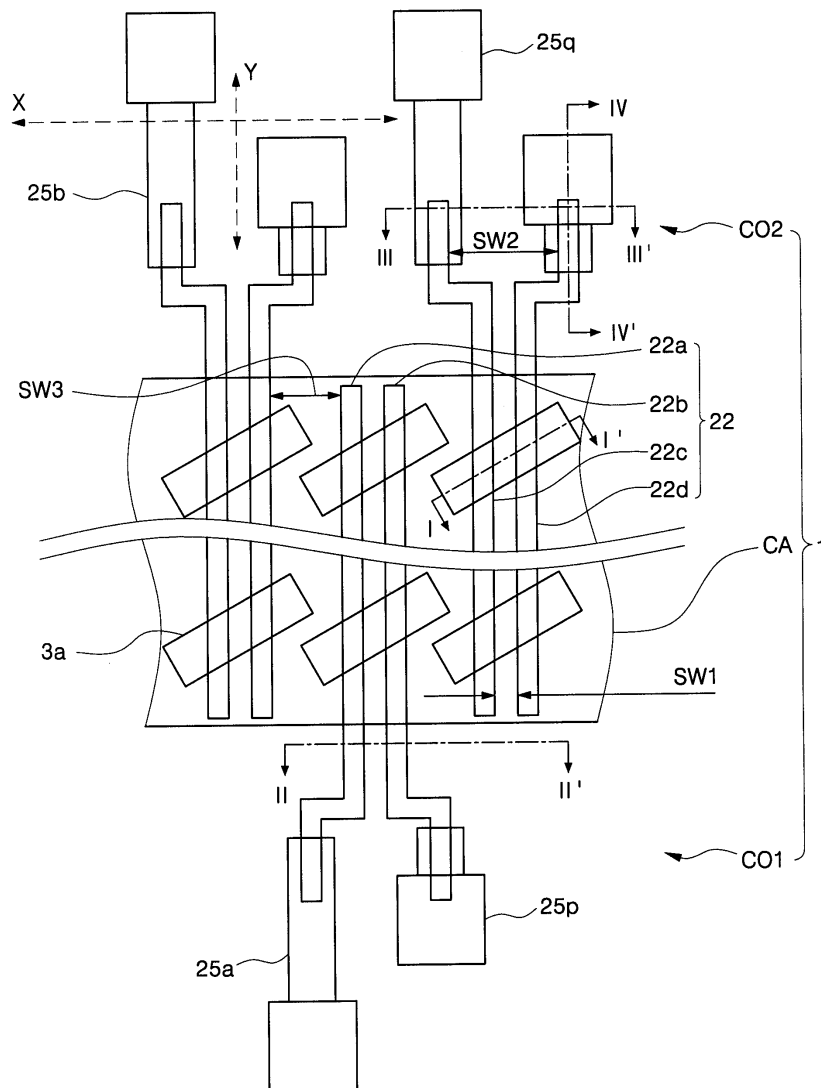
- <1> 도 1 내지 도 10은 본 발명의 제1 내지 제10 실시예들에 따른 반도체소자들을 나타낸 평면도들이다.
- <2> 도 11은 본 발명의 실시예들에 따른 반도체소자들의 제조방법들을 설명하기 위한 공정흐름도이다.
- <3> 도 12a 내지 도 12g는 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 나타낸 단면도들이다. 도 12a 내

지 도 12g에 있어서, 영역 A는 도 1의 절단선 I-I'에 따라 취해진 단면도이고, 영역 B는 도 1의 절단선 II-II'에 따라 취해진 단면도이며, 영역 C는 도 1의 절단선 III-III'에 따라 취해진 단면도이고, 영역 D는 도 1의 절단선 IV-IV'에 따라 취해진 단면도이다.

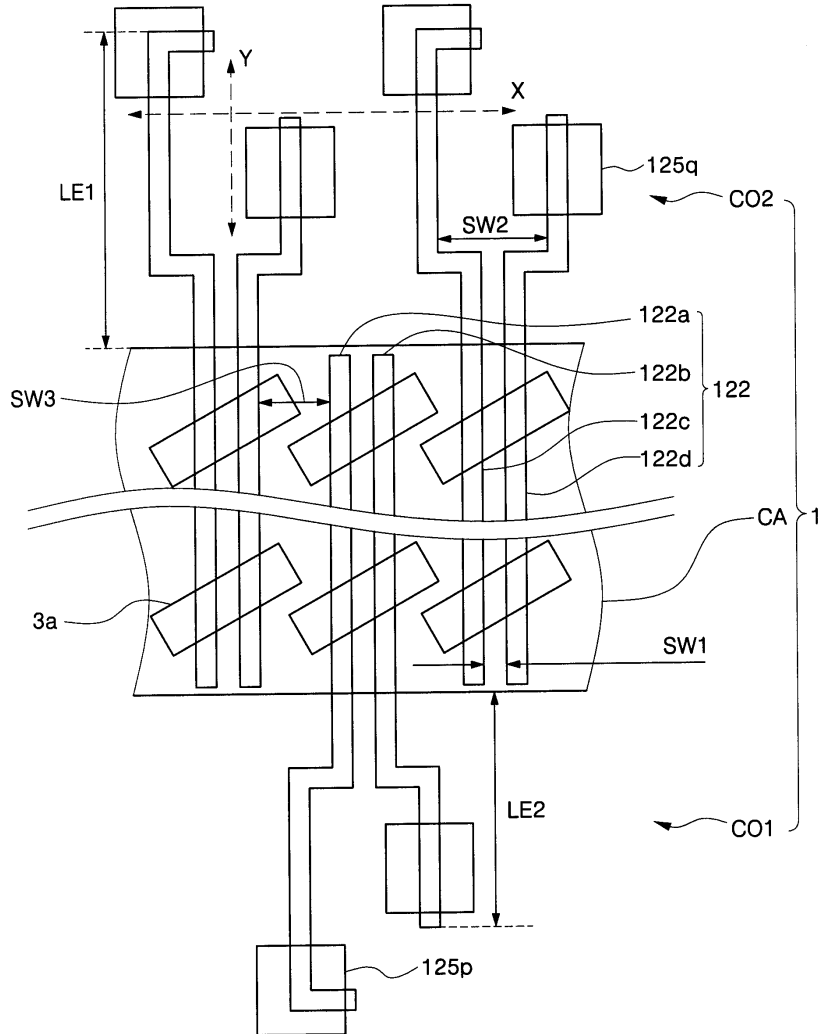
- <4> 도 13a 내지 도 13e는 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 나타낸 평면도들이다.
- <5> 도 14는 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.
- <6> 도 15a 및 도 15b는 본 발명의 제2 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.
- <7> 도 16은 본 발명의 제3 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.
- <8> 도 17은 본 발명의 제5 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.
- <9> 도 18a 및 도 18b는 본 발명의 제7 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.
- <10> 도 19a 및 도 19b는 본 발명의 제8 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.
- <11> 도 20a 및 도 20b는 본 발명의 제9 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.
- <12> 도 21은 본 발명의 제10 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도이다.

도면

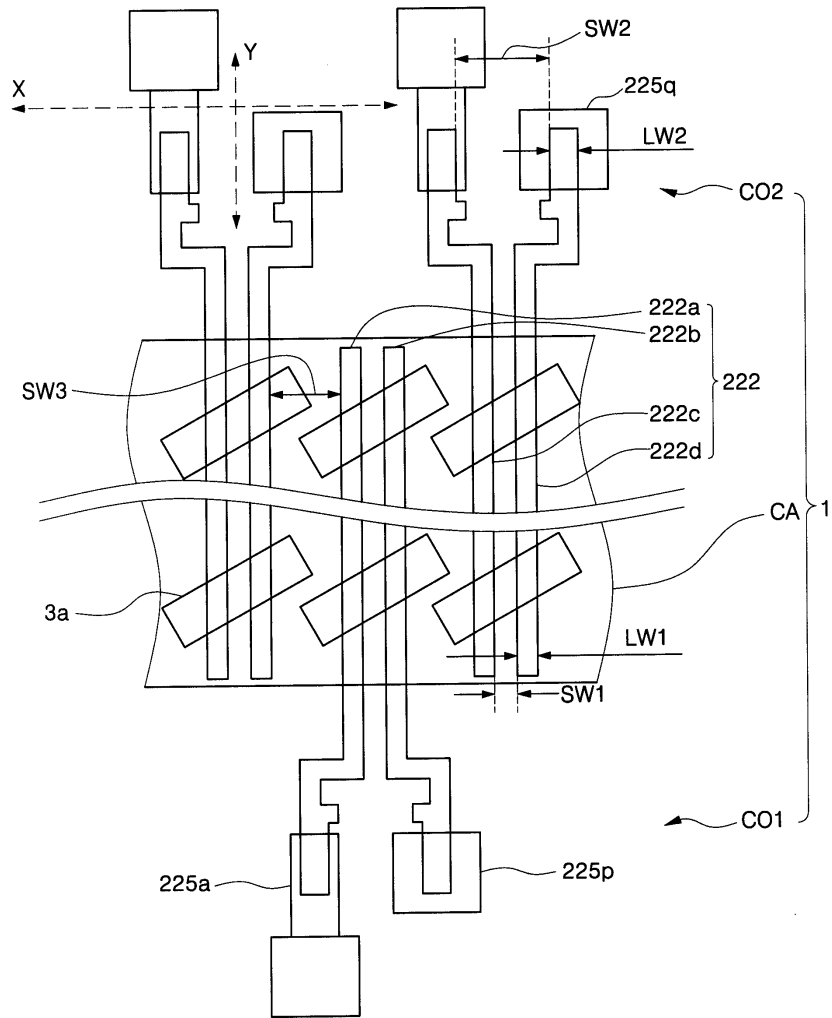
도면1



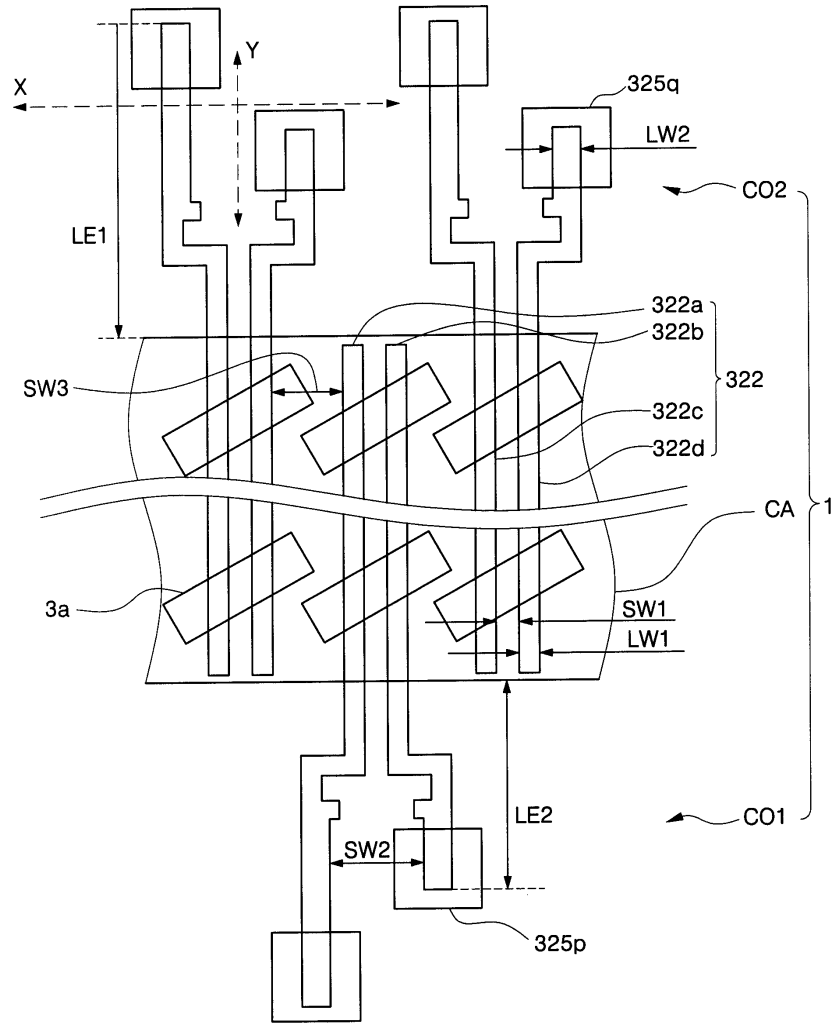
도면2



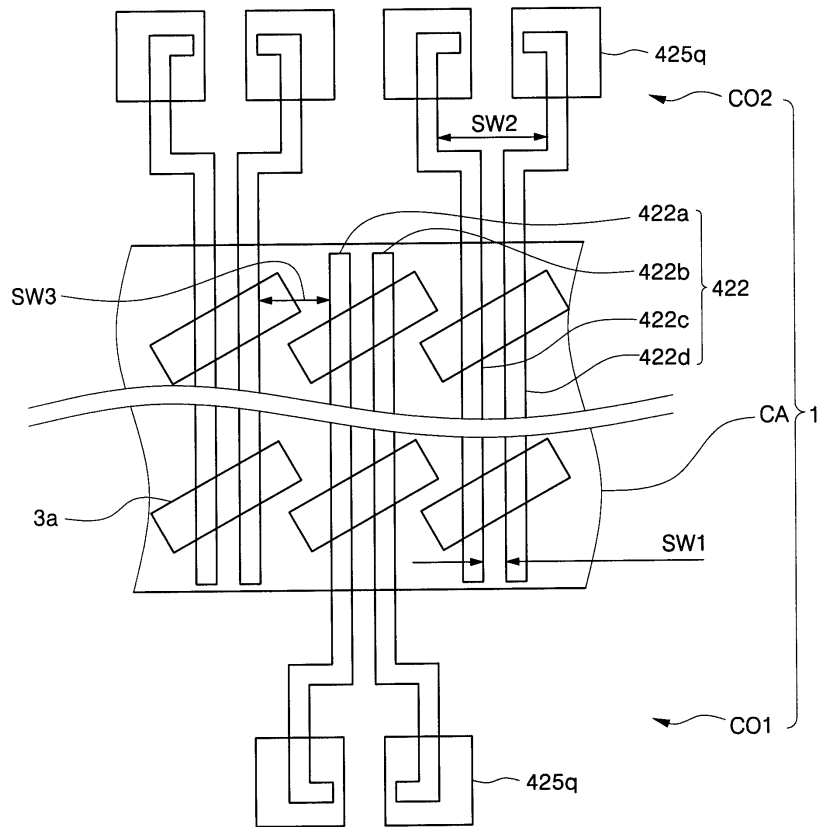
도면3



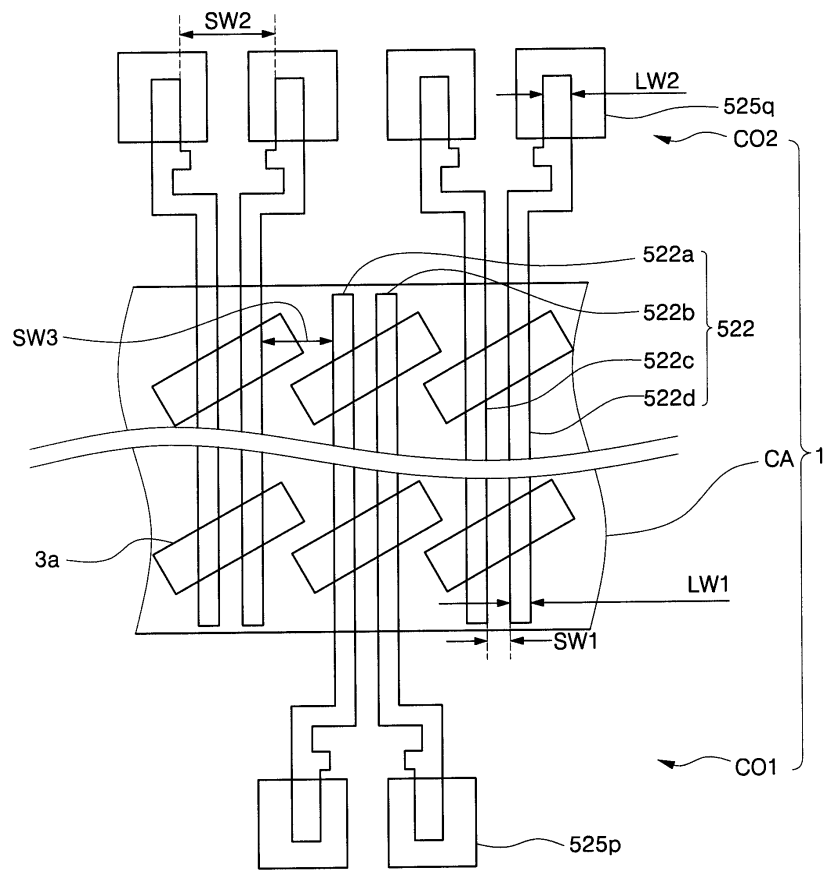
도면4



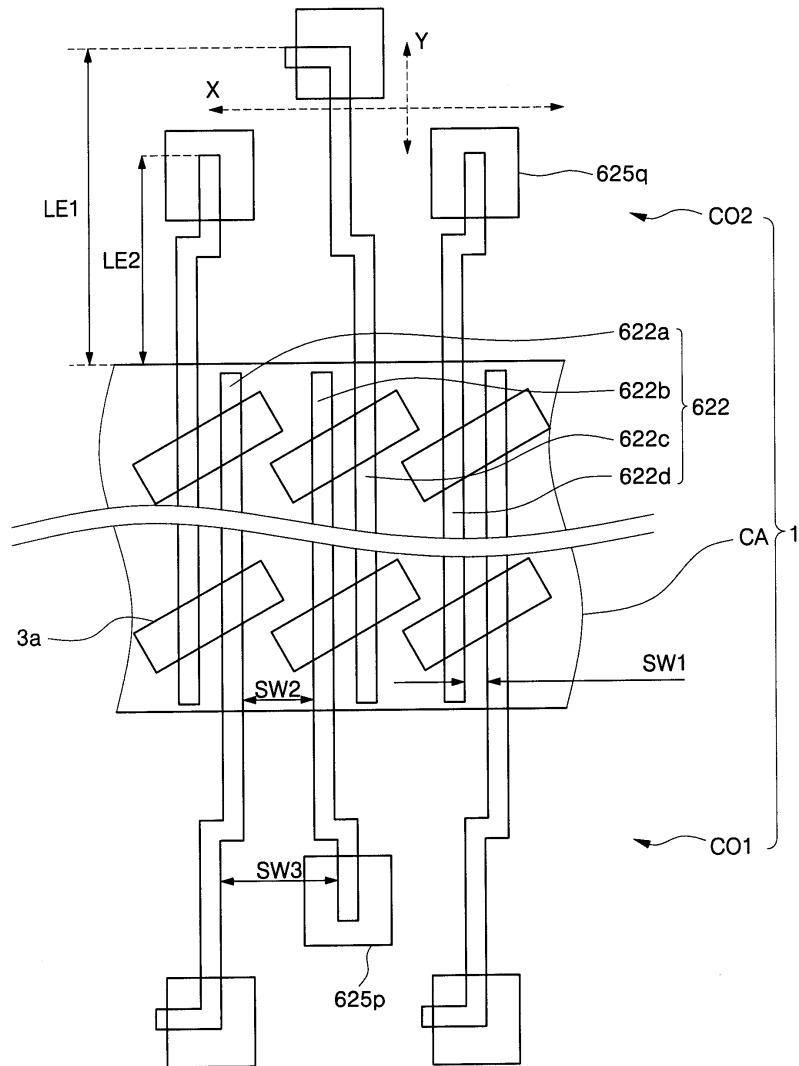
도면5



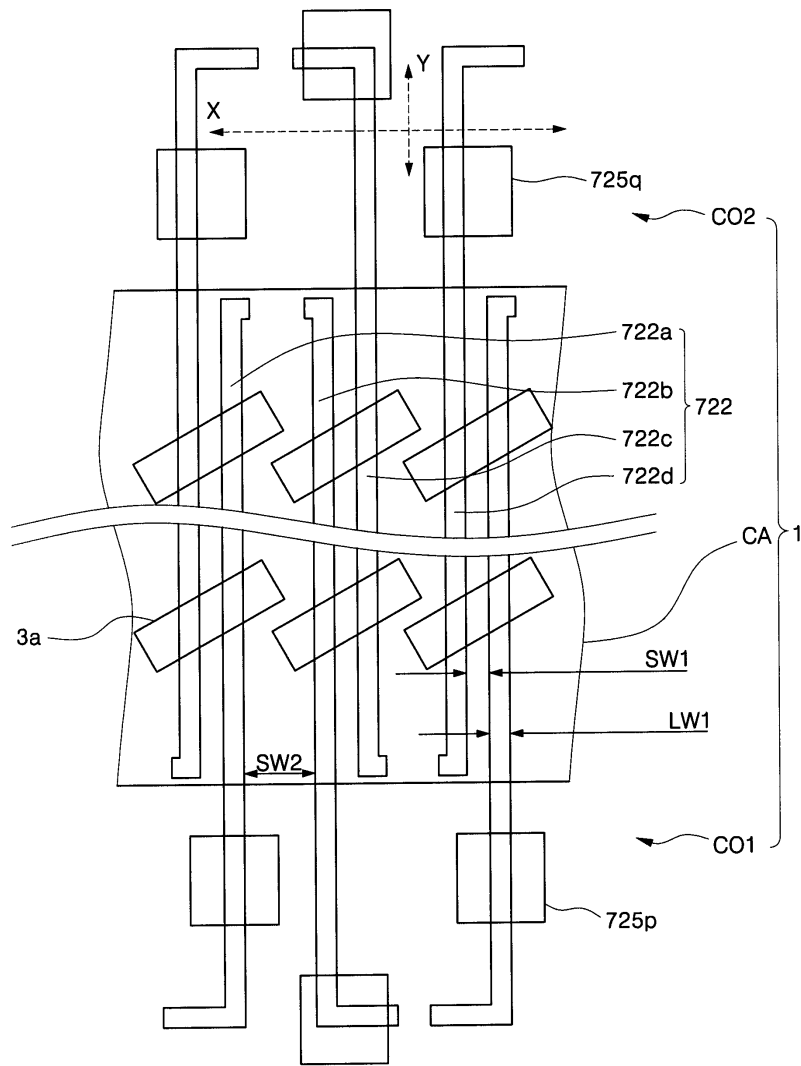
도면6



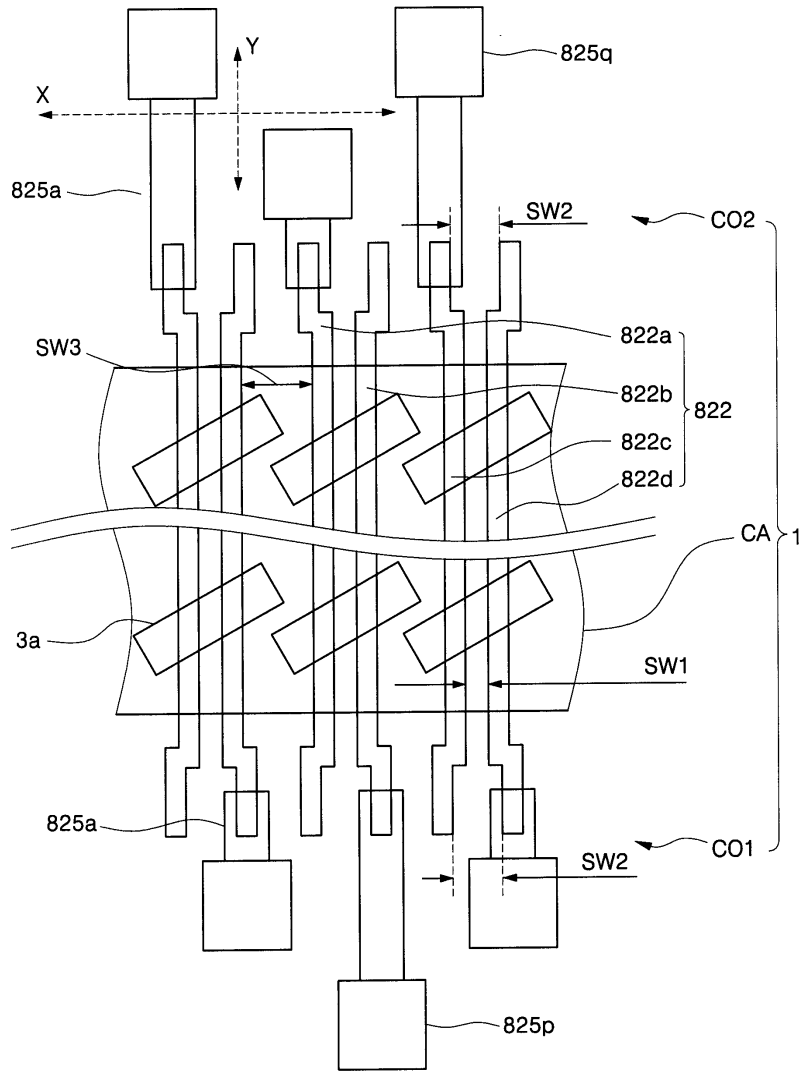
도면7



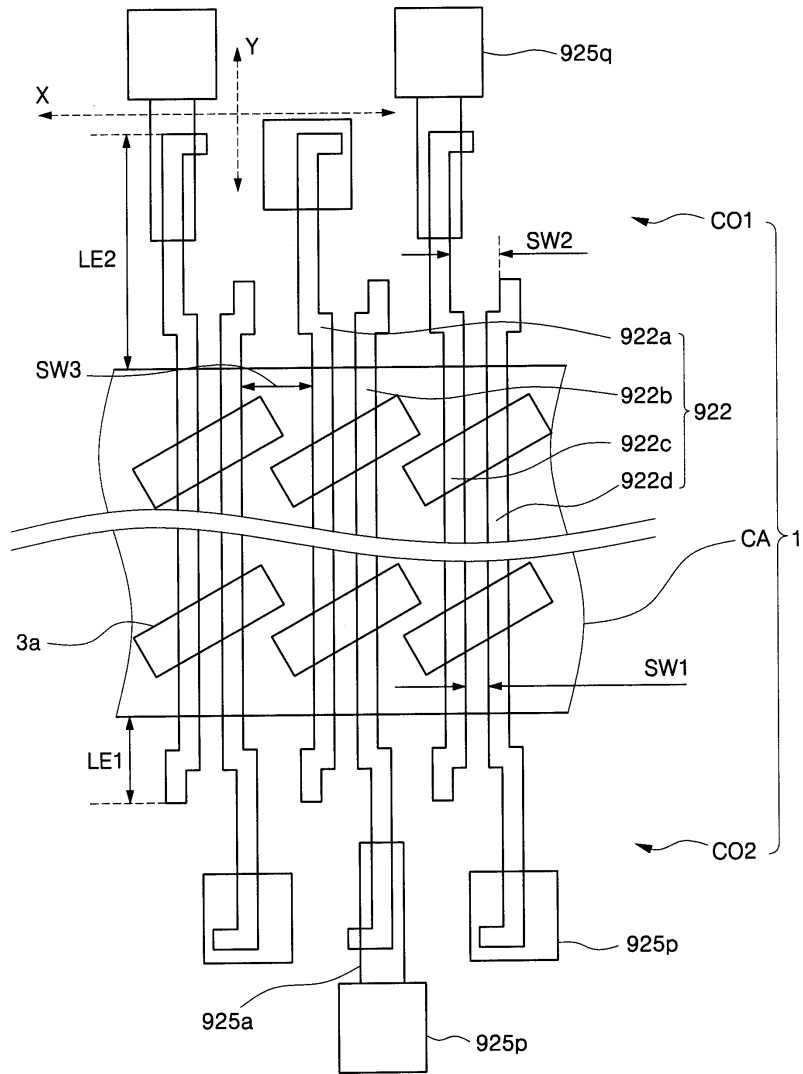
도면8



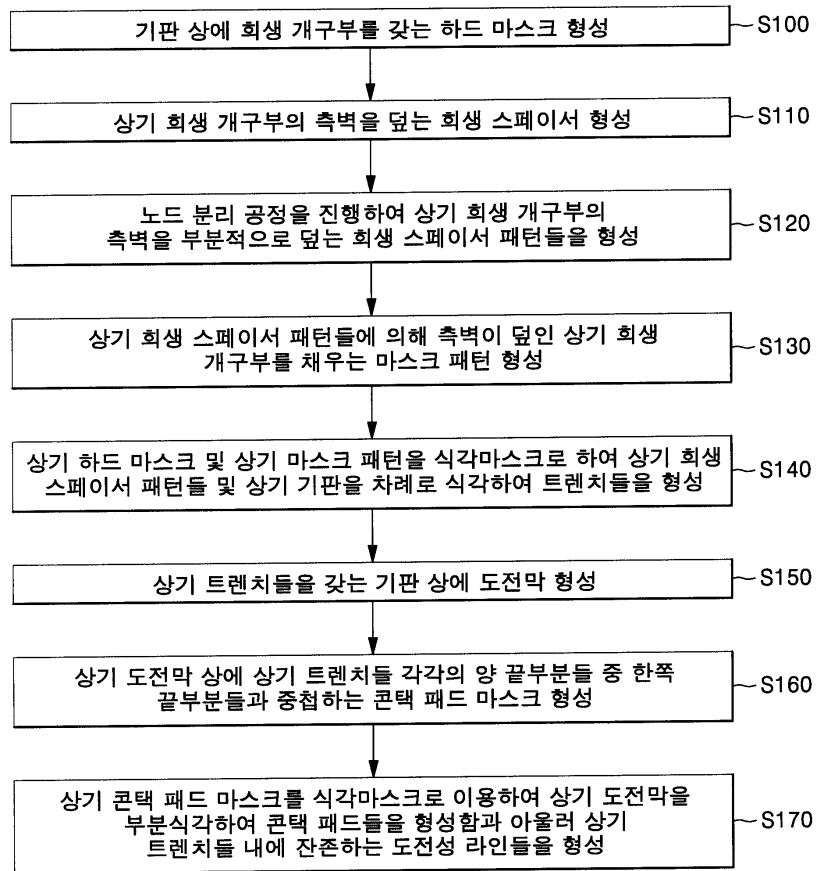
도면9



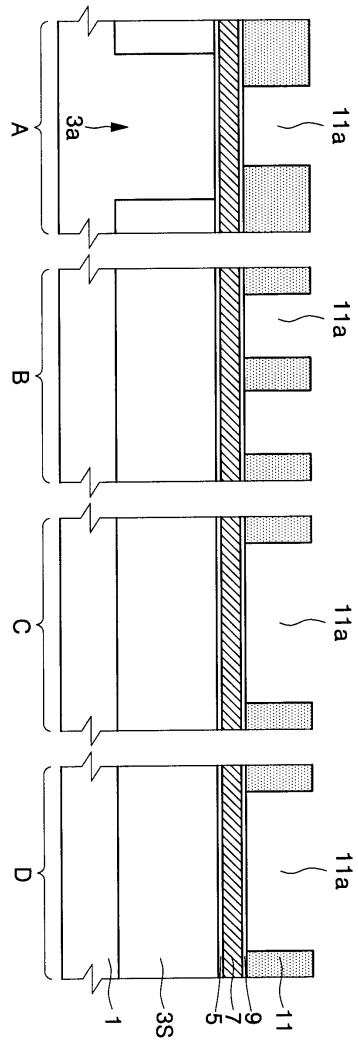
도면10



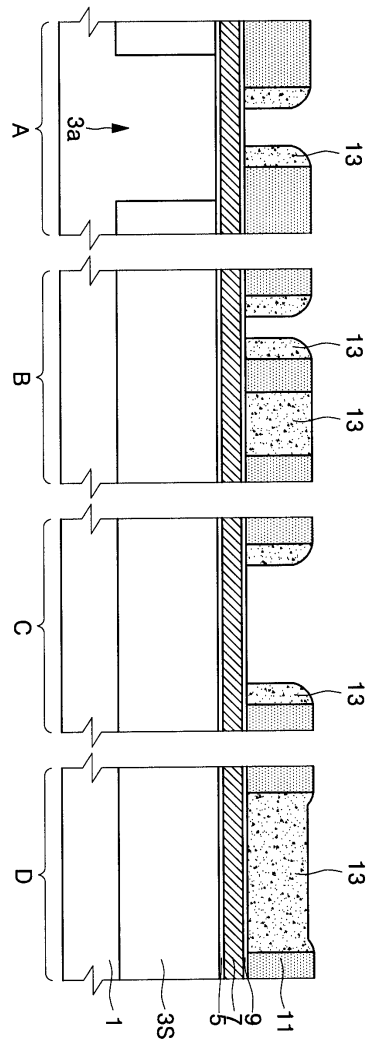
도면11



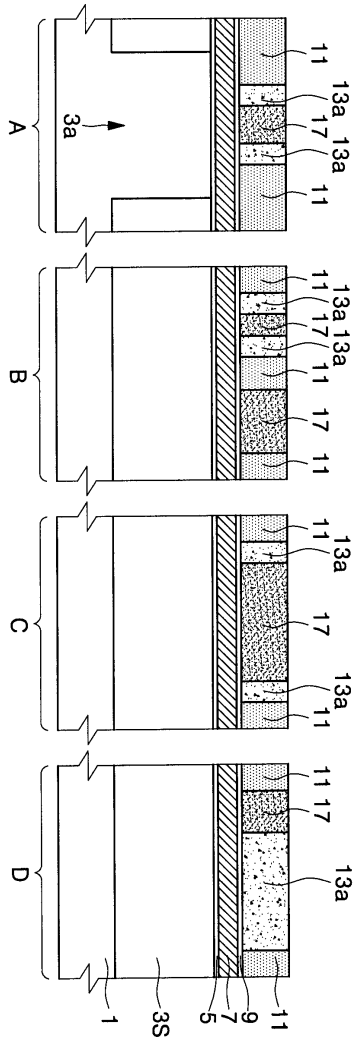
도면12a



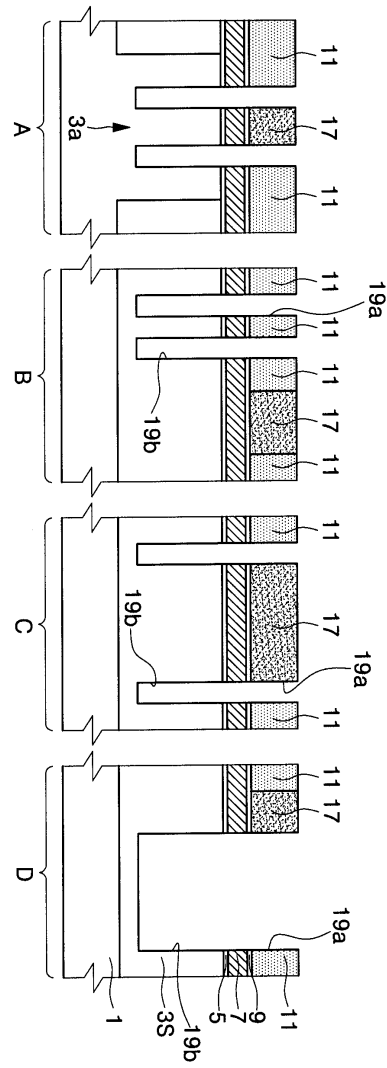
도면12b



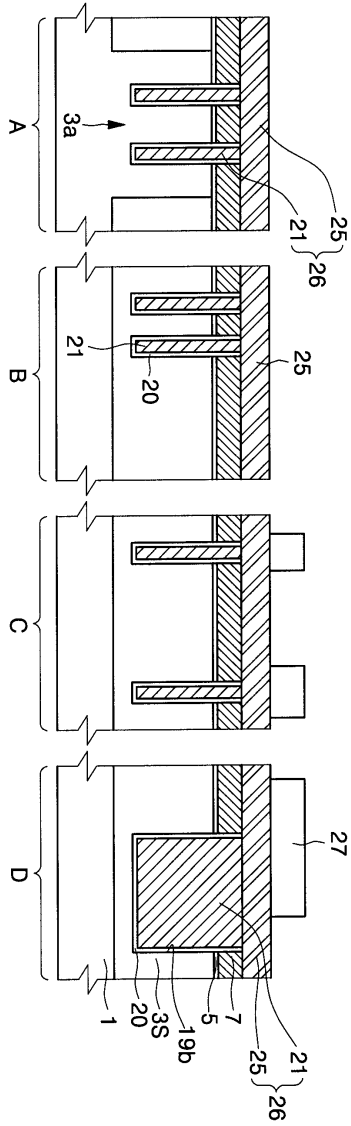
도면12d



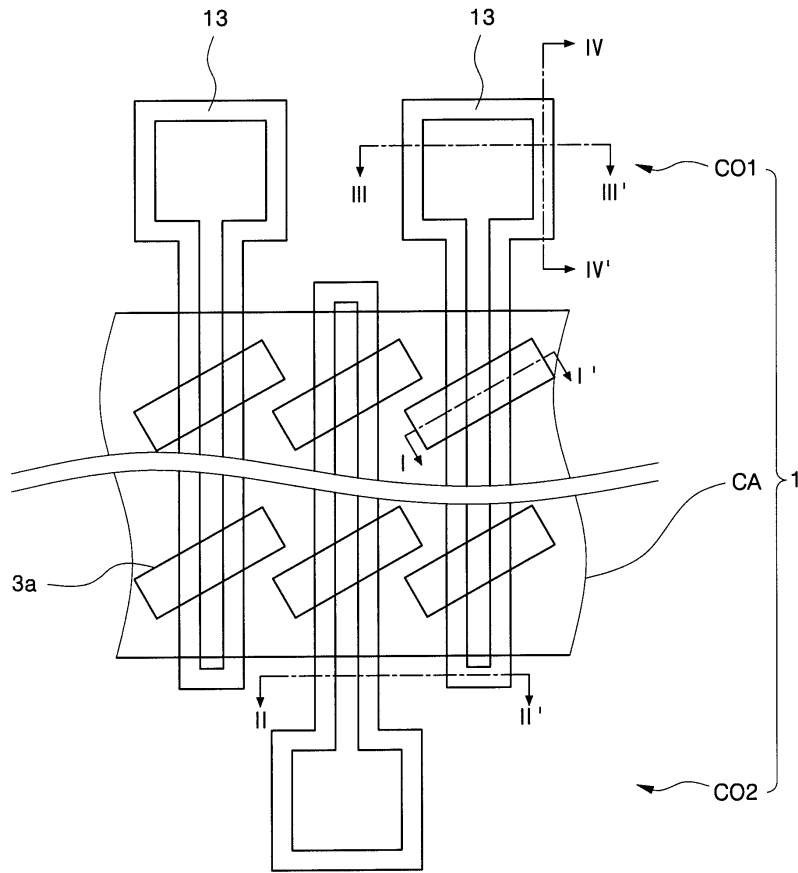
도면12e



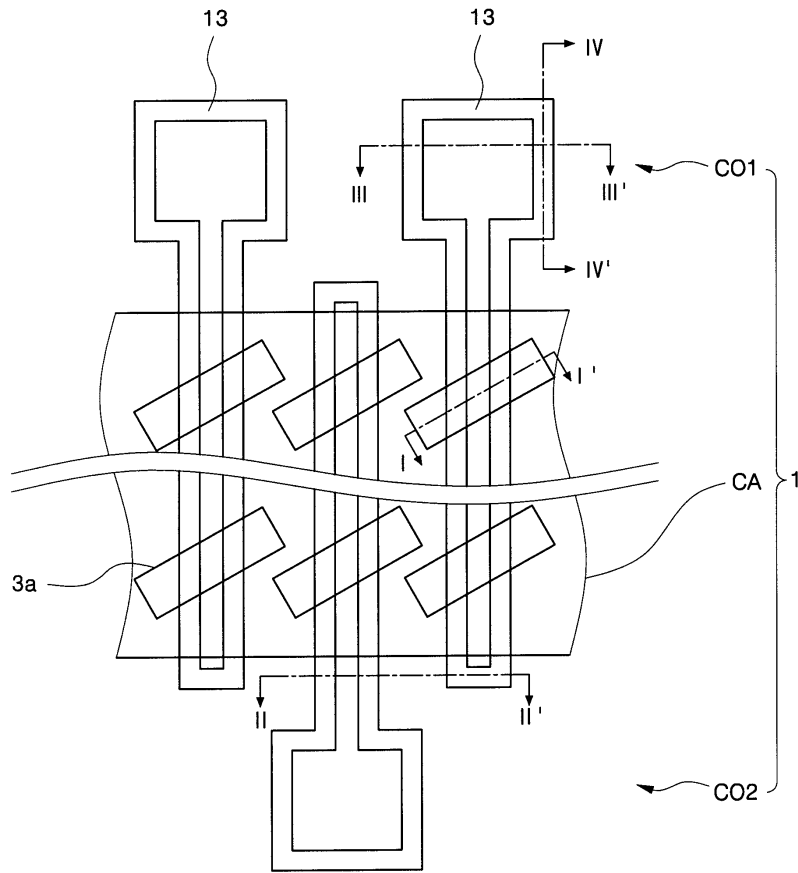
도면12f



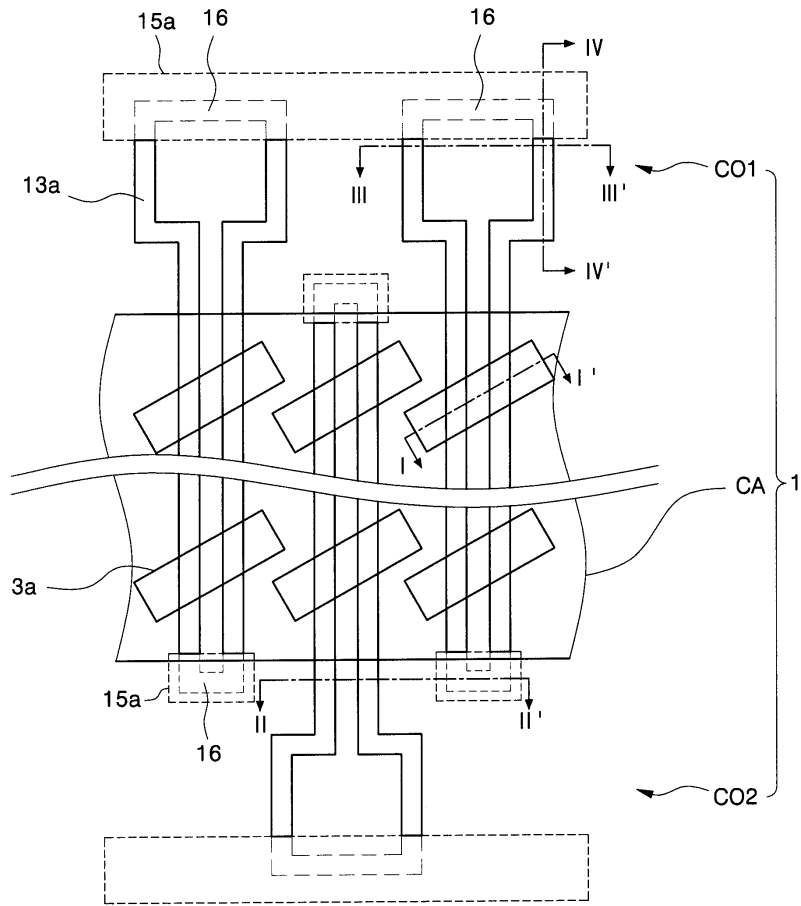
도면13a



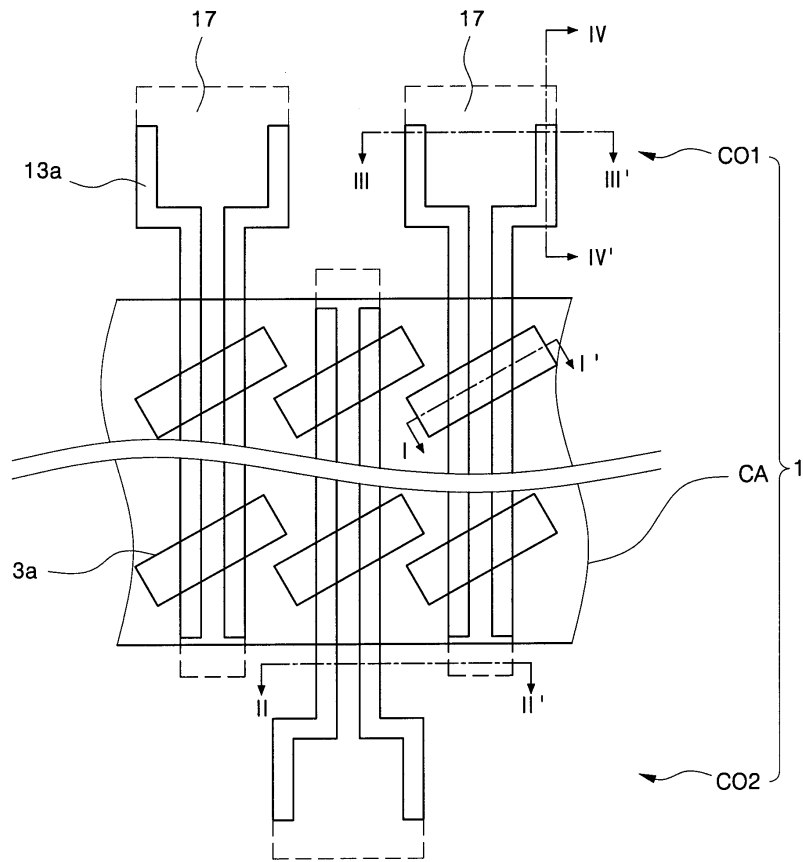
도면13b



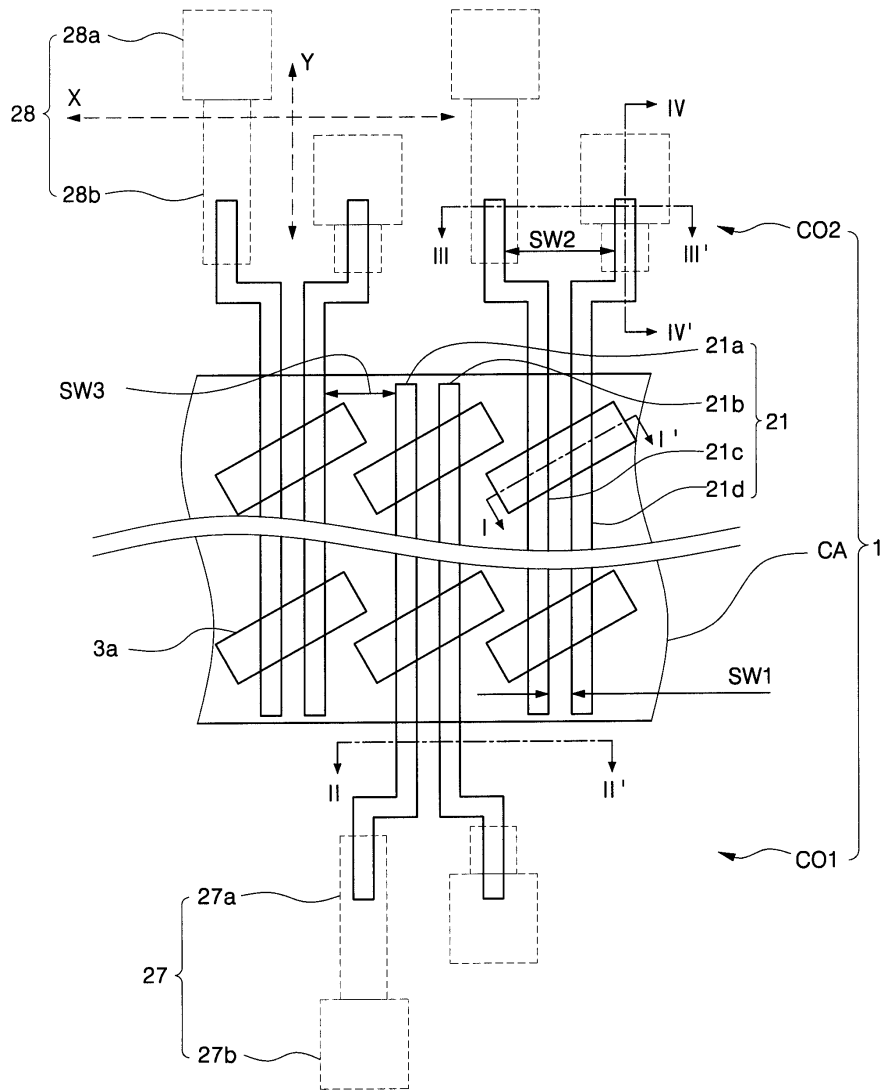
도면13c



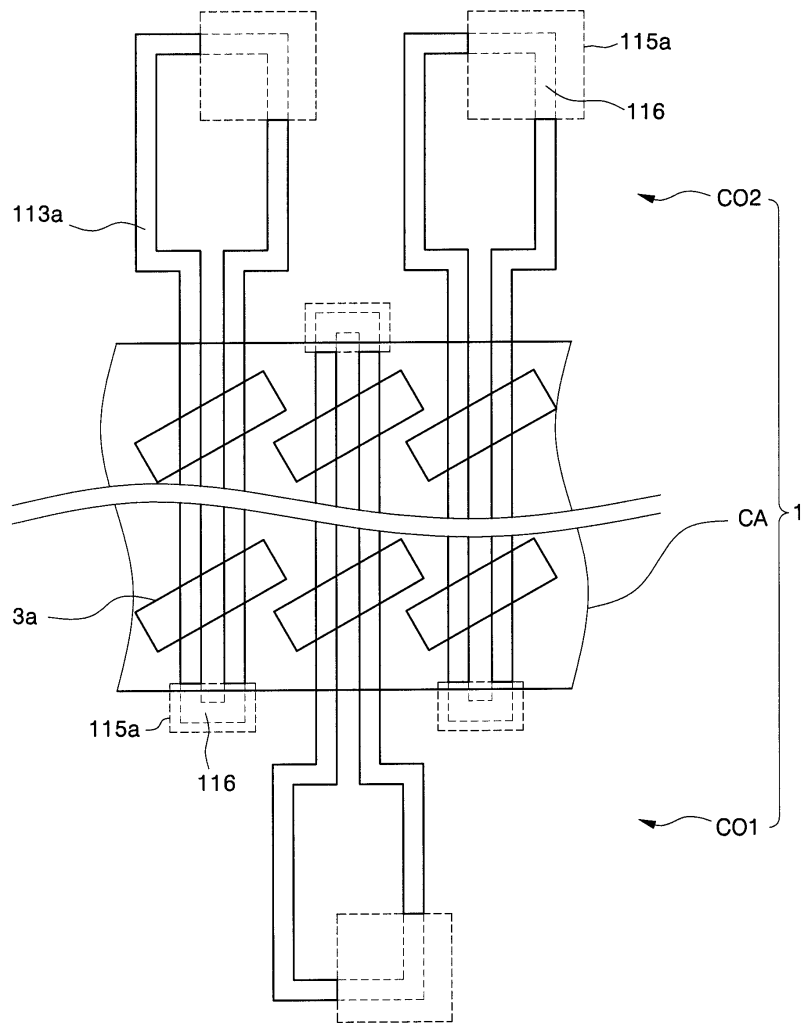
도면13d



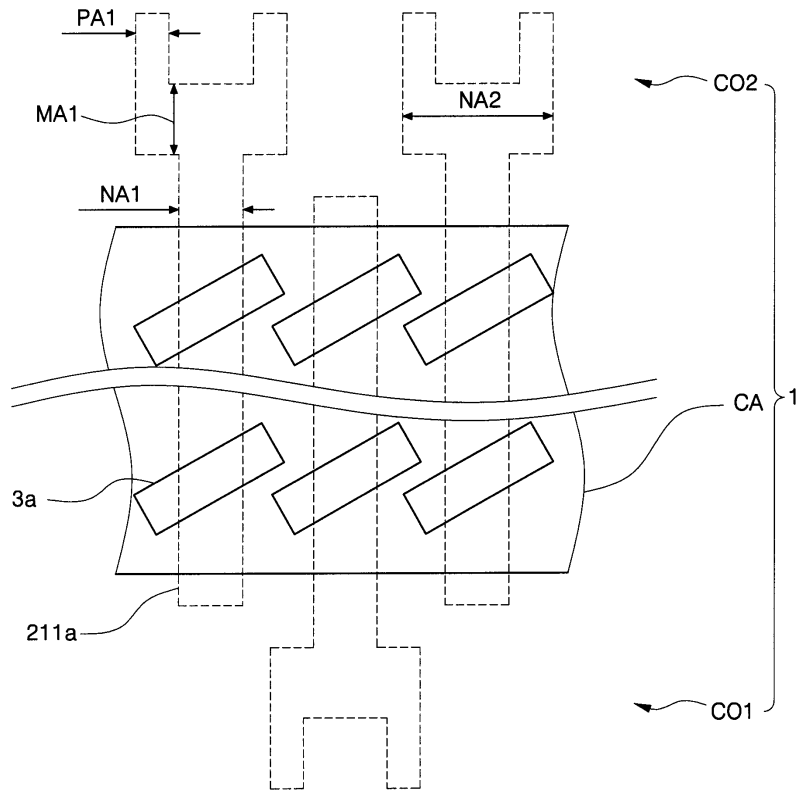
도면13e



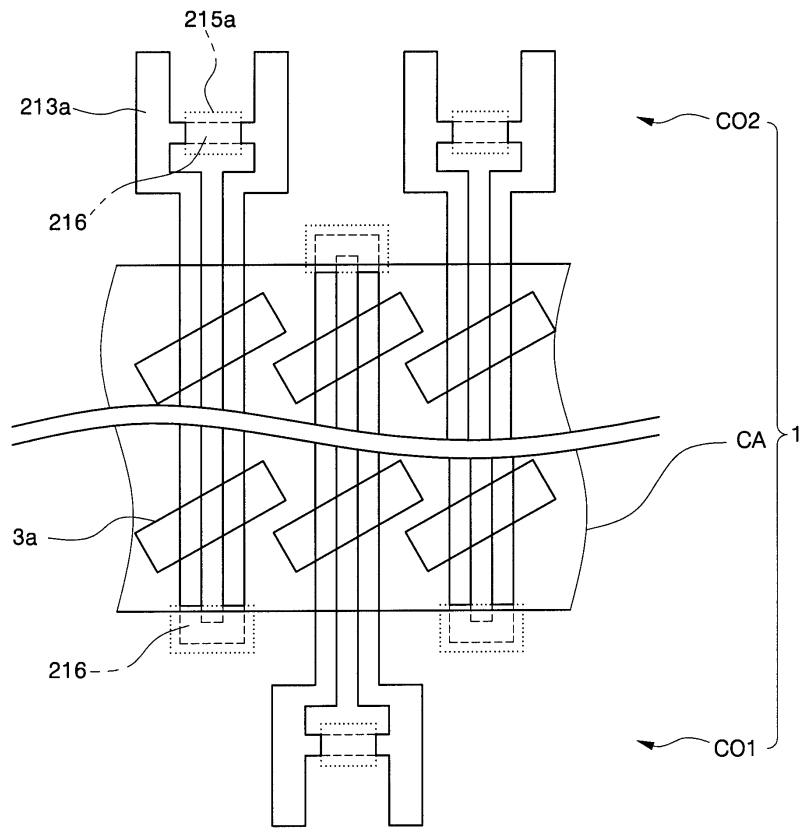
도면14



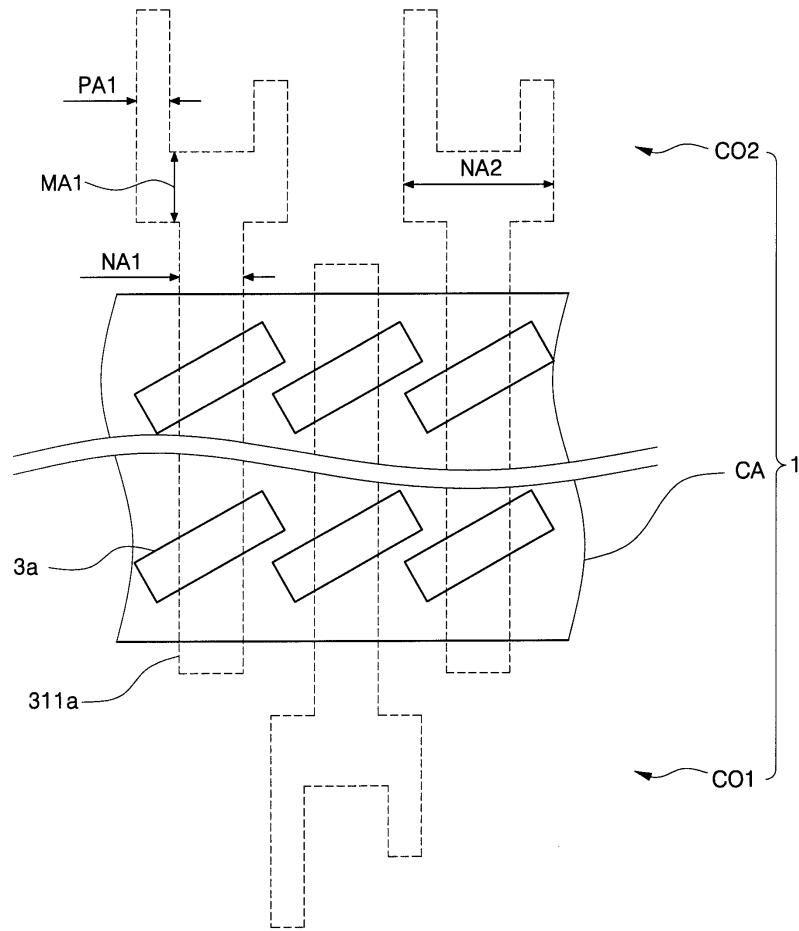
도면15a



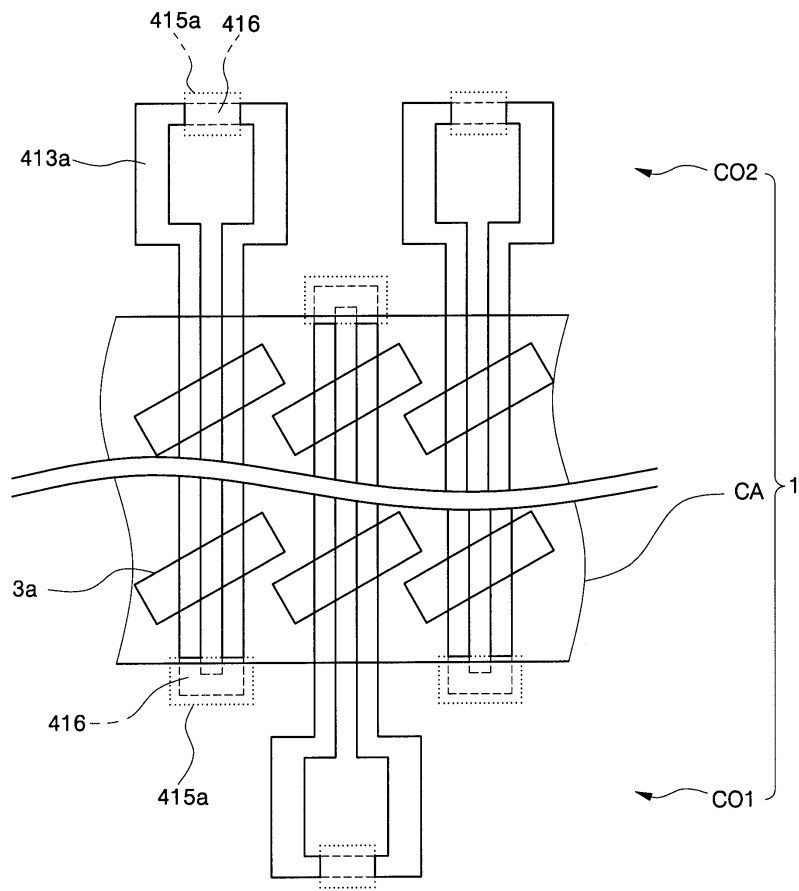
도면15b



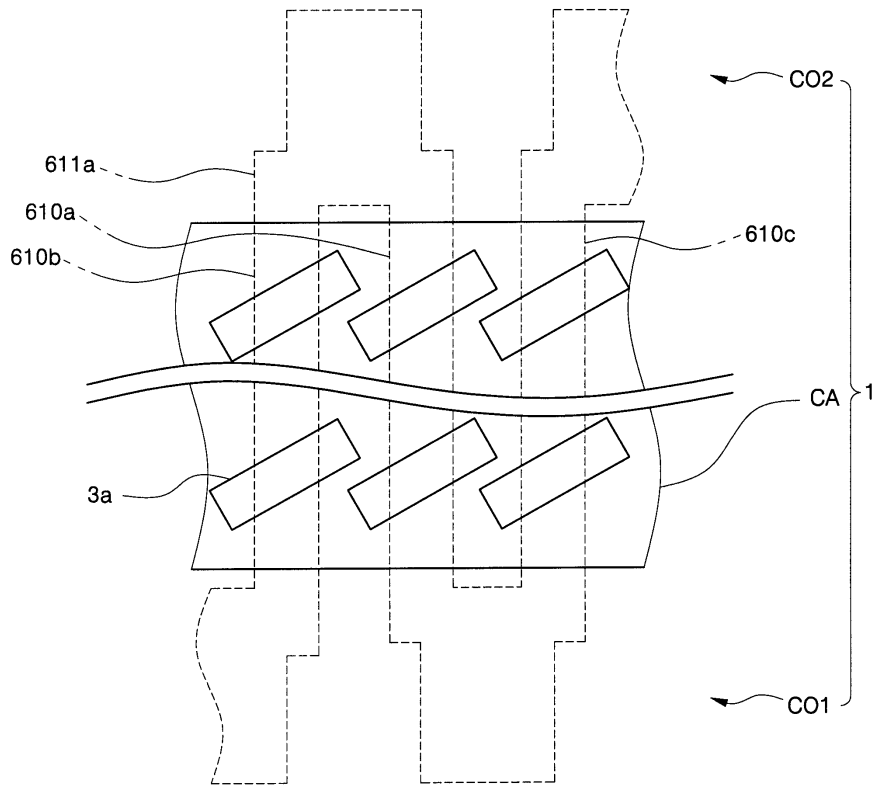
도면16



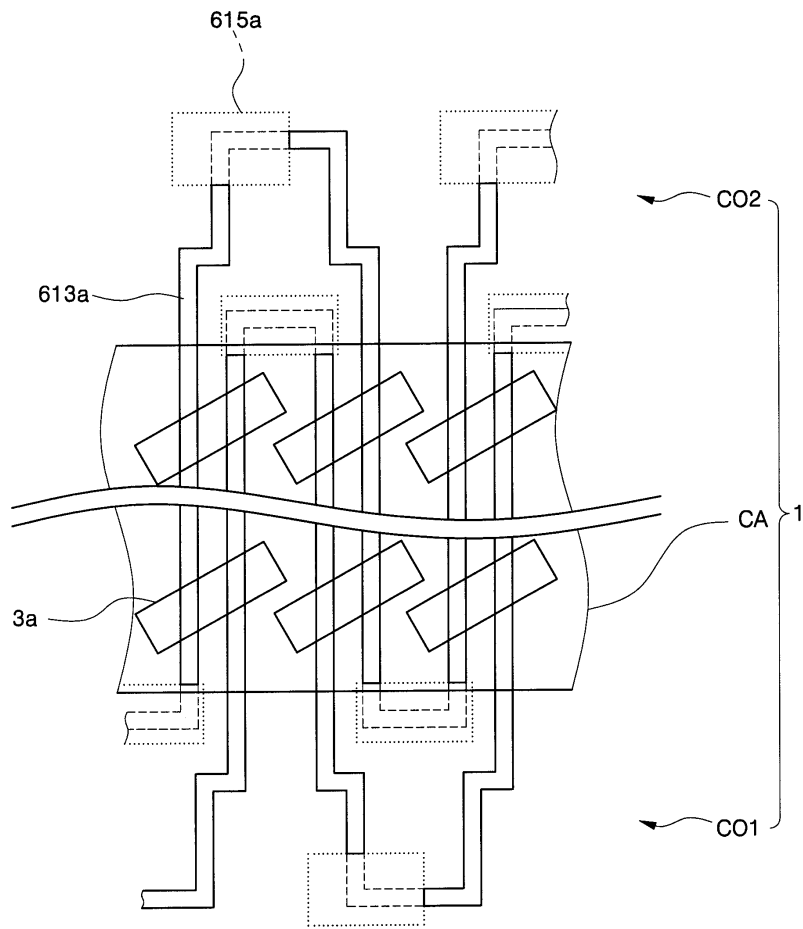
도면17



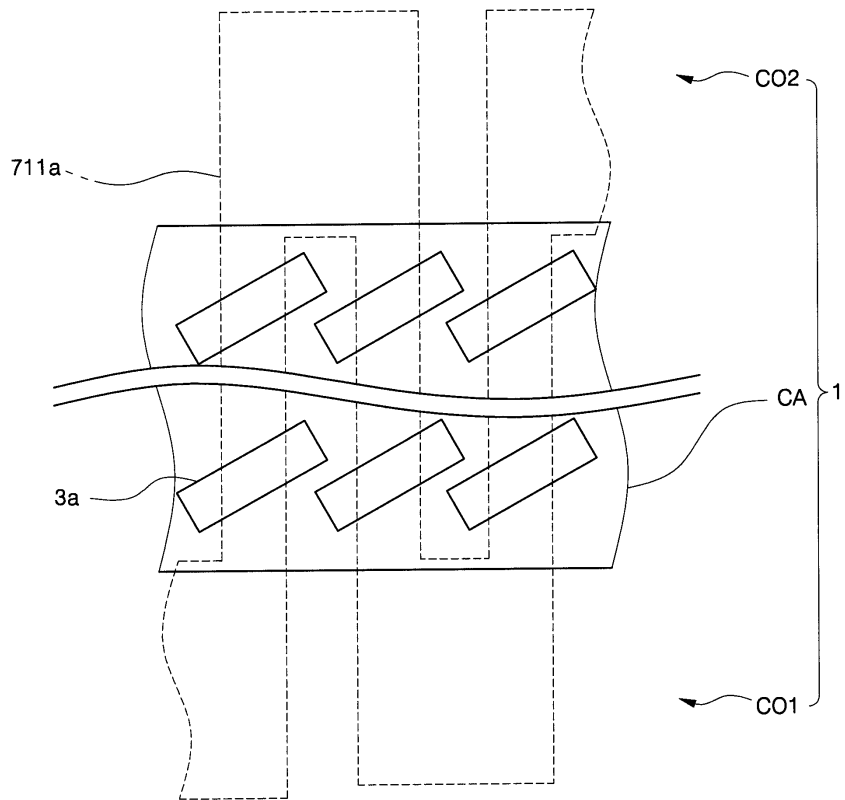
도면18a



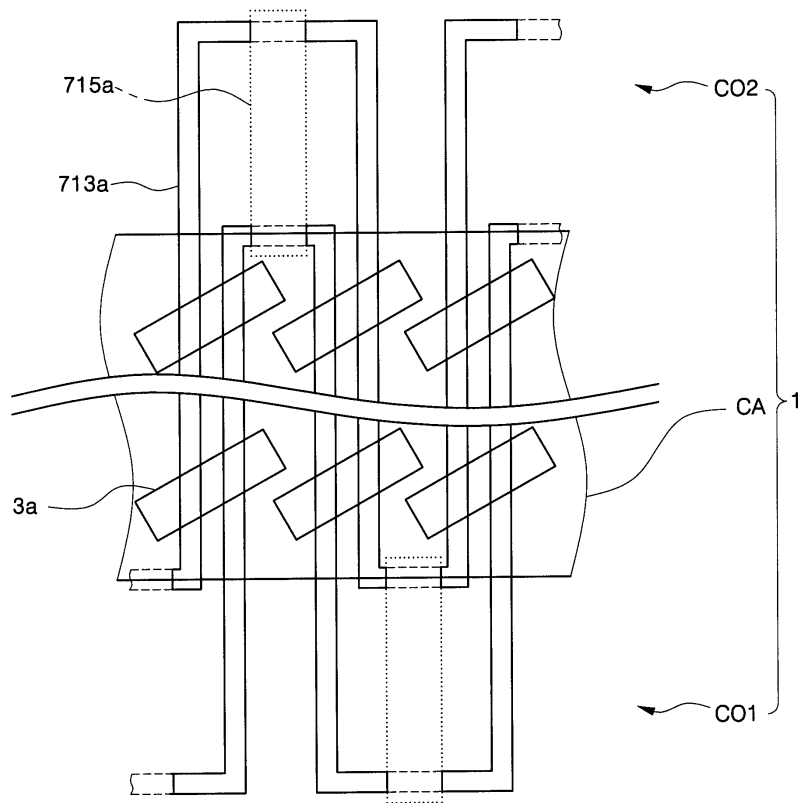
도면18b



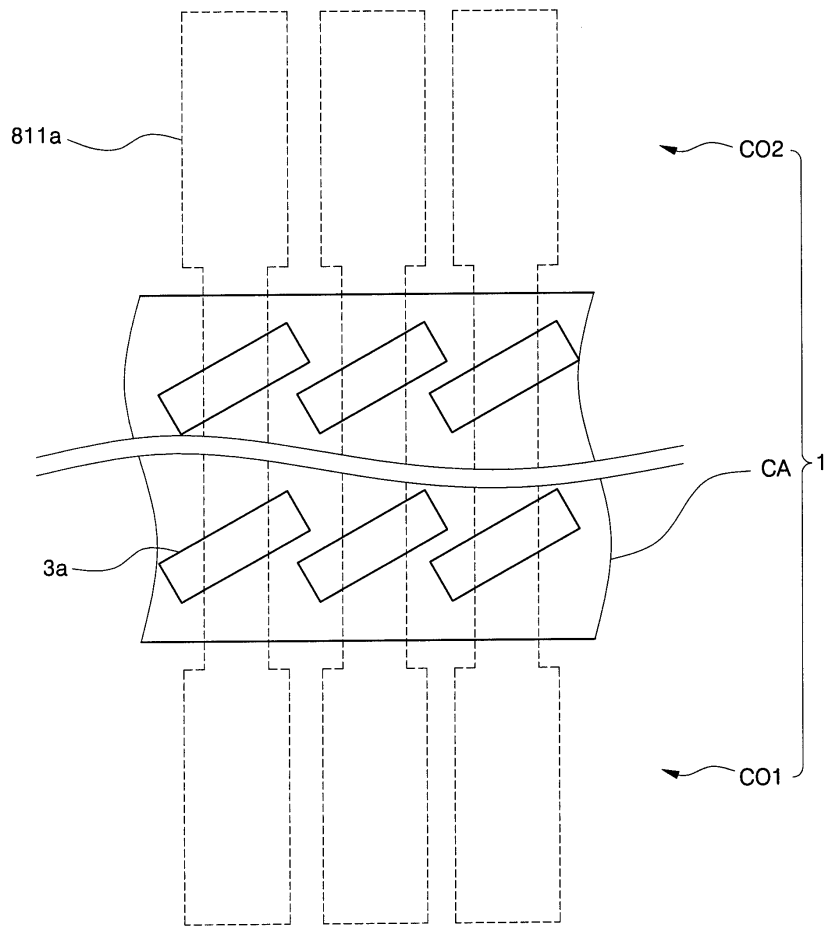
도면19a



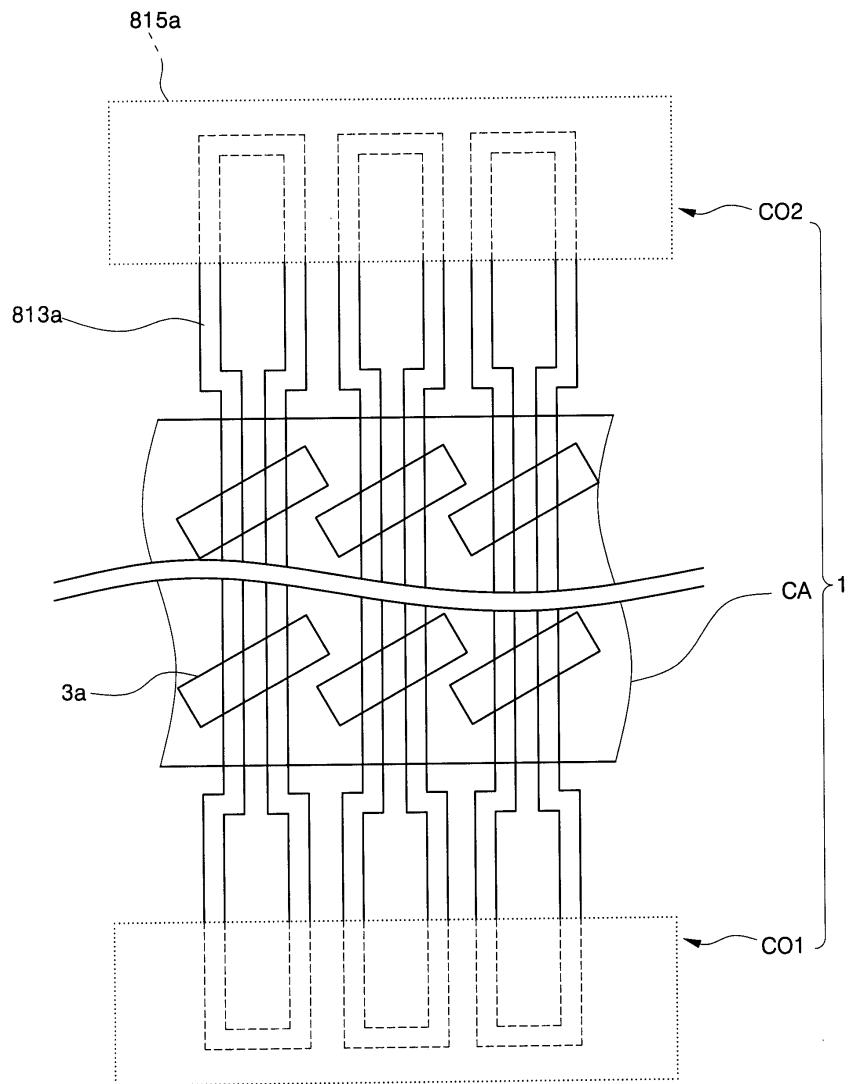
도면19b



도면20a



도면20b



도면21

