

公告本

319840

申請日期	85 年 8 月 28 日
案 號	85110467
類 別	G06F 13/00

A4
C4

319840

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	同步半導體記憶體裝置及其動作方法及資料轉送系統
	英 文	
二、發明 創作人	姓 名	(1) 戶田春希
	國 籍	(1) 日本
	住、居所	(1) 日本國神奈川縣横浜市南區山谷七二一一 ハイマート横浜八〇三
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 西室泰三

裝

訂

線

經濟部中央標準局員工消費合作社印製

319840

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利, 申請日期: 1995年9月12日 案號: 7-234520 , 有 無主張優先權
無主張優先權

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

(本發明所屬之技術領域)

本發明係有關於一種同步於系統時脈而轉送資料的資料轉送系統與同步半導體記憶體裝置。

(習知技術)

系統會進化成可以更大量地處理資料，而經常被要求處理速度能夠高速化。

在此一狀況下，對於控制處理的M P U而言，處理的高速化乃以相當快的步伐前進。相對於此，對於記憶體裝置而言，大記憶容量化也以相當快的步伐前進。但是處理的高速化相對於M P U則呈現一相當慢的步伐，因而，M P U與記憶體裝置之間之資料的處理速度的差異乃擴大。

爲了要消除該速度差，乃藉由不同於以往之記憶體裝置之控制方式的方式來控制裝置的動作，而提出一能夠提高資料轉送率的記憶體裝置。而此則爲同步記憶體裝置，該同步記憶體裝置的代表例則爲同步於系統時脈而被控制之動態型的R A M。以下，在本說明書中，則稱此種動態型R A M爲同步D R A M，而簡稱爲S D R A M。該S D R A M的基本動作則已經揭露於特開平5 - 2 8 7 3號中。又更具體製品的發表則刊載於信學技報S D M 9 3 - 1 4 2，I C D 9 3 - 1 3 6 (1 9 9 3 - 1 1)。

在本說明書中，雖然是省略了對於S D R A M之規格

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

的說明，但是對於 S D R A M 而言，要求要以相當高速的週期來讀取被串列讀取的叢發資料，而可以實現該規格以及此一目的的方法則大致上分為線上 (pipeline) 方式以及暫存器 (register) 方式。以下則簡單地說明該 2 種方式的概要內容。

〔線上方式〕

圖 3 2 係表線上方式之 S D R A M 的概略圖。

圖 3 2 所示之記憶體陣列與檢測放大器 6 0 1 乃廣為人知。將來自屬於所選擇之字元線之一連串單元的微小電荷信號 (資料) 讀取到位元線，且對其加以檢測放大。由檢測放大器所保持之資料則被使用在用於高速讀取的線上 (pipeline) 動作上。自讀取位址開始到輸出資料為止之線上階段 (pipeline stage) 數目則有 3 段。圖 3 2 則表示具有該 3 段之線上階段 S 1 ， S 2 ， S 3 的 S D R A M 。

如圖 3 2 所示，信號 P 1 ， P 2 係一用於控制可根據來自外部之控制時脈 C L K 的上升邊緣來讀取，保持乃至於輸出資料之鎖存型的閘 6 0 3 ， 6 0 5 ，而每次週期被驅動的控制信號。信號 P 3 係一用於控制導通型的閘 6 0 7 的控制信號。鎖存型的閘 6 0 3 ， 6 0 5 ，則分別根據控制信號 P 1 ， P 2 的上升邊緣對輸入資料加以鎖存，且保持乃至於繼續輸出。

又，3 段的階段 S 1 ， S 2 ， S 3 分別具有以下的功

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (3)

能。

(第 1 階段 S 1)

根據控制信號 P 1 來讀取由外部所供給之叢發存取 (burst access) 的先頭位址或是與該位址有關而在裝置內部產生之內部位址 (該些位址則以 A i 來表示)，在位址解碼器 6 0 9 中，對所讀取的位址進行解碼，而製作用於選擇存取行的信號。簡單地說是一自輸入位址開始到確定位址解碼器之輸出為止的階段。

(第 2 階段)

將用於選擇存取行的信號加以鎖存，而選擇行，此外則將被保持在感測放大器的資料送出到區域資料匯流排 (以下簡稱爲 L D B)。L D B 則經由一被用於選擇行之信號所控制的閘而被連接到所有的行，而只將所選出之行的資料加以轉送，簡單地說係一將對應於所確定之位址解碼器的輸出而抽出的資料轉送到 L D B 的階段。

(第 3 階段)

導通被轉送到 L D B 之資料，在由資料匯流排感測放大器 6 1 1 所檢測後，則經由全球資料匯流排 (以下簡稱爲 G D B)，將資料自輸出緩衝器 6 1 3 輸出 (該輸出則圖示爲 Q)。簡單地說是一將被轉送到 L D B 的資料輸出到裝置之外部的階段。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(4)

圖 3 3 係表在線上方式之 S D R A M 中之各階段內之資料的進行狀態。

如圖 3 3 所示，當對叢發資料的存取係自以箭頭 6 1 5 所示之週期開始時，由於各階段 S 1，S 2，S 3 會在每次週期依序轉送資料，因此，所有的階段 S 1，S 2，S 3 會在每次週期被活性化。又，位址 A i，由於可任意對應於每個週期，因此可以隨機地輸出資料。但是，自讀取位址之週期開始到輸出由該位址所指定之資料的週期為止之週期數目則最少必須要有 3 個週期（將此稱為週期數“3”的 S D R A M）。

[暫存器方式]

圖 3 4 係表暫存器方式之 S D R A M 的概略圖。

圖 3 4 係表可以同時讀取 2 個位元之暫存器方式的 S D R A M。如圖 3 4 所示，記憶單元陣列與感測放大器 6 0 1 則與線上方式者相同。而對於暫存器方式的 S D R A M 而言，則與線上方式的 S D R A M 不同，而不需要設置可以明確被區分之階段，但是則反而假設性地設置階段，而此是爲了要幫助理解使然。暫存器方式的 S D R A M，在動作上大致可以分成 2 個階段 S 1，S 2。該 2 個階段 S 1，S 2 分別具有以下的功能。

(第 1 階段)

將叢發存取資料的先頭位址以及接下來之串列存取的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

位址 (該些位址則圖示為 A_i) , 根據控制信號 P_1 而加以讀取 , 且在位址解碼器 709 中對所讀取的位址加以解碼 , 而選擇若干行 , 自多行同時將資料轉送到 LDB 。簡單地說 , 是一根據輸入位址來確認位址解碼器的輸出 , 而將對應於位址解碼器之輸出而被抽出的資料轉送到 LDB 的階段。

(第 2 階段)

自輸出到 LDB 的資料選出 2 個資料 , 將其檢測出來而將資料送到 GDB , 且儲存在輸出暫存器 713 。被儲存的資料 , 則自輸出暫存器 713 , 以 2 個週期 1 次 1 個位元地加以輸出 (該輸出則圖示為 Q) 。簡單地說是一將被轉送到 LDB 的資料輸出到裝置之外部的階段。

圖 35 係表在暫存器方式之 $SDRAM$ 中之為階段內之資料的進行狀態。

如圖 35 所示 , 自開始叢發動作 , 在 2 個週期內資料會被送到 LDB 。而暫存器方式不同於線上方式之處即是一連串的動作係由資料轉送的能力所決定 , 而不是由來自外部的時脈強制地控制 , 亦即 , 未規定要在 1 個週期內要將資料轉送到此。被轉送的資料 , 則在第 3 個週期以及第 4 個週期被輸出。在此期間 , 下一個 2 個週期單位的資料同樣會被輸出到 LDB 。與線上方式相比較 , 各階段是在 2 個週期內進行 1 次的動作。在內部所產生的位址則是每 2 個週期一次 , 因此 , 位址之可更新的週期也成為每 2 個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

切

五、發明說明 (6)

週期一次 (將此稱為限制週期) 。

(本發明所要解決的課題)

如上所述，線上方式之 S D R A M 與暫存器方式的 S D R A M 分別具有固有的特徵。

例如，線上方式的 S D R A M，對於構成用於轉送資料之系統所必要的電路少，而容易構成。又，在變更存取位址方面具有柔軟性。但是相反地，資料轉送，由於係根據週期被強制地區隔，因此裝置的能力無法以最高的效率來達成。此外，由於各階段在每個週期皆動作，因此消耗電力會變多。

又，暫存器方式的 S D R A M，則由於資料的轉送不是藉由週期被強制性地區隔，而是利用多個週期來轉送資料，因此最能夠配合內部的動作來轉送資料。因此，能夠以最高的效率來發揮裝置的能力，而使得動作得以高速化。更者，由於各階段係在幾個週期內才進行一次動作，因此消耗電力少。但是在變更存取位址時，則必須要犧牲速度，而只要不使週期時間加倍，會被限制成多個週期進行一次。又，與線上方式相比較，爲了要構成用於轉送資料的系統，則必須要附加若干電路，而導致構造變得困難。

圖 3 6 係表線上方式之 S D R A M 的資料轉送與暫存器方式之 S D R A M 的資料轉送的比較圖。

圖 3 6 所示之 P 1，P 2，P 3 分別是表線上之各階段之初始點的週期；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

如圖 3 6 所示，首先，在週期 P 1 則讀入位址，而確定位址解碼器的輸出。在此之前，線上方式與暫存器方式皆相同。當為線上方式時，係自週期 P 2 開始，而存在有如圖 3 2 所示之第 2 階段，但是當暫存器方式時則不存在。因此，對於線上方式與暫存器方式，將記憶單元之資料轉送到 L D B 之行選擇線 C S L 的選擇確定時間則不同。詳細地說，線上方式之確定時間乃同步於時脈，係自週期 P 2 開始，而對於暫存器方式的確定時間，則是在週期 P 1 內之大約確定解碼器的輸出後。此外，當確認完行選擇線 C S L 的選擇時，則行閘（相當於導通閘 5 0 6）會導通，而將資料送到 L D B，而此對於線上方式與暫存器方式皆相同。

最後，在週期 P 3 內，則進行資料匯流排檢測而輸出資料，而此對於線上方式與暫存器方式皆相同。

由圖 3 6 所比較之線上方式以及暫存器方式，則分別自開始存取算起，在第 3 個週期輸出資料，亦即，所謂週期數“3”的 S D R A M。對於該型式的 S D R A M，當比較線上方式與暫存器方式時，則暫存器方式的範圍只有圖 3 6 所示之時間 T。而此對於線上方式而言，係一在週期時內沒有動作裕度之階段的範圍，相對於全部動作之範圍已經決定者而言，暫存器方式則沒有此一問題。

本發明則是有鑑於此，其第 1 目的在於提供一具備有用於進行串列資料輸出的輸出暫存器，而即使是自限制週期以外的週期開始，也可以位址送到資料轉送路徑，且消

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

耗電力少之資料轉送系統以及包含該資料轉送系統之同步半導體記憶體裝置。

又，第 2 目的在於提供在限制週期以外的週期，即使將位址導入到資料轉送路徑，也可以不間斷地自輸出暫存器將資料加以串列輸出之資料轉送系統以及包含該資料轉送系統之同步半導體記憶體裝置。

又，第 3 目的則在於提供在變更存取位址上具有自由度，而能夠提高資料轉送的效率，且消耗電力小之資料轉送系統及包含該資料轉送系統之同步半導體記憶體裝置。

又，第 4 目的則在於提供即使是自限制週期以外的週期開始，也能夠將位址導入到資料轉送路徑之資料轉送方法以及包含該資料轉送方法之同步半導體記憶體裝置之動作方法。

(解決課題的手段)

根據上述請求項 1 以及請求項 19 的發明，當自不同於 a 個週期的週期開始轉送 a 個資料時，則線上階段的數目會增加。藉此，即使是自不同於 a 個週期開始轉送 a 個資料時，則殘留在資料轉送路徑中的資料也不會被破壞，即能夠將 a 個資料導入到資料轉送路徑中。

根據上述請求項 2 以及請求項 20 的發明，當自限制週期以外的週期開始轉送 a 個資料時，則會更換暫存器組。藉此，即使是自限制週期以外的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

之資料轉送之暫存器不間斷地輸出資料。

根據上述請求項 3 以及請求項 2 1 的發明，當自不同於 a 個週期的週期開始轉送 a 個資料時，則在線上階段的數目增加的同時，會更替暫存器組。藉此，即使是自不同於 a 個週期的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態之資料轉送的暫存器中不間斷地輸出資料。

根據上述請求項 4 以及請求項 2 2 的發明，將在限制將資料轉送到暫存器之週期以外被轉送而來的資料輸入到在被分離之多個線上階段中至少最初的階段，而在限制將資料轉送到暫存器之週期以外，自暫存器中呈串列地輸出資料。藉此，在變更存取位址時具有自由度，且提高資料轉送的效率。

根據上述請求項 5 以及請求項 2 3 的發明，當自不同於 a 個週期的週期開始轉送 a 個資料時，則線上階段的數目會增加。藉此，即使是自不同於 a 個週期開始轉送 a 個資料時，則殘留在資料轉送路徑中的資料也不會被破壞，即能夠將 a 個資料導入到資料轉送路徑中。

根據上述請求項 6 以及請求項 2 4 的發明，當自限制週期以外的週期開始轉送 a 個資料時，則會更換暫存器組。藉此，即使是自限制週期以外的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態之資料轉送之暫存器不間斷地輸出資料。

根據上述請求項 3 以及請求項 2 1 的發明，當自不同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

款

五、發明說明 (10)

於 a 個週期的週期開始轉送 a 個資料時，則在線上階段的數目增加的同時，會更替暫存器組。藉此，即使是自不同於 a 個週期的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態之資料轉送的暫存器中不間斷地輸出資料。

爲了要達到上述第 1 目的，請求項 1 以及請求項 1 9 之發明，其特徵在於：

包含線上分離部，可分離地將 a 個資料呈並列狀地轉送用於暫時保持資料之 N 個線上階段的資料轉送路徑；及

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 n (= N - 1) 個上述線上分離部中，將 n (n = a / m ; m 爲對於在上述被分離而鄰接之線上階段之間的資料轉送爲必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的控制部。

根據上述請求項 1 以及請求項 1 9 的發明，當自不同於 a 個週期的週期開始轉送 a 個資料時，則線上階段的數目會增加。藉此，即使是自不同於 a 個週期開始轉送 a 個資料時，則殘留在資料轉送路徑中的資料也不會被破壞，即能夠將 a 個資料導入到資料轉送路徑中。

爲了要達到上述第 2 目的，請求項 2 以及請求項 2 0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

五、發明說明 (11)

之發明，其特徵在於：

可以一次將 a 個資料呈並列轉送的資料轉送路徑；

被結合在上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器依據資料的轉送順序賦予第 0 號到第 $K - 1$ 號的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 $a - 1$ 號為止之暫存器組以及自第 a 號到第 $2a - 1$ 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 1 控制部；及

依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的第 2 控制部（但是第 $K - 1$ 個的下一個則回到第 0 號）。

根據上述請求項 2 以及請求項 20 的發明，當自限制週期以外的週期開始轉送 a 個資料時，則會更換暫存器組。藉此，即使是自限制週期以外的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

紙

五、發明說明 (12)

之資料轉送之暫存器不間斷地輸出資料。

爲了要達成上述第 3 目的，請求項 3 以及請求項 2 1 之發明，其特徵在於：

包含線上分離部，可分離且一次地將 a 個資料呈並列地轉送到用於暫時保持資料之 N 個線上階段的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 $K - 1$ 號爲止的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 n （ $= N - 1$ ）個上述線上分離部中，將 n （ $n = a / m$ ； m 爲對於在上述被分離而鄰接之線上階段之間的資料轉送爲必要的週期的數目） $- 1$ 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 $a - 1$ 號爲止之暫存器組以及自第 a 號到第 $2a - 1$ 號爲止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 i （ $\text{mod } 2a$ ）個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

部

五、發明說明 (13)

第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組 (但是，自暫存器之輸出順序，在第 $K - 1$ 號的下一個即回到第 0 號)。

根據上述請求項 3 以及請求項 2 1 的發明，當自不同於 a 個週期的週期開始轉送 a 個資料時，則在線上階段的數目增加的同時，會更替暫存器組。藉此，即使是自不同於 a 個週期的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態之資料轉送的暫存器中不間斷地輸出資料。

爲了要達成上述第 3 目的，本發明之請求項 4 以及請求項 2 2 之發明，其主要特徵在於備有：

用於資料轉送的資料轉送路徑；

設於上述資料轉送路徑，而將並列之資料轉送形態轉換成串列之資料轉送形態的暫存器；

在限制將資料轉送到上述暫存器之週期以外，當要轉送資料時，會將上述資料轉送路徑分離成多個線上階段的分離部；

在限制資料轉送到上述暫存器之週期以外，會將被轉送而來的資料輸入到在上述被分離之線上階段中至少最初的階段的輸入部；及

在限制資料轉送到上述暫存器之週期以外，自上述暫存器將資料予以串列輸出的輸出部。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

根據上述請求項 4 以及請求項 2 2 的發明，將在限制將資料轉送到暫存器之週期以外被轉送而來的資料輸入到在被分離之多個線上階段中至少最初的階段，而在限制將資料轉送到暫存器之週期以外，自暫存器中呈串列地輸出資料。藉此，在變更存取位址時具有自由度，且提高資料轉送的效率。

爲了要達成上述第 1 目的，請求項 5 以及請求項 2 3 之發明，其主要特徵包括：

包含線上分離部，利用用於控制資料轉送之時脈的 a 個週期可分離地將 a 個資料轉送到可以暫時保持資料的 N 個線上階段，在用於控制資料轉送之時脈的 1 個週期，則將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料的資料轉送路徑；及

對於上述 a 個資料的轉送，當自與 a 個週期對的週期開始時，則可以自 n ($= N - 1$) 個上述線上分離部中，將 n ($n = a / m$ ， m 爲對於在上述被分離而鄰接之線上階段之間的資料轉送爲必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離。

根據上述請求項 5 以及請求項 2 3 的發明，當自不同於 a 個週期的週期開始轉送 a 個資料時，則線上階段的數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

切

五、發明說明 (15)

目會增加。藉此，即使是自不同於 a 個週期開始轉送 a 個資料時，則殘留在資料轉送路徑中的資料也不會被破壞，即能夠將 a 個資料導入到資料轉送路徑中。

爲了要達到上述第 2 目的，請求項 6 以及請求項 2 4 之發明，其特徵在於包括：

利用控制資料轉送之時脈的 a 個週期來轉送上述 a 個資料，且在用於控制上述資料轉送之時脈的 1 個週期，將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 $K - 1$ 號爲止的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 $a - 1$ 號爲止之暫存器組以及自第 a 號到第 $2a - 1$ 號爲止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號爲止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號爲止的組（但是，自暫存器之輸出之順序，在第 $K - 1$ 號的下一個即回

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

訂

五、發明說明 (16) 到第 0 號) 。

根據上述請求項 6 以及請求項 2 4 的發明，當自限制週期以外的週期開始轉送 a 個資料時，則會更換暫存器組。藉此，即使是自限制週期以外的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態之資料轉送之暫存器不間斷地輸出資料。

爲了要達成上述第 3 目的，請求項 7 以及請求項 2 5 之發明，其特徵在於包括：

利用控制資料轉送之時脈的 a 個週期來轉送上述 a 個資料，且在用於控制上述資料轉送之時脈的 1 個週期，將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 K - 1 號爲止的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 n (= N - 1) 個上述線上分離部中，將 n (n = a / m ; m 爲對於在上述被分離而鄰接之線上階段之間的資料轉送爲必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (17)

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 $a - 1$ 號為止之暫存器組與自第 a 號到第 $2a - 1$ 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組（但是，自暫存器之輸出之順序號碼，在第 $K - 1$ 個下一個即回到第 0 號）。

根據上述請求項 3 以及請求項 21 的發明，當自不同於 a 個週期的週期開始轉送 a 個資料時，則在線上階段的數目增加的同時，會更替暫存器組。藉此，即使是自不同於 a 個週期的週期開始轉送 a 個資料時，也可以自能夠將並列形態之資料轉送轉換成串列形態之資料轉送的暫存器中不間斷地輸出資料。

請求項 8 之發明，當系統時脈的頻率低時，在叢發資料存取的途中，則不設定對於用於輸入新的叢發資料存取之先頭位址週期的限制，而經常輸入上述先頭位址，而當上述系統時脈的頻率高時，則在叢發資料存取的途中，會限制輸入用於新的叢發資料存取之先頭位址的週期，而只有在此限制的週期內會輸入上述先頭位址。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

根據上述請求項 8 項之發明，可以提供使用本發明之裝置之形態的一例。

又，請求項 9 之發明，

可以變更內部之線上階段的數目，而自記憶單元呈並列地轉送 a 位元的資料，利用 a 個週期來輸出呈並列狀被轉送之 a 位元的資料，而同步於系統時脈被控制的同步記憶體部；及

即使是自與上述 a 個週期不同的週期開始，而為要求變更週期的第 1 規格時，將上述線上階段的數目控制式一定的數目以及將上述線上階段的數目控制或自上述一定的數目開始增加的其中一者，

而當為自與上述 a 個週期呈對應的週期開始，要求經常變更週期的第 2 規格時，會將上述線上階段的數目控制保持在上述一定的數目，而控制上述同步記憶體部的控制部。根據上述請求項 9 之發明，可以提供使用本發明之裝置之其他的例子。

又，請求項 10 的發明，其主要是針對在時脈的每個週期一次呈串列地輸出 1 個資料的同步半導體記憶體裝置，其主要特徵在於具備：

用於將位址讀入裝置內部的位址讀取手段；

對所讀取的位址加以解碼的解碼手段；

配置有多個用於記憶資料的記憶單元的記憶單元陣列

；

呈電氣被結合到上述記憶單元的資料匯流排；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

在被記憶在上述記憶單元的資料中，將與上述被解碼之位址呈對應的資料轉送到上述資料匯流排的轉送手段；

呈電氣被結合到上述資料匯流排的輸出暫存器；

將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器的轉送手段；及

將被轉送到上述資料匯流排的 a 個資料，令其同步於上述時脈而呈串列地加以輸出的輸出手段，

自上述位址讀取手段到上述輸出暫存器為止的信號路徑則被分離或 N 個線一階段；

在時脈的 m 個週期轉送各線上階段的資料，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，不會使上述 N 個線上階段全部分離，而將上述線上階段中的連續的 n (= a / m) 個線上階段設成貫通狀態，

而對於資料的存取，當自相對於上述時脈之 a 個週期偏離的週期開始時，則使上述 N 個線上階段全部分離。

根據上述請求項 10 之發明，可以提供本發明之同步半導體記憶體裝置之第 1 形態。

又，請求項 11 之發明，係在請求項 10 之發明中，上述 m 為 1，上述 n 為 2，上述 N 為 3，

上述 3 個線上階段分別是由：

自讀取上述位址到解碼為止的第 1 線上階段；

到將與上述被解碼之位址呈對應的資料轉送到資料匯流排為止的第 2 線上階段；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

記

五、發明說明 (20)

到將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器為止的第 3 線上階段所構成，

對於上述資料的存取，在自與上述時脈之 a 個週期呈對應之週期開始時被設成貫通狀態的線上階段為上述第 1 線上階段與上述第 2 線上階段。

根據上述請求項 1 1 之發明，可以提供本發明之同步半導體記憶體裝置的第 2 形態

又，請求項 1 2 之發明，其主要是針對在時脈每個週期會至少一次 1 個地呈串列地將資料加以輸出的同步半導體記憶裝置，其特徵在於備有：

用於將位址讀取到裝置內部的位址讀取手段；

對所讀取的位址加以解碼的解碼手段；

配置多個用於記憶資料之記憶單元的記憶單元陣列；

呈電氣被結合到上述記憶單元的資料匯流排；

在被記憶在上述記憶單元的資料中，會將與上述被解碼之位址呈對應的資料轉送到上述資料匯流排的轉送手段；

呈電氣被結合到上述資料匯流排的輸出暫存器；

將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器的轉送手段；及

將被轉送到上述輸出暫存器的 a 個資料，令其同步於上述時脈而呈串列地被輸出的輸出手段，

上述輸出暫存器有 K 個，而對上述 K 個輸出暫存器分別依據資料的存取順序而賦予自第 0 號到第 K - 1 號為止

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (21)

的號碼，而自上述輸出暫存器之資料的輸出順序則是一經常循環的上述號碼順序，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，則將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 0 號到第 $a - 1$ 號為止的輸出暫存器組以及自第 a 號到第 $2a - 1$ 號為止之輸出暫存器組，

對於資料的存取，當自相對於與上述時脈之 a 個週期對應的週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則會更換上述輸出暫存器組，將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之輸出暫存器組以及自第 $i + a \pmod{2a}$ 號到第 $i + 2a - 1 \pmod{2a}$ 號為止的輸出暫存器組。

根據請求項 1 2 之發明，可以提供本發明之同步半導體記憶體裝置的第 3 形態。

又，請求項 1 3 之發明，係在請求項 1 2 之發明中，上述 K 為 4，而上述 a 為 2。

根據上述請求項 1 3 之發明，可以提供本發明之同步半導體記憶體裝置的第 4 形態。

又，請求項 1 4 之發明，其主要是針對在時脈每個週期會至少一次 1 個地呈串列地將資料加以輸出的同步半導體記憶體裝置，其特徵在於備有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

五、發明說明 (22)

用於將位址讀取到裝置內部的位址讀取手段；

對所讀取的位址加以解碼的解碼手段；

配置多個用於記憶資料之記憶單元的記憶單元陣列；

呈電氣被結合到上述記憶單元的資料匯流排；

在被記憶在上述記憶單元的資料中，會將與上述被解碼之位址呈對應的資料轉送到上述資料匯流排的轉送手段；

呈電氣被結合到上述資料匯流排的輸出暫存器；

將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器的轉送手段；及

將被轉送到上述輸出暫存器的 a 個資料，令其同步於上述時脈而呈串列地被輸出的輸出手段，

自上述位址讀取手段到上述輸出暫存器為止的信號路徑則被分離成 N 個線上階段，

在時脈的 m 個週期，轉送各線上階段的資料，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，則不使上述 N 個線上階段的全部分離，而將上述線上階段中之連續 $n (= a / m)$ 個線上階段設成貫通狀態，

對於資料的存取，當自相對於上述時脈的 a 個週期離開的週期開始時，則使上述 N 個線上階段全部分離，

上述輸出暫存器有 K 個，而對上述 K 個輸出暫存器分別依據資料的存取順序而賦予自第 0 號到第 K - 1 號為止的號碼，而自上述輸出暫存器之資料的輸出順序則是一經

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

五、發明說明 (23)

常循環的上述號碼順序，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，則將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 0 號到第 $a - 1$ 號為止的輸出暫存器組以及自第 a 號到第 $2a - 1$ 號為止之輸出暫存器組，

對於資料的存取，當自相對於與上述時脈之 a 個週期對應的週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則會更換上述輸出暫存器組，將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之輸出暫存器組以及自第 $i + a \pmod{2a}$ 號到第 $i + 2a - 1 \pmod{2a}$ 號為止的輸出暫存器組。

根據上述請求項 14 之發明，可以提供本發明之同步半導體記憶體裝置的第 5 形態。

又，請求項 15 的發明，其主要是針對具有暫存器方式之輸出部的同步半導體記憶體裝置，其主要特徵在於：

在暫存器方式的限制週期以外，當要變更位址時，則將資料轉送路徑分割成多個線上階段，而將與上述被變更之位址呈對應的轉送資料轉送到位在上述資料轉送路徑中，殘留有轉送資料之先頭的線上階段的前面的階段的其中一個為止，而即使是在上述限制週期以外，也會將與在上述資料轉送路徑中上述被變更之位址呈對應的轉送資料加

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

以輸入，且變更上述輸出部之輸出暫存器的組合，而即使是在上述限制週期以外，也可以自上述輸出部，將資料呈串列地輸出。

根據上述請求項 1 5 之發明，可以提供本發明之同步半導體記憶體裝置的第 6 形態。

又，請求項 1 6 之發明，其主要特徵在於包括：

被輸入位址，且對該位址加以解碼，將行選擇信號輸出到行選擇線的位址解碼器；

被設在上述行選擇線的鎖存型閘；

連接有多個記憶單元，而由上述行選擇信號來選擇之位元線；

被連接到上述位元線的區域資料匯流排；

選擇上述區域資料匯流排，而連接到全球資料庫的選擇閘；

被連接到上述全球資料庫，而利用時脈的 a 個週期將 a 個資料呈串列地輸出的輸出暫存器；

同步於上述時脈，接受用於通知新的叢發開始之開始信號的輸入，當該開始信號，在上述 a 個週期以外的週期被輸入時，則將上述鎖存型閘加以關閉的資料轉送控制手段；及

同步於上述時脈，接受用於通知新的叢發開始之開始信號的輸入，當該開始信號，在上述 a 個週期以外的週期被輸入時，會變更上述輸出暫存器之組合區分的輸出暫存器控制手段。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (25)

根據上述請求項 1 6 之發明，可以提供本發明之同步半導體記憶體裝置的第 7 形態。

又，請求項 1 7 之發明，其主要特徵包括：

可分割成至少 2 個線上階段，該些線上階段則被結合到利用叢發時脈的至少 2 個週期，將與所設定之位址呈對應的資料呈串列地加以輸出的第 1 輸出暫存器組，以及利用至少其他 2 個週期，而將其呈串列狀加以輸出的第 2 輸出暫存器組而構成的資料轉送路徑；

用於檢測在上述第 1 輸出暫存器組以及上述第 2 輸出暫存器組之其中一者輸出資料的週期中是否有位址的再設定的檢測手段；

響應於上述檢測手段的檢測指示，將上述資料轉送路徑至少分割成 2 個線上階段，而不等待用於輸出上述第 1 輸出暫存器組以及上述第 2 輸出暫存器組之其中一個之資料之週期的先頭時脈，即將上述再設定位址讀取到上述所分割之線上階段的線上分割手段；

響應於來自檢測手段的檢測指示，更換上述第 1 輸出暫存器組的一部分與上述第 2 輸出暫存器組的一部分，而製作新的第 1 輸出暫存器組與新的第 2 輸出暫存器組的區分變更手段；及

令與上述再設定位址呈對應的資料同步於用於輸出上述新的第 1 輸出暫存器組以及上述新的第 2 輸出暫存器組之其中一個之資料的週期的先頭時脈，而自上述新的輸出暫存器組以及上述新的輸出暫存器組之其中一個，利用上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

五、發明說明 (26)

述叢發時脈的至少 2 個週期而令其呈串列狀輸出的輸出手段。

根據上述請求項 1 7 之發明，可以提供本發明之同步半導體記憶體裝置的第 8 形態。

又，爲了要達到上述第 4 目的，請求項 1 8 之發明，其主要是將自輸入位址到對被所輸入之位址進行解碼爲止設成第 1 線上階段，

將自被解碼的位址，將與該位址呈對應的資料讀到資料線爲止設成第 2 線上階段，

將自將所讀取之資料輸入到資料線到將資料呈串列狀輸出爲止設成第 3 線上階段，

自上述第 1 線上階段到上述第 2 線上階段爲止之信號的內部處理，則是利用上述時脈的 a 個週期來進行，其特徵在於：

當自與上述時脈的 a 個週期呈對應的週期開始進行資料存取時，會將上述第 1 線上階段與上述第 2 線上階段設成貫通狀態，

當自相對於上述時脈的 a 個週期離開的週期開始進行新的資料存取時，則會使上述第 1 線上階段與上述第 2 線上階段分離，而與新的資料存取呈對應之信號的內部處理，則是在上述第 1 線上階段進行，而與在進行新的資料存取以前的資料存取呈對應之信號的內部處理，則是在第 2 線上階段以及上述第 3 線上階段進行。

根據上述請求項 1 8 之發明，可以提供即是自限制週

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (27)

期以外的週期，也可以將位址導入到資料轉送路徑之同步半導體記憶體裝置之動作方法。

(發明之實施形態)

以下說明本發明之實施形態。在此說明中，相同的部分則附加相同的參考符號，而省略重覆的說明。

圖 1 係表本發明之一實施形態之 S D R A M 的概略圖。

如圖 1 所示，與本發明之一實施形態有關的 S D R A M，其基本方塊則具備有：記憶單元陣列與感測放大器（包含行閘）1 0 1，根據自外部所供給之控制時脈 C L K 的上升邊緣，而讀取，鎖存乃至於輸出來自外部之位址 A i 的鎖存型閘（行位址緩衝器）1 0 3，對由鎖存型閘 1 0 3 所輸出之位址 A i 加以解碼，而輸出用於選擇記憶單元陣列之行之信號的位址解碼器（行解碼器）1 0 5，被連接到位址解碼器 1 0 5 的輸出端，而響應於控制信號 P 2，對位址解碼器 1 0 5 之輸出加以鎖存乃至於輸出的鎖存型閘 1 0 7，被連接到記憶單元之位元線的區域資料匯流排（D Q 線）L D B，被設在區域資料匯流排 L D B 的導通型閘 1 1 1，被設在區域資料匯流排 L D B 與全球資料匯流排（R W D 線）G D B 之間，對由區域資料匯流排 L D B 所讀取的資料加以感測放大，且將其傳到全球資料匯流排 G D B 的資料匯流排感測電路（D Q 緩衝器）1 1 3，以及被連接到全球資料匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

G D B，而對出現在全球資料匯流排 G D B 的資料加以儲存乃至於輸出的輸出暫存器 1 0 9。

圖 1 所示的 S D R A M 具有與圖 3 2 以及圖 3 3 所示之 S D R A M 大約相同的方塊，S D R A M 整體的系統雖然是依據暫存器方式，但是使資料轉送階段（線上階段）作動的時間則與以往之 S D R A M 不同。

特別是，圖 1 所示的 S D R A M，只有在特別的情況下才被區分成第 1 線上階段 S 1 與第 2 線上階段 S 2。在特別的情況以外，第 1 線上階段 S 1 與第 2 線上階段 S 2 則彼此被設成貫通狀態，而成爲 1 個線上階段。鎖存型閘 1 0 7，只有在特別的情況下，才能區分成第 1 線上階段與第 2 線上階段而動作，至於特別的情況以外，則使第 1 線上階段 S 1 與第 2 線上階段 S 2 成爲貫通狀態而動作。鎖存型閘 1 0 7 則爲控制信號 P 2 所控制。

其次則說明圖 1 所示之 S D R A M 的動作。

圖 2 (a) 係表圖 1 所示之 S D R A M 的動作的說明圖，特別是指在線上階段內之資料的轉送狀態。

如圖 2 (a) 所示，自以箭頭 1 5 所指示之時脈的上升邊緣爲開始點的週期開始進行叢發存取，而自以箭頭 1 7 所指示之時脈的上升邊緣爲開始點的週期開始設定新的位址。此外，以箭頭 1 7 爲開始點的週期，對於如圖 3 4 所示的暫存器方式而言，則是一禁止限定新的位址的週期。

圖 1 所示的 S D R A M，以往，當在禁止設定新的位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

址的週期（以下稱為禁止週期）內若有新的位址的設定時，則會輸出控制信號 P 2，使鎖存型閘 1 0 7 活性化，而區分成第 1 線上階段 S 1 與第 2 線上階段 S 2。藉此，在裝置中的線上階段則成為階段 S 1，S 2，S 3 等三者。該 3 個階段 S 1，S 2，S 3 彼此呈獨立地動作。藉著使 3 個階段 S 1，S 2，S 3 彼此呈獨立地動作，則在設定新的位址以前的資料，則不會被來自新的位址的資料所破壞。又，在設定新的位址以前的資料，則會持續地在裝置之中被轉送。此外，來自新的位址的資料，在輸出新的位址設定以前的資料後，則會自輸出暫存器 1 0 9 不間斷地被輸出。

此資料輸出的速度則與線上（pipeline）方式的 S D R A M 相同。由圖 2（a）中之實線所區分的 2 個週期，則是表示圖 1 所示之 S D R A M 之當初的動作時序，而在設定新的位址後的動作時序則較當初的動作時序偏離 1 個週期，而成為以虛線所區分之 2 個週期的動作。

圖 3 係表圖 1 所示之 S D R A M 的電路圖。

如圖 3 所示，鎖存型閘 1 0 3 會響應於控制信號 P 1，而讀取以及鎖存位址 A i。所讀取的位址，則藉由位址解碼器 1 0 5 被解碼，而選擇相鄰的 2 個行選擇線 C S L。由位址解碼器 1 0 5 所輸出之行選擇信號，則會在讀取位址之週期的下一個週期內，自鎖存型閘 1 0 7 被輸出。但是，鎖存型閘 1 0 7 被活性化，如上所述，則只限於特定的週期，亦即，禁止週期，只限於在有新的位址設定時

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

訂

五、發明說明 (30)

。至於在禁止週期以外的週期，則行選擇信號會使鎖存型閘 1 0 7 成爲鎖存狀態。當鄰接的 2 個行選擇線 C S L 的電位上升時，則已經自記憶單元中被讀取，而爲感測放大器所儲存的資料會被輸出到 4 對的區域資料匯流排 L D B。圖 3 所示的 S D R A M，在將資料輸出到區域資料匯流排 L D B 之前，利用自設定位址的週期數來的 2 個週期。

在資料被輸出到區域資料匯流排 L D B 後，會自 4 對的區域資料匯流排 L D B 中選出 2 對。更者，則對所選出之 2 對的區域資料匯流排 L D B 的資料分別加以放大，且將其轉送到 2 對的全球資料匯流排 G D B。該動作則是使用附設選擇功能的資料匯流排感測電路 1 1 3。被轉送到全球資料匯流排 G D B 的資料則更被轉送到輸出暫存器 1 0 9。此時，資料則經由如配合串列存取之定址 (addressing) 而設定的倒頻器 (scrambler) 1 1 5 而被轉送到輸出暫存器 1 0 9，而一次 2 個位元地被儲存在輸出暫存器 1 0 9 所包含的 2 個暫存器 R 1，R 2 (或是暫存器 R 3，R 4) 內。被儲存在暫存器 R 1，R 2 (或是暫存器 R 3，R 4) 的資料則一以 1 個位元地被輸出。如此般，自資料被輸出到區域資料匯流排 L D B 開始到自輸出暫存器 1 0 9 被輸出爲止，則是利用自設定位址的週期數來第 3 個與第 4 個第 2 個週期。

圖 3 所示的 S D R A M，該動作，如圖 2 (a) 所示，則是每 2 個週期地反覆地進行。而在離開每 2 個週期的週期內 (亦即，禁止週期)，若有新的位址的設定時，則

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (31)

根據控制信號 P 2 使鎖存型閘 1 0 7 活性化，而將新的位址被設定以前的資料輸出到區域資料匯流排 L D B，對重新被設定的位址進行解碼。

藉著令 S D R A M 如此地動作，如上所述，在新的位址被設定以前的資料，則不會受到來自新的位址的資料的破壞。亦即，即使是以往禁止設定新位址的週期，也能夠設定新的位址。因此，用於輸入位址的時間則受到較少的限制。

圖 2 (b) 係表 S D R A M 之資料的流程，乃分別比較線上 (pipe line) 方式 S D R A M 之資料的流程以及暫存器 (register) 方式 S D R A M 之資料的流程。

如圖 2 (b) 所示，該 S D R A M，對於以往之線上方式 S D R A M 以及以往之暫存器方式 S D R A M 而言，即使是禁止設定新的位址的週期，也能夠設定新的位址。

此外，在圖 2 (b) 中，係表示將叢發 (burst) 長度設為 4 的例子。

又，該 S D R A M，自設定位址開始到輸出資料為止的動作係根據以往暫存器方式 S D R A M，其消耗電力較以往線上方式 S D R A M 為少。

又，該 S D R A M，出現於全球資料匯流排 G D B 的資料則是每個週期皆改變。而資料，則自輸出暫存器

1 0 9 依據一定的順序，自輸出暫存器 1 0 9 中的暫存器 R 1 ~ R 4 1 次 1 個地被輸出。藉此可以實現高速的串列存取動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (32)

但是，自暫存器 R 1 ~ R 4，1 次 1 個地依據一定的順序輸出資料的方式，當在離開上述每 2 個週期的週期內有新的位址的設定時，則將資料儲存在輸出暫存器 1 0 9 的週期會有偏離上述每 2 個週期的情形發生。此一情形則表示在圖 2 (b)。至於應付該儲存資料之週期偏離的方法測請容後述。

其次則就使鄰接的 2 個行選擇線 C S L 的電位上升的方法。

圖 4 係表位址解碼器 1 0 5 以及其附近之電路的電路圖。

如圖 4 所示，具有資料匯流排 A B 1，A B 2，該些位址匯流排 A B 1，A B 2，其中位址之最下位位元 A 0 則分別對應於“0”與“1”。而被送到其他之位址匯流排的位址位元則為位在其上位的位元。位址產生電路 1 7，則形成在為鎖存型閘 1 0 3 所鎖存之位址上加上“1”的位址。而位址產生電路 1 1 7 則將加上“1”後的位址與為鎖存型閘 1 0 3 所鎖存的位址送到位址匯流排 A B 1 與位址匯流排 A B 2。如此般可以使鄰接的 2 個行選擇線 C S L 的電位上升。

位址解碼器 1 0 5，其中圖中附加相同號碼者則進行相同的解碼，且依據位址變大的原則依序並列。在被連接到位址解碼器 1 0 5 之輸出的行選擇線 C S L 則連接有被輸入了上述控制信號 P 2 的鎖存型閘 1 0 7，且因應所需進行鎖存動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (33)

此外，在圖 3 以及圖 4 中，雖然是選擇相鄰的 C S L，但是在空間上並沒有必要一定要相鄰，也可以在定址 (addressing) 的空間上相鄰。

當在偏離上述每 2 個週期的週期內進行新的位址的設定時，則鎖存型閘 1 0 7 會被活性化，而每個週期的線上 (pipeline) 動作會暫時地進行。此時，資料儲存到輸出暫存器 1 0 9 的週期則會自目前為止之 2 個週期的週期偏離而混亂。因此必須要有應付資料之儲存週期混亂的對策才行。

圖 5 係表能夠應付資料對輸出暫存器 1 0 9 之儲存週期之混亂情形的輸出暫存器的概略圖，(a) 係表其中一個狀態，而 (b) 圖係表另一個狀態。

如圖 5 所示，當作輸出資料被輸出的資料，可以藉由依據一定的順序掃描輸出暫存器 R 1 ~ R 4 而獲得。至於掃描的順序，則即使是有新的位址的設定也不會被破壞或是產生跳躍現象。在資料輸出週期，則不需要考慮如定址變更時間等的多餘的時間，因此可以經常以高速的週期來輸出資料。

首先，如圖 5 (a) 所示，在輸出暫存器 R 1 與輸出暫存器 R 2 (圖中的 R E G A 1) 以及暫存器 R 3 與暫存器 R 4 (圖中的 R E G B 3) 則分別儲存 2 個資料。

在最初的 2 個週期中，在 R E G A 閘側則儲存有 2 個位元的資料，而在下一個 2 個週期，則將下一個 2 個位元儲存在 R E G B 閘側。在每 2 個週期之儲存週期的途中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

五、發明說明 (34)

則有偏離該儲存週期而設定新的位址的情形。此時，在偏離儲存週期的週期內，則與重新被設定之位址呈對應的資料會出現在全球資料匯流排 G D B，在自例如輸出暫存器 R 1 輸出資料後，則自輸出暫存器 R 2 所輸出的資料即成爲與重新被設定之位址呈對應的資料。於是，如圖 5 (b) 所示般地切換資料之儲存區間。

從與重新被設定之位址呈對應的資料出現在全球資料匯流排 G D B 開始，最初的 2 個週期，資料會被儲存在輸出暫存器 R 2 與輸出暫存器 R 3 (圖中的 R E G A 2)，而在下一個 2 個週期，資料則會被儲存在輸出暫存器 R 4 與輸出暫存器 R 1 (圖中的 R E G B 4)。

又，當與每 2 個週期的儲存週期整合，而且與重新被設定之位址呈對應的資料出現在全球資料庫 G D B 時，則 R E G A 側閘以及 R E G B 側閘的區隔不會改變。而只有在偏離每 2 個週期的儲存週期，而且與重新被設定之位址呈對應的資料出現在全球資料匯流排 G D B 時，則會自圖 5 (a) 變到圖 5 (b) 或是自圖 5 (b) 變到圖 5 (a)，而改變 R E G A 側閘以及 R E G B 閘的區隔。

如此般，當偏離每 2 個週期的儲存週期，而且與重新被設定之位址呈對應的資料出現在全球資料匯流排時，則暫存器 R 1 ~ R 4 的掃描順序不會破壞或是跳躍，藉著變更暫存器 R 1 ~ R 4 的區隔方式，經常將資料自暫存器 R 1 ~ R 4 依序加以輸出，可以與新的位址的設定無關而進行串列存取動作，而能夠經常以高速的週期來輸出資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (35)

圖 6 係表圖 5 所示之輸出暫存器 109 的電路圖。

如圖 6 所示，資料乃自端子 Q 被輸出。當信號 H i Z 上升時，由於輸出電晶體 119 處於 o f f 狀態，因此，端子 Q 成爲高阻抗。被儲存在輸出暫存器 R 1 ~ R 4 之內部的資料，則藉著依序且循環地使閘信號 G R 1 ~ G R 4 上升而使時脈反相器導通而被輸出到端子 Q。

在圖 6 中，構成圖 5 所示之閘 R E G A 以及 R E G B 者則爲轉送閘 R E G 1 1 ~ R E G 4 2。而轉送閘 R E G 1 1 ~ R E G 4 2 之其中一例，如圖 6 所示係一時脈反相器。自出現在 4 對區域資料匯流排 L D B 的資料中，將所選出的資料分別轉送到全球資料匯流排 G D B 1 以及 G D B 2。

其次則就本發明之 S D R A M 之整體的資料轉送控制加以說明。

圖 7 係表本發明之實施形態之 S D R A M 所具有之資料轉送控制系統電路的方塊圖。

如圖 7 所示，資料轉送控制系統電路會同步於根據外部時脈所形成之內部時脈（以下稱爲叢發時脈 burst clock）B C K 而動作，而資料轉送則同步於叢發時脈 B C K 而進行，而如此般地控制資料的轉送。叢發時脈 B C K 當叢發（burst）開始時即產生。又，在資料轉送控制系統電路則被輸入有通知新的叢發已開始的信號 N B S R T（以下稱爲新叢發開始信號），而資料轉送控

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

訂

五、發明說明 (36)

制系統電路則主要根據叢發時脈 B C K 與新叢發開始信號 N B S R T 等 2 個信號，而產生用於控制資料轉送的信號群。

資料轉送控制系統電路，其基本的時脈為同步於叢發時脈 B C K，而與自最初之叢發開始算起之週期的數目呈對應的基本控制信號群 / S F (/ 表反轉信號或是表負邏輯的信號，在圖中，則在符號的上部加上 " - ")。乃包括有：基本控制信號產生電路 2 0 1，同步於叢發時脈 B C K，且響應於新叢發開始信號 N B S R T，基本控制信號群 / S F 群，而使線上階段分割的分割指示信號 P 2 0 N，產生通知自最初的叢發開始的週期數來是偶數週期或是奇數週期的信號 ϕ 2 N 以及通知新的叢發是從奇數的週期開始或是從偶數的週期開始的控制信號群 S，S T 2，S W，C C 等的資料轉送控制電路 3 0 1，同步於叢發時脈 B C K，且根據新叢發開始信號 N B S R T，信號 S T 2，S W，C C，基本控制信號群 / S F 以及位址的最下位位元 A 0，而產生用於選擇控制輸出暫存器 1 0 9 之選擇控制信號群 R E G 的輸出暫存器控制路 4 0 1，以及同步於叢發時脈 B C K，且根據新叢發開始信號 N B S R T，信號 S T 2、 ϕ 2 N 以及位址的位元 A 1 的初始值 A 1_{int}，而產生用於控制 L D B 之預充電的 L D B 預充電控制信號群 L D B P R C H 的預充電控制信號產生電路 5 0 1。

圖 8 係表圖 7 之方塊圖之更詳細的方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (37)

如圖 8 所示，資料轉送控制電路 3 0 1 乃包括：同步於反轉叢發時脈 \neg B C K，且響應於基本控制信號群 \neg S F 1 ~ \neg S F 4，而輸出自最初的叢發開始的週期數來，通知偶數週期的信號 ϕ 2 N 與通知奇數的週期的信號 ϕ 2 N + 1 的偶數。奇數判斷路 3 1 1。同步於反轉叢發時脈 \neg B C K，且響應於基本控制信號 \neg S F 4 以及新叢發開始信號 N B R S T，而輸出通知在奇數週期內有位址之再設定的信號 S 2 與信號 S 4 的奇數週期位址再設定檢測電路 3 2 1，同步於叢發時脈 B C K，且響應於信號 ϕ 2 N + 1 與新叢發開始信號 N B S R T，而輸出分割指示信號 P 2 O N 與控制信號 S T 2 的線上控制信號產生電路 3 3 1，以及響應於信號 S 2、信號 S 4，而輸出控制信號 S W、C C、 \neg C C 的轉送信號產生電路 3 4 1。

又，輸出暫存器 4 0 1，則包括有：同步於叢發時脈 B C K，且響應於控制信號 S T 2 與控制信號 S W，而輸出用於指示變更輸出暫存器之分組的區分變更信號 S R 1 3 與 S R 2 4 的區分變更信號切換電路 4 1 1，響應於區分變更信號 S R 1 3、S R 2 4，基本控制信號群 \neg S F 1 ~ \neg S F 4 與控制信號 C C、 \neg C C，而輸出區分信號群 R E G A 1 ~ R E G B 4 的區分變更信號產生電路 4 2 1，以及響應於區分信號群 R E G A 1 ~ R E G B 4，新叢發開始信號 N B S R T 與位址最下位位元 A 0，而輸出選擇控制信號群 R E G 1 1 ~ R E G 4 2 的輸出暫存器選擇信號產生電路 4 3 1。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

其次則詳細地說明各電路。

圖 9 係表基本控制信號產生電路 201 之其中一個電路例。

如圖 9 所示，其本控制信號產生電路 201 之其中一個電路側則是一將同步於叢發時脈 B C K 的鎖存電路 203 呈 4 段連接成環狀之循環的移位暫存器。

圖 10 係圖 9 所示之鎖存電路 203 的電路圖。

圖 10 所示之鎖存電路 203 的基本動作如下。首先，當叢發時脈 B C K 上升時，則鎖存電路 203 會將被輸入到輸入 I N 的資料加以鎖存，而自輸出 O U T 加以輸出。當叢發時脈 B C K 下降時，則鎖存電路 203 會將被鎖存的資料自輸出 O U T 持續地輸出，而初段的鎖存電路 203 - 1 則會將新的資料輸入到輸入 I N。

圖 9 所示的移位暫存器，乃由只會在進行資料轉送之週期內才產生的叢發時脈 B C K 所驅動。在重置狀態下，第 1 輸出信號 / S F 1 為 " L " 位準，而第 2 輸出信號 / S F 2 ~ 第 4 輸出信號 / S F 4 則為 " H " 位準。在每次叢發時脈 B C K 的週期時，" L " 位準的輸出狀態，則會自第 1 輸出信號 / S F 1 朝第 4 輸出信號 / S F 4 而被移位。而在資料之叢發轉送動作開始時，則在偶數週期內，第 2 輸出信號 / S F 2 或是第 4 輸出信號 / S F 4 為 " L " 位準。當在奇數週期內，對新的叢發的先頭位址進行再設定時，則被輸入到分別連接到第 2 輸出信號 / S F 2 以及第 4 輸出信號 / S F 4 之電晶體 205 - 2、205

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (39)

— 4 之閘極的信號 S 2 或是信號 S 4 則會上升，而將第 2 輸出信號 / S F 2 或是第 4 輸出信號 / S F 4 設成 " L " 位準。而從此開始展開新的叢發的移位週期 (shift cycle) 。

此外，在本說明書中，則將叢發之最初的週期設成第 0 週期，而將 " 0 "、" 2 "、" 4 "，定義成偶數的週期，將 " 1 "、" 3 "，... 定義成奇數的週期。

圖 1 1 係表奇數週期位址再設定檢測電路 3 2 1 的電路，圖 1 2 係表轉送信號產生電路 3 4 1 的電路圖。

圖 1 1 所示的檢測電路 3 2 1 則會調查被設定成奇數號之新的叢發的週期是屬於圖 9 所示之移位器的那個週期。當自輸出信號 / S F 2 為 " L " 位準之週期的下一個週期開始進行新的叢發時，由於信號 N B S R T 會在該週期之初始點上升，因此，信號 S 2 會在該週期的初始點上升。當自輸出信號 / S F 4 為 " L " 位準之週期的下一個週期開始進行新的叢發時，由於信號 N B S R T 會在該週期的初始點上升，因此，信號 S 4 會在該週期的初始點上升。信號 S 2，S 4，則是在圖 9 之移位器之信號上升的週期配合設定，而將輸出信號 / S F 2 或是輸出信號 / S F 4 設成 " L " 位準，而開始新的移位暫存器的週期。

圖 1 2 所示的電路，當信號 S 2 或是信號 S 4 最初上升時，則節點 S W 會上升到 " H " 位準。節點 S W 的初始狀態則為 " L " 位準。在第 2 次，當信號 S 2 或是信號 S 4 上升時，則節點 S W 會下降到 " L " 位準。以後，節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

評

五、發明說明 (40)

點 S W，每當信號 S 2 或是信號 S 4 上升時，則會依 " H "、" L "、" H " … 的順序而變化。

又，圖 1 2 所示之電路之節點 C C 的初始狀態為 " H " 位準。節點 C C，則每當節點 S W 自 " H " 位準變化成 " L " 位準時，則會依 " L "、" H "、… 的順序而變化。節點 / C C 為節點 C C 的互補節點。而自節點 / C C 取出節點 C C 之位準經反轉的信號。自該些節點 C C、節點 / C C 所取出的信號則使用在控制輸出暫存器之資料儲存區隔的變更上。至於其詳細內容請容後敘述。

圖 1 3 係表偶數週期，奇數週期判斷電路 3 1 1 的一個電路例子的電路圖。

圖 1 3 所示之一個電路例子 3 1 1'，由於不使用如圖 7 以及圖 8 之方塊所示，的基本控制信號群 / S F，而叢發存取係屬於串列形態，因此可以藉由比較位址之最下位位元 A O 與來自內部計數器的輸出 A O_{int}，可以判斷偶數週期、奇數週期。

如圖 1 3 所示，在電路例子 3 1 1' 中，在新的叢發存取之初始，則該位址之最下位位元的 A O 會被鎖存，藉由指示新的叢發的初始點之信號 N B S R T 的下降緣而被鎖存在節點 N 1，而與來自內部計數器的輸出 A O_{int} 互相比較。節點 N 1 之初始值與內部計數器輸出 A O_{int} 的初始值則被設成彼此不一致，以後，在開始動作後，則根據信號 / N B S R T 與內部計數器輸出 A O_{int} 而變化。因此，例如信號 ϕ_{2N+1} ，在最初之週期之叢發時脈信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (41)

號 B C K 的上升緣會成爲“L”位準，而在下一個上升緣，由於節點 N 1 與內部計數器輸出 A O_{int} 的值成爲一致，因此會變化成“H”位準，而在叢發時脈信號 B C K 的上升緣，則表示距該週期之開始叢發動作的週期爲偶數或是奇數的信號會成爲“H”位準。

圖 1 4 係表偶數週期、奇數週期判斷電路 3 1 1 之其他的電路例子。

圖 1 4 所示之其他的電路例子 3 1 1，則使用如圖 7 以及圖 8 所示基本控制信號群 / S F 來判斷偶數週期、奇數週期。

電路例子 3 1 1 的優點，與圖 1 3 所示之電路例子 3 1 1 相比較，也可以不利用叢發存取之用於定址之最下位位元的狀態。信號 / S F 1 ~ 信號 / S F 4 則分別只根據叢發時脈 B C K 之週期的數目而依序成爲“L”位準，因此，在第偶數號週期時，信號 / S F 2 以及信號 / S F 4 會下降，另一方面，在第奇數號週期時，信號 / S F 1 以及信號 / S F 3 會下降。圖 1 4 所示之電路例子 3 1 1，藉由在週期的後半段，當叢發時脈 B C K 下降時鎖存該些信號，則在叢發時脈信號 B C K 上升時，可以形成表示該週期係偶數號或是奇數號的信號。

圖 1 5 係表線上控制信號產生電路 3 3 1 的電路圖。

由圖 1 5 所示之電路 3 3 1 所輸出的信號 P 2 0 N 則是一表示在奇數週期信號 N B S R T 上升之訊息的信號。信號 P 2 0 N 則是一開始進行使圖 1 以及圖 3 所示鎖存無

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

閘 1 0 7 動作控制的信號。藉由使鎖存型閘 1 0 7 動作會使得位於線上之第 2 線上階段出現，而暫時自 2 個階段的線上動作移到 3 個階段的線上動作。又，信號 P 2 0 N，則會在該週期的初始被鎖存，當該週期之叢發時脈 B C K 下降時，則會當作信號 S T 2 被輸出。而信號 S T 2 則被使用在 L D B 的預充電控制上。

圖 1 6 係表 L D B 之預充電控制信號產生電路 5 0 1 的電路圖。

L D B 的預充電動作，雖然是藉由線上 (pipeline) 方式而每個週期進行，但是對於 2 位元預取 (prefetch) 方式而言，則可以每 2 個週期才進行，因而可以減少消耗電力以及擴大動作範圍。但是，本發明之 S D R A M，在第奇數號週期，當爲了要開始進行新的叢發而輸入信號 N B S R T 時，則暫時會成爲線上方式，而必須切換預充電的控制。

首先，加上 L D B 與位址位元的對應情形會使得說明更易於了解。

由圖 4 所示之位址匯流排 A B 1、A B 2 與圖 3 所示之 L D B 1、2、3、4 (在圖中以圈數字來表示) 所成的 L D B 對以及與串列存取之下位位元 A 0、A 1 的關係則表示在圖 1 7。

當轉送連續之 2 個位元單位的資料時，則會同時轉送 4 個位元的資料，而藉由具有選擇功能的選擇閘 1 1 3 (參照圖 1、圖 3)，自其中選出 2 個位元單位的資料。至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (43)

於被轉送之 4 個位元與 2 個位元的關係則如下所述。

4 個位元乃構成在叢發存取中之連續的資料，而由其中所選出的 2 個位元，則依據存取的順序而構成第 1 以及第 2 位元或是第 2 以及第 3 位元。而此，在圖 4 之說明中，用於選擇 C S L 的位址則與經常加上 1 者成對而被使用。如此一來，每 2 個週期將 4 個位元的資料輸出到 L D B，而不會自任意的位址產生斷裂，而能夠進行叢發存取動作，至於 L D B 的預充電，則不需要每 2 個週期針對全部 4 對來進行。藉由具有選擇功能的閘 1 1 3，可以對已經被選出之完成資料轉送者 2 對 2 對地進行預充電。此時的對指的是 L D B 1 與 L D B 2 或是 L D B 3 與 L D B 4。該些對可藉由行選擇信號 C S L 同時被選擇。

又，雖然是 L D B 的預充電，但是如圖 1 6 所示，若是在途中沒有對叢發存取之先頭位址進行再設定時，則每第偶數號週期，則會根據存取之內部位址 A l i n t，被轉送新資料的 L D B 1 與 L D B 2，或是 L D B 3 與 L D B 4 則會接受預充電信號。至於對叢發存取之先頭位址的再設定當每次第偶數號進行時，由於剛好的是預充電週期，因此，L D B 1、L D B 2、L D B 3、L D B 4 等 4 對全部進行預充電。而此是因為完全重新將 4 個位元轉送到 L D B 使然。又，當每第奇數的號週期進行時則線上階段的數目會暫時地增加。因此，當在第奇數號週期強制地進行預充電時，則所選擇的資料會被破壞。因此，在進行再設定之下一個週期，L D B 1、L D B 2、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (44)

L D B 3、L D B 4 等 4 對全部會進行預充電。而用於控制此一情形者則為在圖 1 5 之電路中所形成的信號 S T 2，當該信號 S T 2 為 'H' 位準時，會在叢發時脈 B C K 上升的週期進行預充電。

圖 1 9 以及圖 2 0 分別係表 S D R A M 之動作波形圖。

在圖 1 9 以及圖 2 0 中，叢發資料存取的資料長度乃設為 '8'。又，在外部時脈 C L K 之中附加號碼的部分則對應於叢發時脈 B C K。信號 / C E 係一用於指示叢發存取之的開始之週期的指令信號，根據輸入該指令信號之週期之叢發時脈 B C K 的上升緣而讀取叢發存取的先頭位址。而藉由指令被設定之位址之應該出現資料之 L D B 的號碼則配合於信號 / C E 的欄來表示。至於行選擇線 C S L 與 L D B 的選擇關係則如圖 1 8 所示。當自圖 1 8 取出一個選擇關係來加以說明時，則當選擇行選擇線 C S L 0 時，會選擇 L D B 1 與 L D B 2，且將資料轉送到所選擇的 L D B 1 與 L D B 2。

圖 1 9 所示的動作波形圖則是表示在某次叢發的偶數週期內開始進行新的叢發動作的動作波形。具體地設係 8 個週期，而且設定位址以使輸出到 L D B 4 的資料成為先頭資料。

如圖 1 9 所示，當根據指令進行位址設定時（請參照 / C E 的波形，則內部的位址位元 A l i n e 會自 '1' 變化成 '0'。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (45)

在最初的叢發動作中，由於 L D B 2 的資料成爲先頭資料，首先則停止對處於預充電狀態之 L D B 1、L D B 2、L D B 3、L D B 4 的預充電，而使 C S L 0 與 C S L 1 上升而輸出資料，當選擇閘 1 1 3 成爲貫通狀態的“T”時，則 L D B 2 與 L D B 3 會被連接到 G D B 而將資料轉送。被轉送的資料則被儲存在“T”狀態的輸出暫存器 R 1 與輸出暫存器 R 2。

自第 2 個週期開始，由於 C S L 2 上升，而只將新的資料轉送到 L D B 1 以及 L D B 2，因此在週期之初始即進行預充電。此時，選擇閘 1 1 3 則成爲保持狀態的“H”，而被預充電的 L D B 2 則自 G D B 被切離。在此期間，輸出暫存器 R 1 與 R 2 則成爲“H”狀態，而輸出暫存器 R 3 與 R 4 則成爲“T”狀態。選擇閘 1 1 3 當接下來成爲“T”狀態時，則 L D B 4 與 L D B 1 會被連接到 G D B，而該資料會輸出到 G D B 而被儲存在輸出暫存器。

自第 4 個週期開始，C S L 3 會上升，而新的資料只被轉送到 L D B 3 與 L D B 4，而持續進行同樣的動作。

更者，當在第 8 個週期進行新的叢發動作的設定時，由於新的資料係被輸出到 L D B 1 ~ L D B 4 的全部 4 對，因此，L D B 全部會在第 8 個週期的初始進行預充電。而 C S L $m+0$ 與 C S L $m+1$ 會上升，而資料會輸出到 L D B，藉由選擇閘 1 1 3，L D B 4 與 L D B 1 會被連接到 G D B 而轉送資料，因此如上所述般地持續地轉送資料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (46)

只有在第 2 個叢發動作，其中之選擇閘 1 1 3 的選擇與至輸出暫存器的儲存狀態與最初的叢發動作不同，至於其他則幾乎與最初的叢發動作相同。在第 2 個叢發動作之期間，由於未有新的叢發動作的設定，因此當進行到第 8 個週期時，則資料的存取會在第 1 5 個週期停止。

圖 2 0 所示之動作波形圖係指在某次叢發動作的奇數週期內開始新的叢發動作的動作波形，具體地該係 7 個週期，而進行新的叢發動作的設定。

此時，在第 7 個週期中，在新的叢發動作開始被設定以前則與圖 1 9 所示的動作相同。至於在第 7 個週期的新設定，由於是一在奇數週期中的設定，因此，如圖 1 6 所示，在下一個 8 個週期，L D B 1 ~ L D B 4 全部會被預充電。又，在第 7 個週期中被鎖存的位址，由於會暫時進行第 2 階段 S 2 的線上動作，因此，在下一個週期，

C S L $m+0$ 與 C S L $m+1$ 會上升。在第 7 個週期，前一次叢發動作之 L D B 4 與 L D B 1 的資料則分別會被儲存在輸出暫存器 R 3 與輸出暫存器 R 4，但是只有輸出暫存器 R 3 之 L D B 4 的資料會被輸出，而輸出暫存器 R 4 之 L D B 1 的資料，則藉由在第 8 個週期中之選擇閘 1 1 3 的選擇切換以及將新的資料轉送到 L D B 而被更換成新的叢發動作之先頭位址之 L D B 3 的資料。自第 8 個週期開始，則如圖 5 所示，改變資料對於暫存器的儲存區隔，在第 9 個週期以後，則成爲以第 7 個週期爲先頭之叢發存取之本來的動作，在 8 個週期的叢發動作結束了之第 1 4 個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (47)

週期，則叢發時脈 B C K 停止，而資料的存取會在第 1 4 個週期停止。

其次則就用於在第 8 個週期中改變與圖 5 有關之輸出暫存器之區隔的輸出暫存器控制電路 4 0 1 加以說明。

圖 2 1 係區隔變更信號切換電路 4 1 1 的電路圖。

在圖 2 1 所示之電路 4 1 1 的初始狀態，信號 S R 1 3 成爲“H”位準。信號 S W 係自圖 1 2 所示之電路 3 4 1 被輸出，藉由在最初之第奇數號週期的設定，可以自“L”位準變成“H”位準，以後則是“L”位準與“H”位準交互反覆地變化。信號 S R 1 3 與信號 S R 2 4，當信號 S W 依據“L”位準、“H”位準、“L”位準而變化時則信號 S R 1 3 會依據“H”位準、“L”位準、“H”位準而變化，而信號 S R 2 4 則依據“L”位準、“H”位準、“L”位準而變化。但是，狀態變化的時間則是指自信號 S W 之位準發生變化之下一個週期開始經過某個程度的延遲的時間而言。而此是因爲由信號 S T 2 與叢發時脈 B C K 之邏輯積 (A N D) 所鎖存的信號會經過延遲電路 P 而當作信號 S R 1 3、S R 1 4 被輸出使然。而此時間則係配合整合資料之轉送與輸出暫存器之切換而設定。

圖 2 2 係表區隔信號產生電路 4 2 1 的電路圖。

如圖 2 2 所示，信號 / S F 1 以及信號 / S F 3 則是圖 9 所示之移位暫存器 2 0 1 的輸出。信號 C C 以及信號 / C C 則是由圖 1 2 所示之電路 3 4 1 而輸出的信號。信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (48)

號 C C 則藉由改變其位準而交互地更換信號 / S F 1 的角色與信號 / S F 3 的角色。而此如後所述，除了變更輸出暫存器的區隔外，資料之儲存順序也必須要移位。信號 S R 1 3 與信號 S R 2 4 係一與輸出暫存器之區隔方法呈對應的信號。當該些信號 S R 1 3 與信號 S R 2 4 分別與圖 5 所示之輸出暫存器之區隔方法對應時，則信號 S R 1 3 會對應於輸出暫存器 R 1 與輸出暫存器 R 2 的組，以及輸出暫存器 R 3 與輸出暫存器 R 4 的組，而信號 S R 2 4 則對應於輸出暫存器 R 2 與輸出暫存器 R 3 的組，以及輸出暫存器 R 4 以及輸出暫存器 R 1 的組。此外則在由 N O R 電路所構成之正反器輸入如圖 2 2 所示之電路的輸入信號 R E G B 4、R E G B 2、R E G A 1、R E G B 3，而此是爲了當要切換輸出暫存器的區隔時，對打開應儲存資料之閘進行初始設定使然。圖中，D，d 則是用於產生適當延遲的延遲電路。

圖 2 3 係表暫存器選擇信號產生電路 4 3 1 的電路圖。

圖 3 之 G D B 1、G D B 2，其中一者對應於位址之最下位位元 A 0 的“0”，而另一者則對應於最下位位元 A 0 的“1”。而此則對應於如圖 6 所示之 G D B 1、G D B 2。在用於指定叢發動作之先頭位址的週期中，則該位址的最下位位元 A 0 會被儲存在用於輸出控制與此時未處於動作狀態之輸出暫存器有關之區隔的信號的 4 個鎖存部 4 3 3 - 1、4 3 3 - 2、4 3 3 - 3、4 3 3 - 4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (49)

之其中任一者。亦即，當圖 5 之 REG A 1 部為儲存對象時，由於信號 / REG A 1 為 'L' 位準，因此，最下位位元 A 0 會根據信號 / REG 而開閉，不會被轉送到圖 2 3 之鎖存部 4 3 3 - 1，而會被轉送到其他的鎖存部 4 3 3 - 2、4 3 3 - 3、4 3 3 - 4。根據最下位位元 A 0 的值，在新的叢發動作之開始，會根據儲存資料之暫存器區隔，使信號 / RE 1 0 到信號 / RE 4 1 之其中一者成為 'L' 位準。更者，所對應之轉送開信號共 2 個會上升。例如，當 / RE 3 0 成為 'L' 時，則信號 REG 3 1 與 REG 4 2 會分別成為 'H'，而將 G D B 1 的資料儲存在輸出暫存器 R 3，G D B 2 的資料會儲存在 R 4。

圖 2 4 係表在第奇數個週期內，在進行新的叢發動作設定時之輸出暫存器之變更情況以及由圖 1 2 所示之電路 3 4 1 所輸出之信號 S W、信號 C C 之變化的關係。在紙面之最上方者即為原來之暫存器的區隔。而針對該叢發存取，對第奇數個進行最初的設定。而在進行最初的設定之前，各信號會保持初始的狀態，而信號 S W 為 'L' 位準，信號 C C 為 'H'。

輸出暫存器之區隔方法，如圖 2 4 所示有 2 種，而將所區隔之區塊設成 A 1、B 3、A 2、B 4 表示在圖 2 4。而區隔則交互地變成 A 1、B 3 區隔與 A 2、B 4 區隔。至於資料的儲存順序，如圖 2 4 所示，實施斜線之區隔區塊，在其間，沒有斜線的區塊會在其間移動儲存的順序

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (50)

。亦即，若是 A 1 在儲存動作中有新的設定時，則接下來 A 2 會接受儲存，而當 A 2 在儲存動作中有設定時，則接下來 B 3 會進行儲存動作。信號 S W 每次在第奇數個週期有設定時會改變狀態，。而轉送的順序為要如圖所示般地領先，乃必須要有每 2 個週期會產生變化的信號，而此即為信號 C C。當沒有該信號來控制時，則只有位在紙面最上方的區隔與接下來的區隔會交互進行，而無法如上所述般地控制。亦即，在圖 2 2 所示之電路中，當信號 C C 變化時，則藉由更換信號 / S F 1 與信號 / S F 3 的角色，可以使用於控制轉送閘的信號，在相位上能夠相對於圖 7 所示之移位暫存器而領先。

圖 2 5 以及圖 2 6 分別係表將輸出暫存器周圍之控制的狀態綜合表示之動作波形圖。該些動作波形則是與表示資料之轉送狀態的圖 2 0 呈對應。

如圖 2 5 所示，當自第 0 個週期開始叢發動作時，則信號 / S F 1 最初被設定在 " L " 位準之圖 7 所示的移位暫存器會開始動作。而由圖 1 3 或是圖 1 4 所示之電路所形成的信號 $\phi 2 N + 1$ ，藉由如圖 2 5 所示般地變化而指示第奇數個週期。藉著信號 / S F 1 上升，信號 R E G A 1 會確定在 " H " 位準，而信號 R E G B 3 會確定在 " L " 位準，而藉由信號 / S F 3 上升，信號 R E G A 1 會變化到 " L " 位準，而信號 R E G B 3 會變化到 " H " 位準。如此，當針對輸出暫存器之區隔區塊儲存資料時，則當在第奇數個週期 7 有新的叢發動作的設定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (51)

時，則來自圖 1 5 所示的信號 P 2 0 N 以及信號 S T 2，以及來自圖 1 2 所示之電路的信號 S W 會產生變化，而在第 8 個週期，來自圖 2 1 之電路的信號 S R 1 3 會變化到「L」位準，而藉由信號 S R 2 4 成爲「H」位準，可以自圖 2 2 所示之電路 B 3 A 1 區隔的控制信號切換成 B 4 A 2 區隔的控制信號。此時，藉著將信號 R E G B 3 回饋到 N O R 電路，信號 R E G B 4 會立即地上升。其次則藉著 / S F 1 的上升，信號 R E G B 4 會變成「L」位準，而信號 R E G A 2 會變成「H」位準，之後則根據信號 / S F 3 而變化。而此則相當於圖 2 2 所示之設定次數 1 的狀態變化以及在 B 4 與 A 2 中的資料儲存動作。當在第 1 4 個週期叢發動作結束時，則各信號會維持在最終的狀態，以備下一次叢發動作來使用。之後，再度進行叢發動作設定時的動作波形圖則表示在圖 2 6。

在圖 2 6 中則是設成自前一次叢發動作停止不久，新的叢發動作則自第 0 個週期開始的狀態。當信號 / S F 3 成爲「H」位準時才開始叢發動作，藉此，信號 R E G A 2 會變化到「L」位準，而信號 R E G B 4 會變化到「H」。而不同於圖 2 5，A 2 B 4 的區隔區塊會進行資料儲存。當在第 7 個週期設定新的叢發動作時，此時，信號 S W 會變化成「L」位準，而信號 C C 則變化成「L」位準。在第 8 個週期內，來自圖 2 1 所示之電路的信號 S R 1 3 則會變化到「H」位準，而信號 S R 2 4 會成爲「L」位準，藉此，可以自圖 2 2 所示之電路之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (52)

B 4 A 2 區隔的控制信號切換成 B 3 A 1 區隔的控制信號。此時，藉由將 R E G A 2 回饋到 N O R 電路，信號 R E G B 3 會立即地上升。接著，由於藉著信號 / S F 3 上升，信號 C C 會變化成「L」位準，因此爲了使圖 2 2 所示之電路的信號 / S F 1 與信號 / S F 3 的角色能夠交替，信號 R E G B 3 會變化到「L」位準，而信號 R E G A 1 會變化成「H」位準，以下則根據信號 / S F 1 而變化。而此則相當於圖 2 4 之設定次數 2 的狀態變化以及藉由信號 B 3 與信號 A 1 的資料儲存動作。

如上所述，若根據上述一實施形態的 S D R A M，具備有用於進行串列資料輸出的輸出暫存器，而即使是從限制週期以外的週期開始，也能夠將位址導入到資料轉送路徑，且能夠減少消耗電力。

又，在限制週期以外的週期，即使位址被導入資料轉送通路，則也可以自輸出暫存器不間斷地將資料加以串列輸出。

又，在變更存取位址時具有自由度，而能夠提高資料轉送的效率，且消耗電力會減小。

又，在本發明之一實施形態之 S D R A M 中所包含的資料轉送系統則也可以應用到在電腦內部中的資料轉送或是在網路電腦中的資料轉送。此時，可以將位址解碼器，記憶單元陣列以及感測放大器等之進行資料處理的部分置換成在電腦或是在網路電腦中的資料處理部。

圖 2 7 係表圖 1 所示之 S D R A M 之更具體的方塊圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (53)

。

圖 2 8 係表資料處理系統的方塊圖。

圖 2 9 係表網路電腦系統的方塊圖。

圖 3 0 係表圖 2 7 所示之 S D R A M 之資料轉送之其中一個狀態。

圖 3 1 係表圖 2 7 所示之 S D R A M 之資料轉送之其他的狀態。

在圖 3 0 中則表示有 2 個資料在限制週期 (週期 2 、週期 4) 內被轉送的狀態。

如圖 3 0 所示，首先在週期 " 0 " ， 2 個資料 1 、資料 2 被轉送到階段 1 。資料 1 、資料 2 則分別根據行位址信號對應於叢發存取的先頭位址。接著，在週期 " 2 " ，新的 2 個資料 3 、資料 4 則被轉送到階段 1 。而資料 3 、資料 4 分別根據行位址信號而對應於在先頭位址之後下一個被輸入的位址 (更新位址) 。

如此般，當新的 2 資料在限制週期 (週期 2 、週期 4 內) 被轉送時，亦即，當新的 a 個資料，在對應於 " a " 或是 " 2 a " 的限制週期內被轉送時，階段 1 會與階段 2 連接。

又，在圖 3 1 中則表示 2 個資料，在限制週期以外的週期 (週期 1 、週期 3) 內被轉送的狀態。

如圖 3 1 所示，首先在週期 " 0 " 內， 2 個資料 1 、資料 2 會被轉送到階段 1 。而資料 1 、資料 2 分別根據行位址信號對應於叢發存取之先頭位址。接著，在週期 " 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (54)

內，新的 2 個資料 3、資料 4 會被轉送到階段 1。而資料 3、資料 4 分別根據行位址信號而對應於在先頭位址之後下一個被輸入的位址（更新位址）。

如此般，當新的 2 個資料，在限制週期以外的週期內（週期 1、週期 3……）內被轉送時，亦即，新的 a 個資料在對應於“ $\text{mod}(2a)$ ”（ mod 表 modulus）的週期內被轉送時，則階段 1 與階段 2 彼此被分離。

該資料轉送系統則可以應用在圖 28 所示之資料處理系統中的資料轉送以及圖 29 所示之網路電腦系統中的資料轉送。

又，本發明之一實施形態的 SDRAM，其中線上階段的數目會對應於位址變更等求變更動作週期的時間而被變更。然而，也可以使用不變更線上階段之數目的方式。

例如，當系統時脈的頻率低時，則在進行叢資料存取之途中，並未限制用於輸入新的叢發存取之光頭位址的時間，即能夠一直輸入先頭位址。亦即，階段 S1、S2、S3 係在經常分離的狀態下使用。

相對於此，當系統時脈的頻率高時，則在進行叢發資料存取的途中，限制用於輸入新的叢發資料存取之先頭位址的時間，而只能在該限制的時間輸入先頭位址。亦即，在階段 S1、S2、S3 中，階段 S1、S2 乃在經常貫通的狀態下使用。

又，是否要變更線上階段的數目則也可以根據組入本發明之 SDRAM 之系統的規格而決定。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (55)

例如對於經常自對應於 a 個週期之週期以外要求變更位址的系統而言，則當自對應於 a 個週期之週期以外來要求變更 a 個週期時，會使階段 S 1、S 2、S 3 分離，而當在對應於 a 個週期的週期內要求變更位址時，則使階段 S 1、S 2 成爲貫通狀態。

如上所述，本發明之實施形態的 S D R A M 可以適當地對應於各種的系統。

又，本發明之實施形態之 S D R A M 所進行的資料轉送則可以應用在電腦內部中的資料轉送或是網路電腦中的資料轉送，藉此可以在電腦或是網路電腦的領域中構築出能夠更高速地轉送更大量資料的資料轉送系統。

[發明的效果]

如上所述，根據本發明，可以提供具備有用於進行串列資料輸出的輸出暫存器，而即使是在限制週期以外的週期，也能夠將位址導入到資料轉送路徑，且消耗電力少之同步半導體記憶體裝置以及其資料轉送系統，而且能夠提供在限制週期以外的週期，即使將位址導入到資料轉送路徑，也能夠不間斷地將資料自輸出暫存器加以串列輸出之同步半導體記憶體裝置以及其資料轉送系統，此外亦提供在變更存取位址時具有自由度，而能夠提高資料轉送之效率，且消耗電力少之同步記憶體裝置以及其資料轉送系統，以及即使是在限制週期以外的週期，也能夠將位址導入資料轉送路徑的同步半導體記憶體裝置的動作方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (56)

圖面之簡單說明：

圖 1 係表本發明之一實施形態之 S D R A M 的概略圖。

圖 2 (a) 係表資料的進行狀態，(b) 係表資料的進行狀態在以線上 (pipeline) 方式，暫存器方式，實施形態的方式下的比較情形。

圖 3 係表圖 1 所示之 S D R A M 的電路圖。

圖 4 係表解碼器的電路圖。

圖 5 係表輸出暫存器的概略圖，(a) 表輸出暫存器的一狀態，(b) 係表輸出暫存器之其他的狀態。

圖 6 係表輸出暫存器的電路圖。

圖 7 係表資料轉送控制系統電路的方塊圖。

圖 8 係表資料轉送控制系統電路之更詳細的方塊圖。

圖 9 係表基本控制信號產生電路的電路圖。

圖 1 0 係表鎖存電路的電路圖。

圖 1 1 係表位址再設定檢測電路的電路圖。

圖 1 2 係表轉送信號產生電路的電路圖。

圖 1 3 係表偶數週期、奇數週期判斷電路的電路圖。

圖 1 4 係表偶數週期、奇數週期判斷電路的其他電路圖。

圖 1 5 係表管路控制信號產生電路的電路圖。

圖 1 6 係表預充電控制信號產生電路的電路圖。

圖 1 7 係表位址匯流排、區域匯流排以及下位位元的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (57)

關係。

圖 1 8 係表列選擇信號與區域資料匯流排之關係的說明圖。

圖 1 9 係表本發明之一實施形態之 S D R A M 的動作波形圖。

圖 2 0 係表本發明之一實施形態之 S D R A M 的動作波形圖。

圖 2 1 係表區分變更信號切換電路的電路圖。

圖 2 2 係表區分信號產生電路的電路圖。

圖 2 3 係表暫存器選擇信號產生電路的電路圖。

圖 2 4 係表信號 S W 以及信號 C C 的位準與輸出暫存器 R 1 ~ R 4 之對應關係的說明圖。

圖 2 5 係表輸出暫存器之周邊電路的動作波形圖。

圖 2 6 係表輸出暫存器之周邊電路的動作波形圖。

圖 2 7 係表圖 1 所示之 S D R A M 的更具體的方塊圖。

圖 2 8 係表應用在一實施形態之 S D R A M 的資料轉送系統的資料處理系統的方塊圖。

圖 2 9 係表應用在一實施形態之 S D R A M 之資料轉送系統的網路電腦系統的方塊圖。

圖 3 0 係表圖 2 7 所示之 S D R A M 之資料轉送之一狀態的說明圖。

圖 3 1 係表圖 2 7 所示之 S D R A M 之資料轉送之其他狀態的說明圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (58)

圖 3 2 係表線上 (pipeline) 方式之 S D R A M 的概略圖。

圖 3 3 係表資料之進行狀態的說明圖。

圖 3 4 係表暫存器方式之 S D R A M 的概略圖。

圖 3 5 係表資料之進行狀態的說明圖。

圖 3 6 係表線上方式之 S D R A M 的資料轉送與暫存器方式之 S D R A M 之資料轉送的比較圖。

- 1 0 1 記憶體陣列與感測放大器
- 1 0 5 位址解碼器
- 1 0 7 鎖存型閘
- 1 0 9 輸出暫存器
- 1 1 3 選擇閘以及資料匯流排感測電路
- 2 0 1 基本控制信號產生電路
- 3 0 1 資料轉送控制電路
- 3 1 1 偶數週期、奇數週期判斷電路
- 3 2 1 位址再設定檢測電路
- 3 3 1 線上控制信號產生電路
- 3 4 1 轉送信號產生電路
- 4 0 1 輸出暫存器控制電路
- 4 1 1 區分變更信號切換電路
- 4 3 1 暫存器選擇信號產生電路
- 5 0 1 預充電控制信號產生電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱:)

同步半導體記憶體裝置及其動作方法及資料轉送系統

本發明係提供一種具備有用於串列資料輸出的輸出暫存器，即使是在限制週期以外的週期，也能夠將位址導入到資料轉送路徑。

具備有包含線上控制功能的資料轉送控制電路 3 0 1，當自與時脈 (B C K) 之 2 個週期呈對應的週期開始進行串列存取時，不會使第 1 ~ 第 3 線上階段 (S 1 , S 2 , S 3) 全部分離，而將第 1 線上階段 (S 1) 與第 2 線上階段 (S 2) 設成貫通狀態，而當自相對於時脈 (B C K) 之 2 個週期偏離的週期開始串列存取時，會使第 1 ~ 第 3 線上階段 (S 1 , S 2 , S 3) 全部分離。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

訂

線

六、申請專利範圍

1. 一種資料轉送系統，其主要是針對藉由時脈來控制資料之轉送的資料轉送系統，其特徵在於：

包含線上分離部，可分離地將 a 個資料呈並列狀地轉送用於暫時保持資料之 N 個線上階段的資料轉送路徑；及

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 n ($= N - 1$) 個上述線上分離部中，將 n ($n = a / m$ ；m 為對於在上述被分離而鄰接之線上階段之間的資料轉送為必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的控制部。

2. 一種資料轉送系統，其主要是針對藉由時脈來控制資料之轉送的資料轉送系統，其特徵在於：

可以一次將 a 個資料呈並列轉送的資料轉送路徑；

被結合在上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器依據資料的轉送順序賦予第 0 號到第 K - 1 號的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 a - 1 號為止之暫存器組以及自第 a 號到第 2 a - 1 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

$i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 1 控制部；及

依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的第 2 控制部（但是第 $K - 1$ 個的下一個則回到第 0 號）。

3. 一種資料轉送系統，其主要是針對藉由時脈來控制資料之轉送的資料轉送系統，其特徵在於：

包含線上分離部，可分離且一次地將 a 個資料呈一次並列地轉送到用於暫時保持資料之 N 個線上階段的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 $K - 1$ 號為止的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 $n (= N - 1)$ 個上述線上分離部中，將 n ($n = a / m$ ； m 為對於在上述被分離而鄰接之線上階段之間的資料轉送為必要的週期的數目) $- 1$ 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

六、申請專利範圍

期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的第 1 控制部；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 $a - 1$ 號為止之暫存器組與自第 a 號到第 $2a - 1$ 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 2 控制部；及

依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的第 2 控制部（但是第 $K - 1$ 個的下一個則回到第 0 號）。

4. 一種資料轉送系統，其主要是針對藉由時脈來控制資料之轉送的資料轉送系統，其主要特徵在於備有：

用於資料轉送的資料轉送路徑；

設於上述資料轉送路徑，而將並列之資料轉送形態轉換成串列之資料轉送形態的暫存器；

在限制將資料轉送到上述暫存器之週期以外，當要轉

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

送資料時，會將上述資料轉送路徑分離成多個線上階段的分離部；

在限制資料轉送到上述暫存器之週期以外，會將被轉送而來的資料輸入到在上述被分離之線上階段中至少最初的階段的輸入部；及

在限制資料轉送到上述暫存器之週期以外，自上述暫存器將資料予以串列輸出的輸出部。

5. 一種資料轉送系統，其主要是針對可以一次 a 個地轉送資料的資料轉送系統，其主要特徵包括：

包含線上分離部，利用用於控制資料轉送之時脈的 a 個週期可分離地將 a 個資料轉送到可以暫時保持資料的 N 個線上階段，在用於控制資料轉送之時脈的 1 個週期，則將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料的資料轉送路徑；及

對於上述 a 個資料的轉送，當自與 a 個週期對的週期開始時，則可以自 a ($= N - 1$) 個上述線上分離部中，將 n ($n = a / m$, m 為對於在上述被分離而鄰接之線上階段之間的資料轉送為必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的控制部。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

6. 一種資料轉送系統，其主要是針對可以一次 a 個地轉送資料的資料轉送系統，其特徵在於包括：

利用控制資料轉送之時脈的 a 個週期來轉送上述 a 個資料，且在用於控制上述資料轉送之時脈的 1 個週期，將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 K - 1 號為止的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 a - 1 號為止之暫存器組以及自第 a 號到第 2 a - 1 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 1 控制部；及

依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

第 2 控制部（但是第 $K - 1$ 個的下一個則回到第 0 號）。

7. 一種資料轉送系統，其主要是針對可以一次 a 個地轉送資料的資料轉送系統，其特徵在於包括：

利用控制資料轉送之時脈的 a 個週期來轉送上述 a 個資料，且在用於控制上述資料轉送之時脈的 1 個週期，將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 $K - 1$ 號為止的號碼）；

—對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 n （ $= N - 1$ ）個上述線上分離部中，將 n （ $n = a / m$ ； m 為對於在上述被分離而鄰接之線上階段之間的資料轉送為必要的週期的數目） $- 1$ 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的第 1 控制部，

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 $a - 1$ 號為止之暫存器組與自第 a 號到第 $2a - 1$ 號為止之暫存器組，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

六、申請專利範圍

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 2 控制部；及

依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的第 3 控制部（但是第 $K - 1$ 個的下一個則回到第 0 號）。

8. 一種同步半導體記憶體裝置，其主要特徵係具備

:

同步於系統時脈而被控制的同步記憶體部；及

當系統時脈的頻率低時，在進行叢發存取之途中，則不設定對於用於輸入新的叢發存取之先頭位址之週期的限制，而經常輸入上述先頭位址，

而當上述系統時脈的頻率高時，則在叢發資料存取的途中，會限制輸入用於新的叢發資料存取之先頭位址的週期，而只有在此限制的週期內會輸入上述先頭位址，而控制自上述叢發資料存取的控制部。

9. 一種同步半導體記憶體裝置，其主要特徵係具備

:

可以變更內部之線上階段的數目，而自記憶單元呈並

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

列地轉送 a 位元的資料，利用 a 個週期來輸出呈並列狀被轉送之 a 位元的資料，而同步於系統時脈被控制的同步記憶體部；及

— 即使是自與上述 a 個週期不同的週期開始，而為要求變更週期的第 1 規格時，將上述 L D B 的數目控制式一定的數目以及將上述線上階段的數目控制或自上述一定的數目開始增加的其中一者，

而當為自與上述 a 個週期呈對應的週期開始，要求經常變更週期的第 2 規格時，會將上述線上階段的數目控制保持在上述一定的數目，而控制上述同步記憶體部的控制部。

10. 一種同步半導體記憶體裝置，其主要是針對在時脈的每個週期一次呈串列地輸出 1 個資料的同步半導體記憶體裝置，其主要特徵在於具備：

用於將位址讀入裝置內部的位址讀取手段；

對所讀取的位址加以解碼的解碼手段；

配置有多個用於記憶資料的記憶單元的記憶單元陣列；

呈電氣被結合到上述記憶單元的資料匯流排；

在被記憶在上述記憶單元的資料中，將與上述被解碼之位址呈對應的資料轉送到上述資料匯流排的轉送手段；

呈電氣被結合到上述資料匯流排的輸出暫存器；

將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器的轉送手段；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

將被轉送到上述資料匯流排的 a 個資料，令其同步於上述時脈而呈串列地加以輸出的輸出手段，

自上述位址讀取手段到上述輸出暫存器為止的信號路徑則被分離成 N 個線上階段；

在時脈的 m 個週期轉送各線上階段的資料，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，不會使上述 N 個線上階段全部分離，而將上述線上階段中的連續的 n ($= a / m$) 個線上階段設成貫通狀態，

而對於資料的存取，當自相對於上述時脈之 a 個週期偏離的週期開始時，則使上述 N 個線上階段全部分離。

1 1 . 如申請專利範圍第 1 0 項之同步半導體記憶體裝置，上述 m 為 1，上述 n 為 2，上述 N 為 3，

上述 3 個線上階段分別是由：

自讀取上述位址到解碼為止的第 1 線上階段；

到將與上述被解碼之位址呈對應的資料轉送到資料匯流排為止的第 2 線上階段；及

到將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器為止的第 3 線上階段所構成，

對於上述資料的存取，在自與上述時脈之 a 個週期呈對應之週期開始時被設成貫通狀態的線上階段為上述第 1 線上階段與上述第 2 線上階段。

1 2 . 一種同步半導體記憶體裝置，其主要是針對在時脈每個週期會至少一次 1 個地呈串列地將資料加以輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

的同步半導體記憶裝置，其特徵在於備有：

用於將位址讀取到裝置內部的位址讀取手段；

對所讀取的位址加以解碼的解碼手段；

配置多個用於記憶資料之記憶單元的記憶單元陣列；

呈電氣被合到上述記憶單元的資料匯流排；

一在被記憶在上述記憶單元的資料中，會將與上述被解碼之位址呈對應的資料轉送到上述資料匯流排的轉送手段；

呈電氣被結合到上述資料匯流排的輸出暫存器；

將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器的轉送手段；及

將被轉送到上述輸出暫存器的 a 個資料，令其同步於上述時脈而呈串列地被輸出的輸出手段，

上述輸出暫存器有 K 個，而對上述 K 個輸出暫存器分別依據資料的存取順序而賦予自第 0 號到第 K - 1 號為止的號碼，而自上述輸出暫存器之資料的輸出順序則是一經常循環的上述號碼順序，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，則將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 0 號到第 a - 1 號為止的輸出暫存器組以及自第 a 號到第 2 a - 1 號為止之輸出暫存器組，

對於資料的存取，當自相對於與上述時脈之 a 個週期對應的週期偏離 $i \pmod{2a}$ 個週期的週期開始時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

，則會更換上述輸出暫存器組，將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之輸出暫存器組以及自第 $i + a \pmod{2a}$ 號到第 $i + 2a - 1 \pmod{2a}$ 號為止的輸出暫存器組。

13. 如申請專利範圍第12項之同步半導體記憶體裝置，上述 K 為 4，而上述 a 為 2。

14. 一種同步半導體記憶體裝置，其主要是針對在時脈每個週期會至少一次 1 個地呈串列地將資料加以輸出的同步半導體記憶裝置，其特徵在於備有：

用於將位址讀取到裝置內部的位址讀取手段；

對所讀取的位址加以解碼的解碼手段；

配置多個用於記憶資料之記憶單元的記憶單元陣列；

呈電氣被結合到上述記憶單元的資料匯流排；

在被記憶在上述記憶單元的資料中，會將與上述被解碼之位址呈對應的資料轉送到上述資料匯流排的轉送手段；

呈電氣被結合到上述資料匯流排的輸出暫存器；

將被轉送到上述資料匯流排的資料暫時一次 a 個地轉送到上述輸出暫存器的轉送手段；及

將被轉送到上述輸出暫存器的 a 個資料，令其同步於上述時脈而呈串列地被輸出的輸出手段，

自上述位址讀取手段到上述輸出暫存器為止的信號路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

徑則被分離成 N 個線上階段，

在時脈的 m 個週期，轉送各線上階段的資料，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，則不使上述 N 個線上階段的全部分離，而將上述線上階段中之連續 n ($= a / m$) 個線上階段設成貫通狀態，

對於資料的存取，當自相對於上述時脈的 a 個週期偏離的週期開始時，則使上述 N 個線上階段全部分離，

上述輸出暫存器有 K 個，而對上述 K 個輸出暫存器分別依據資料的存取順序而賦予自第 0 號到第 $K - 1$ 號為止的號碼，而自上述輸出暫存器之資料的輸出順序則是一經常循環的上述號碼順序，

對於資料的存取，當自與上述時脈之 a 個週期呈對應的週期開始時，則將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 0 號到第 $a - 1$ 號為止的輸出暫存器組以及自第 a 號到第 $2a - 1$ 號為止之輸出暫存器組，

對於資料的存取，當自相對於與上述時脈之 a 個週期對應的週期離開 i ($\text{mod } 2a$) 個週期的週期開始時，則會更換上述輸出暫存器組，將被轉送到上述資料匯流排的資料，每 a 個週期，一次 a 個地交互地令其轉送到自第 i ($\text{mod } 2a$) 號到第 $i + a - 1$ ($\text{mod } 2a$) 號為止之輸出暫存器組以及自第 $i + a$ ($\text{mod } 2a$) 號到第 $i + 2a - 1$ ($\text{mod } 2a$) 號為止的輸出暫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

存器組。

15. 一種同步半導體記憶體裝置，其主要是針對具有暫存器方式之輸出部的同步半導體記憶體裝置，其主要特徵在於：

在暫存器方式的限制週期以外，當要變更位址時，則將資料轉送路徑分割成多個線上階段，而將與上述被變更之位址呈對應的轉送資料轉送到位在上述資料轉送路徑中，殘留有轉送資料之先頭的線上階段的前面的階段的其中一個為止，而即使是在上述限制週期以外，也會將與在上述資料轉送路徑中上述被變更之位址呈對應的轉送資料加以輸入，且變更上述輸出部之輸出暫存器的組合，而即使是在上述限制週期以外，也可以自上述輸出部，將資料呈串列地輸出。

16. 一種同步半導體記憶體裝置，其主要特徵在於包括：

被輸入位址，且對該位址加以解碼，將行選擇信號輸出到行選擇線的位址解碼器；

被設在上述行選擇線的鎖存型閘；

連接有多個記憶單元，而由上述行選擇信號來選擇之位元線；

被連接到上述位元線的區域資料匯流排；

選擇上述區域資料匯流排，而連接到全球資料庫的選擇閘；

被連接到上述全球資料庫，而利用時脈的 a 個週期將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

部

六、申請專利範圍

a 個資料呈串列地輸出的輸出暫存器；

同步於上述時脈，接受用於通知新的叢發開始之開始信號的輸入，當該開始信號，在上述 a 個週期以外的週期被輸入時，則將上述鎖存型開加以關閉的資料轉送控制手段；及

同步於上述時脈，接受用於通知新的叢發開始之開始信號的輸入，當該開始信號，在上述 a 個週期以外的週期被輸入時，會變更上述輸出暫存器之組合區分的輸出暫存器控制手段。

17. 一種同步半導體記憶體裝置，其主要特徵包括

:

可分割成至少 2 個線上階段，該些線上階段則被結合到利用叢發時脈的至少 2 個週期，將與所設定之位址呈對應的資料呈串列地加以輸出的第 1 輸出暫存器組，以及利用至少其他 2 個週期，而將其呈串列狀加以輸出的第 2 輸出暫存器組而構成的資料轉送路徑；

用於檢測在上述第 1 輸出暫存器組以及上述第 2 輸出暫存器組之其中一者輸出資料的週期中是否有位址的再設定的檢測手段；

響應於上述檢測手段的檢測指示，將上述資料轉送路徑至少分割成 2 個線上階段，而不等待用於輸出上述第 1 輸出暫存器組以及上述第 2 輸出暫存器組之其中一個之資料之週期的先頭時脈，即將上述再設定位址讀取到上述所分割之線上階段的線上分割手段；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

響應於來自檢測手段的檢測指示，更換上述第 1 輸出暫存器組的一部分與上述第 2 輸出暫存器組的一部分，而製作新的第 1 輸出暫存器組與新的第 2 輸出暫存器組的區分變更手段；及

令與上述再設定位址呈對應的資料同步於用於輸出上述新的第 1 輸出暫存器組以及上述新的第 2 輸出暫存器組之其中一個之資料的週期的先頭時脈，而自上述新的輸出暫存器組以及上述新的輸出暫存器組之其中一個，利用上述叢發時脈的至少 2 個週期而令其呈串列狀輸出的輸出手段。

18. 一種同步半導體記憶體裝置之動作方法，其主要是將自輸入位址到對被所輸入之位址進行解碼為止設成第 1 線上階段，

將自被解碼的位址，將與該位址呈對應的資料讀到資料線為止設成第 2 線上階段，

將自將所讀取之資料輸入到資料線到將資料呈串列狀輸出為止設成第 3 線上階段，

自上述第 1 線上階段到上述第 2 線上階段為止之信號的內部處理，則是利用上述時脈的 a 個週期來進行，其特徵在於：

當自與上述時脈的 a 個週期呈對應的週期開始進行資料存取時，會將上述第 1 線上階段與上述第 2 線上階段設成貫通狀態，

當自相對於上述時脈的 a 個週期離開的週期開始進行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

六、申請專利範圍

新的資料存取時，則會使上述第 1 線上階段與上述第 2 線上階段分離，而與新的資料存取呈對應之信號的內部處理，則是在上述第 1 線上階段進行，而與在進行新的資料存取以前的資料存取呈對應之信號的內部處理，則是在第 2 線上階段以及上述第 3 線上階段進行。

19. 一種同步半導體記憶體裝置，其主要特徵包括：

包含線上分離部，一次可分離地將 a 個資料呈並列地轉送到可以暫時保持資料之 N 個線上階段，而結合行位址輸入與資料輸出的資料轉送路徑；及

對於上述 a 個資料的轉送，當自與 a 個週期呈對應的週期開始時，則在 n ($= N - 1$) 個上述線上分離部中，將 n ($n = a / m$)， m 為對於在上述被分離且鄰接之線上階段間的資料轉送為必要之週期的數目) - 1 設成貫通狀態，而不使上述 N 個線上階段全部分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則讓上述 n 個線上分離部全部活性化，讓上述 N 個線上階段全部分離，而控制上述線上階段分離部的控制部。

20. 一種同步半導體記憶體裝置，其主要特徵包括：

可以一次地將 a 個資料呈並列地加以轉送，而結合行位址輸入與資料輸出的資料轉送路徑；

被設在上述資料轉送路徑的 K 個暫存器（但是對上述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

K 個暫存器依據資料的轉送順序賦予自第 0 號到第 K - 1 號為止的號碼)；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 a - 1 號為止之暫存器組以及自第 a 號到第 2 a - 1 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 1 控制部；及

依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的第 2 控制部（但是第 K - 1 個的下一個則回到第 0 號）。

21. 一種同步半導體記憶體裝置，其主要特徵在於包括：

包含線上分離部，可分離且一次地將 a 個資料呈並列地轉送到用於暫時保持資料之 N 個線上階段，而結合行位址輸入與資料輸出的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 K

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

— 1 號爲止的號碼) ；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 $n (= N - 1)$ 個上述線上分離部中，將 $n (n = a / m ; m$ 爲對於在上述被分離而鄰接之線上階段之間的資料轉送爲必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的第 1 控制部；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 a - 1 號爲止之暫存器組與自第 a 號到第 2 a - 1 號爲止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i (i \text{ mod } 2 a)$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i (i \text{ mod } 2 a)$ 號到第 $i + a - 1 (i \text{ mod } 2 a)$ 號爲止之暫存器組以及自第 $i + a (i \text{ mod } 2 a)$ 個到第 $(i + 2 a - 1) (i \text{ mod } 2 a)$ 號爲止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 2 控制部；及

依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第 3 控制部（但是第 K - 1 個的下一個則回到第 0 號）。

2 2 . 一種同步半導體記憶體裝置，其主要特徵包括

:

結合行位址輸入與資料輸出的資料轉送路徑；

被設在上述資料轉送路徑，將並列形態的資料轉送轉換成串列形態的資料轉送的暫存器；

當在限制將資料轉送到上述暫存器之週期以外轉送資料時，可將上述資料轉送路徑分離成多個線上階段的分離部；

將在限制將資料轉送到上述暫存器之週期以外所轉送而來的資料輸入到在上述被分離之多個線上階段中之至少最初的階段的輸入部；及

在限制將資料轉送到上述暫存器的週期以外，自上述暫存器將資料呈串列狀加以輸出的輸出部。

2 3 . 一種同步半導體記憶體裝置，其主要特徵在於包括：

包含線上分離部，利用用於控制資料轉送之時脈的 a 個週期呈可分離地將 a 個資料轉送到可以暫時保持資料的 N 個線上階段，在用於控制資料轉送之時脈的 1 個週期，則將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料，而結合行位址輸入與資料輸出的資料轉送路徑；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

六、申請專利範圍

期開始時，則可以自 n ($= N - 1$) 個上述線上分離部中，將 n ($n = a / m$ ， m 為對於在上述被分離而鄰接之線上階段之間的資料轉送為必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的控制部。

24. 一種同步半導體記憶體裝置，其主要特徵包括：

包含線上分離部，利用控制資料轉送之時脈的 a 個週期來轉送上述 a 個資料，且在用於控制上述資料轉送之時脈的 1 個週期，將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料，而結合行位址輸入與資料輸出的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 $K - 1$ 號為止的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 $a - 1$ 號為止之暫存器組以及自第 a 號到第 $2a - 1$ 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期離開

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

$i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 1 控制部；及

— 依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的第 2 控制部（但是第 $K - 1$ 個的下一個則回到第 0 號）。

25. 一種同步半導體記憶體裝置，其主要特徵包括：

包含線上分離部，利用控制資料轉送之時脈的 a 個週期來轉送上述 a 個資料，且在用於控制上述資料轉送之時脈的 1 個週期，將所轉送之 a 個資料一次一個地加以輸出，而呈並列地轉送上述 a 個資料，並以相當於該並列形態之資料轉送的 a 倍的速度輸出資料，而結合行位址輸入與資料輸出的資料轉送路徑；

被結合到上述資料轉送路徑的 K 個暫存器（但是對上述 K 個暫存器，依據資料的轉送順序賦予自第 0 號到第 $K - 1$ 號為止的號碼）；

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，可以自 $n (= N - 1)$ 個上述線上分離部中，將 n ($n = a / m$ ； m 為對於在上述被分離而鄰接之線上

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

六、申請專利範圍

階段之間的資料轉送為必要的週期的數目) - 1 個設成貫通狀態，而不使上述 N 個線上階段完全分離，

對於上述 a 個資料的轉送，當自與 a 個週期不同的週期開始時，則使上述 n 個線上分離部全部活性化，而使上述 N 個線上階段全部分離，而控制上述線上階段分離部的第 1 控制部，

對於上述 a 個資料的轉送，當自與 a 個週期對應的週期開始時，針對每 a 個週期將 a 個資料交互地轉送到自第 0 號到第 a - 1 號為止之暫存器組與自第 a 號到第 2 a - 1 號為止之暫存器組，

對於上述 a 個資料的轉送，當自相對於 a 個週期偏離 $i \pmod{2a}$ 個週期的週期開始時，則更換上述暫存器組，而針對每 a 個週期，將 a 個資料交互地轉送到自第 $i \pmod{2a}$ 號到第 $i + a - 1 \pmod{2a}$ 號為止之暫存器組以及自第 $i + a \pmod{2a}$ 個到第 $(i + 2a - 1) \pmod{2a}$ 號為止的組，而控制自上述資料轉送路徑到上述暫存器之資料轉送的第 2 控制部；及

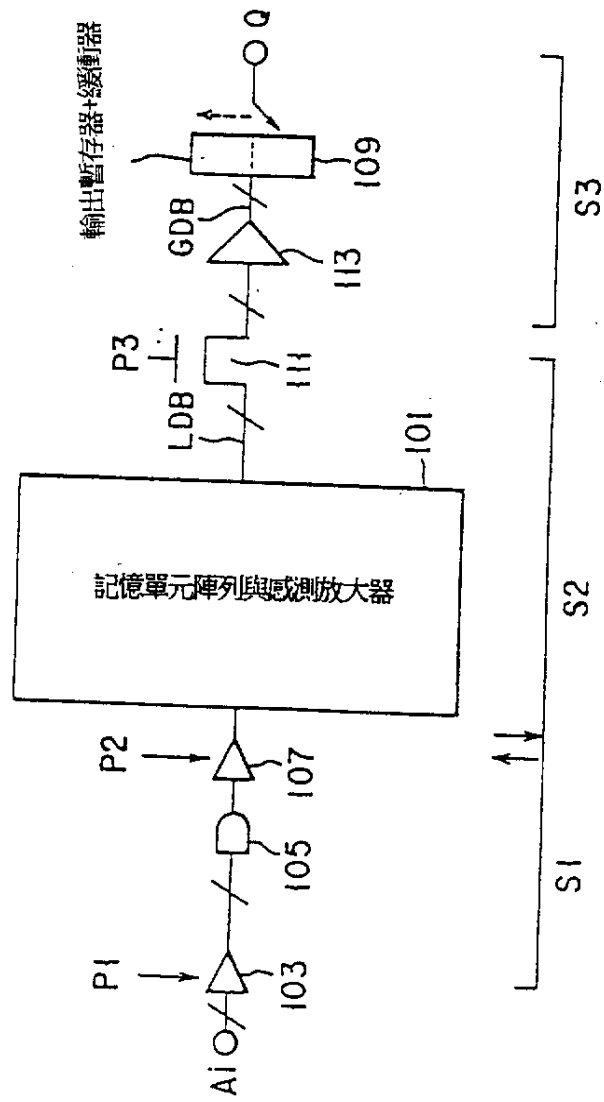
依據上述暫存器的號碼順序，令其與上述時脈同步，且呈串列地資料轉送，而控制自上述暫存器的資料轉送的第 3 控制部（但是第 K - 1 個的下一個則回到第 0 號）。

(請先閱讀背面之注意事項再填寫本頁)

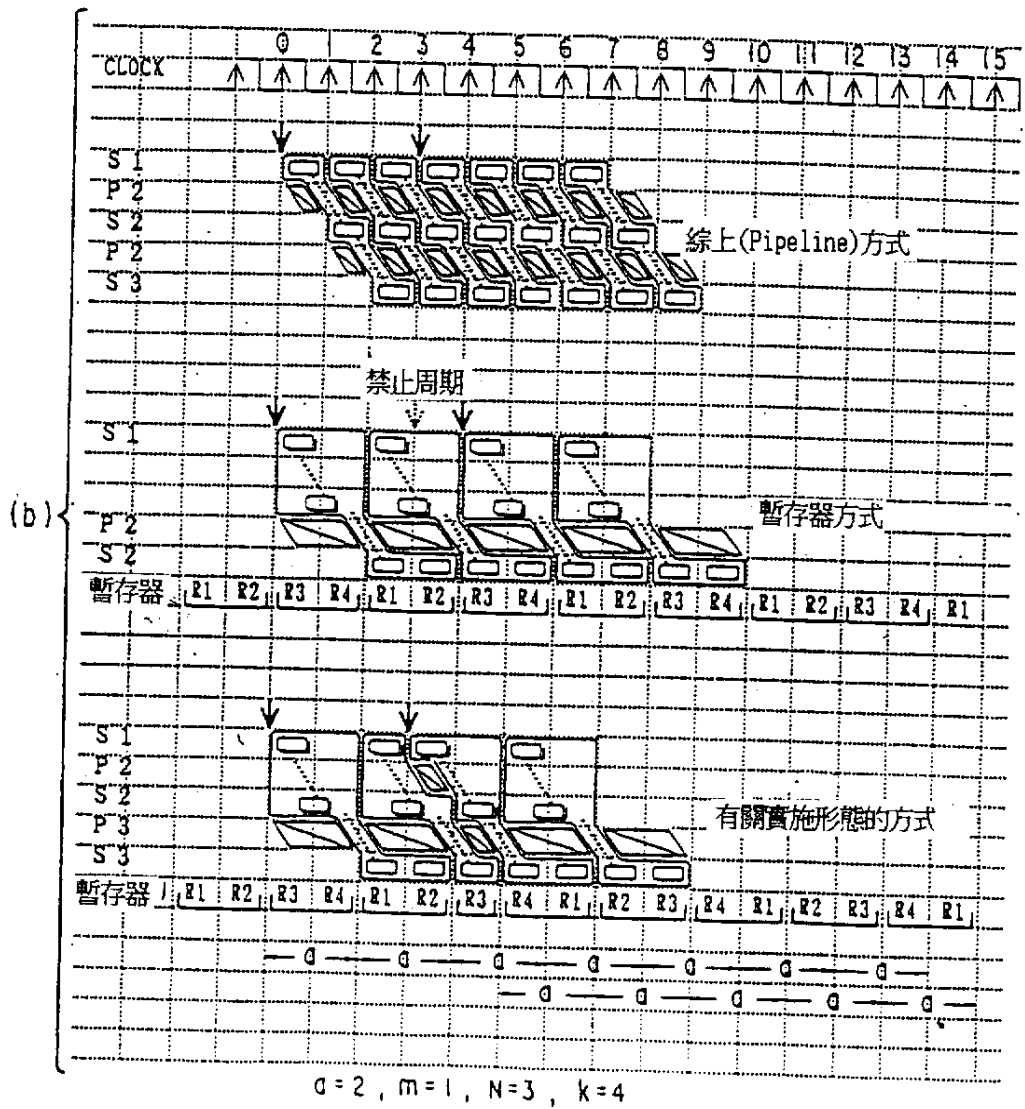
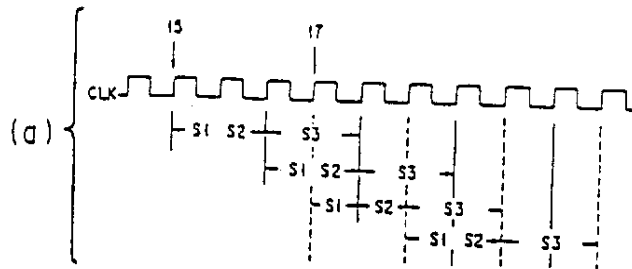
裝

訂

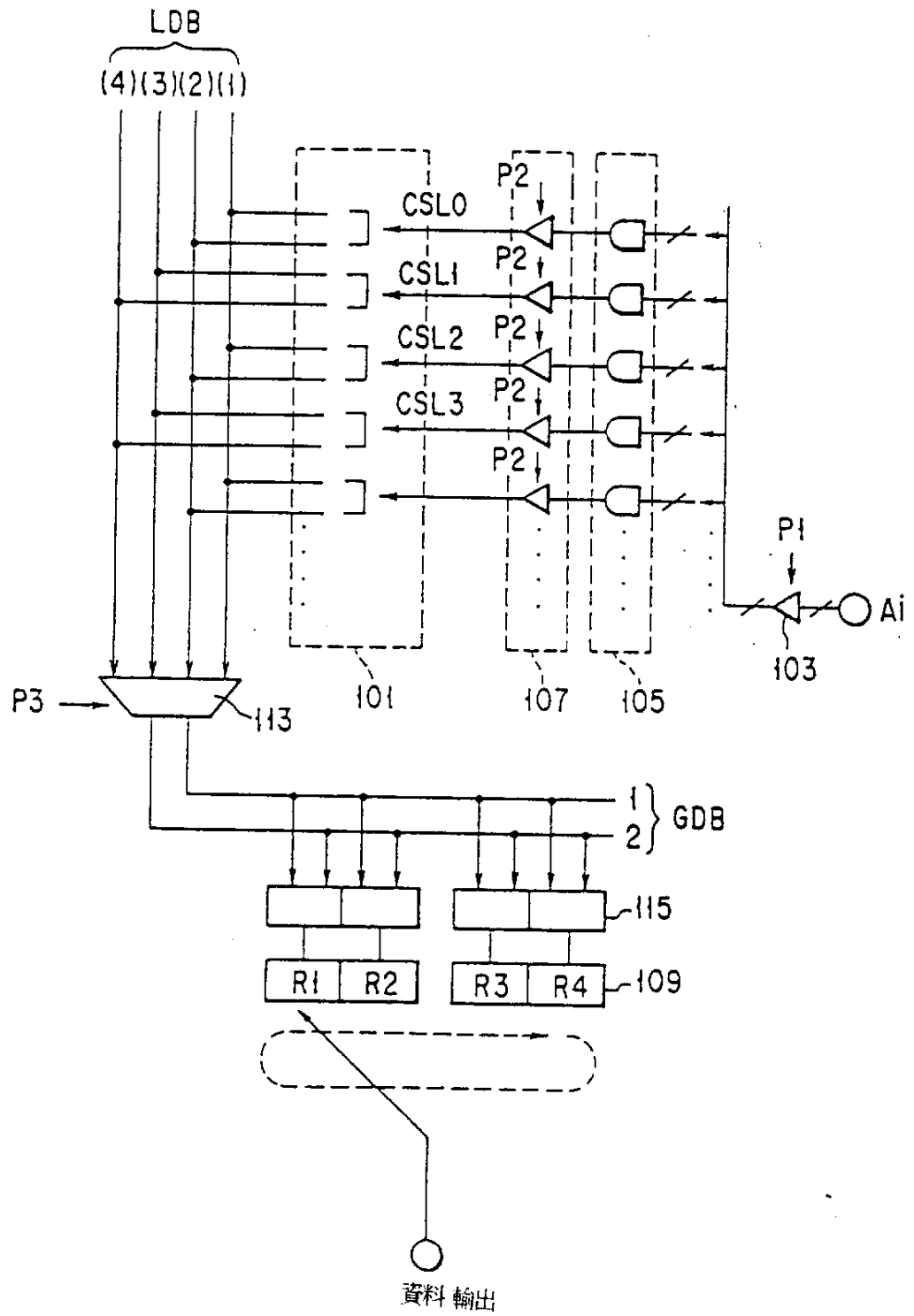
線



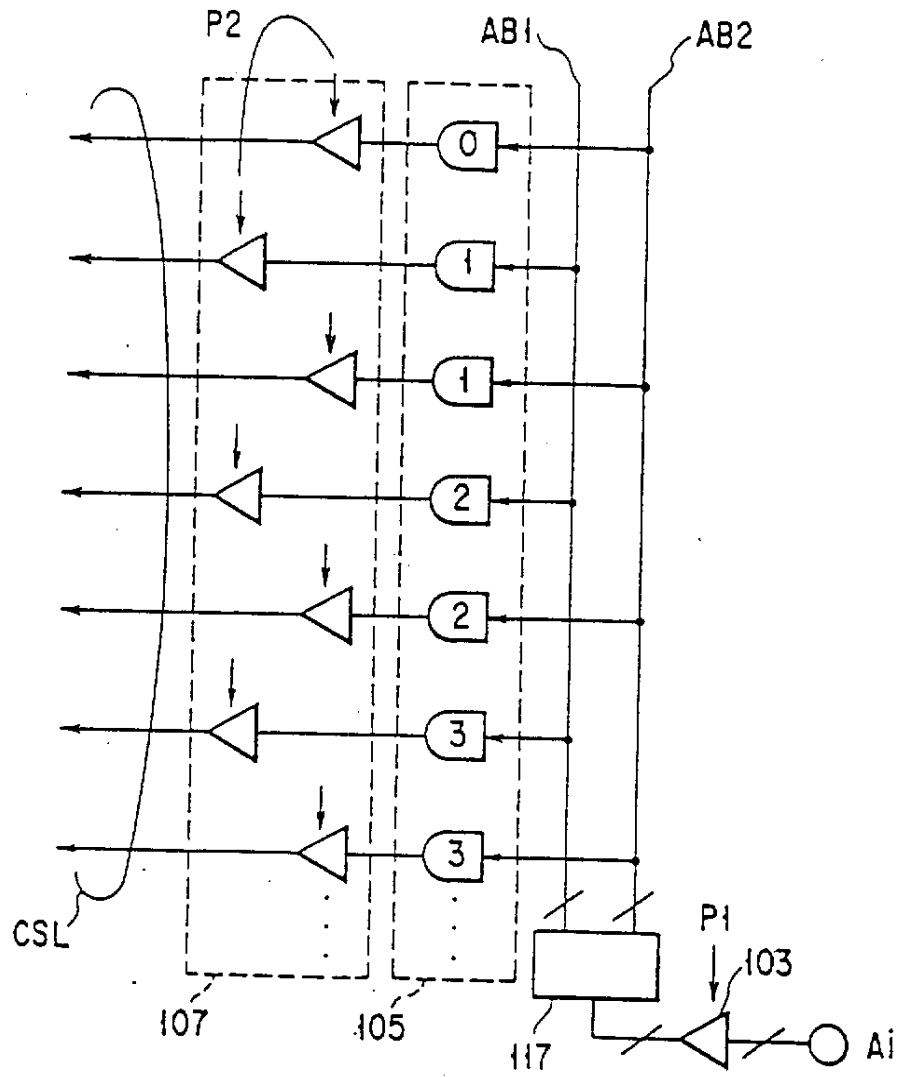
第 1 圖



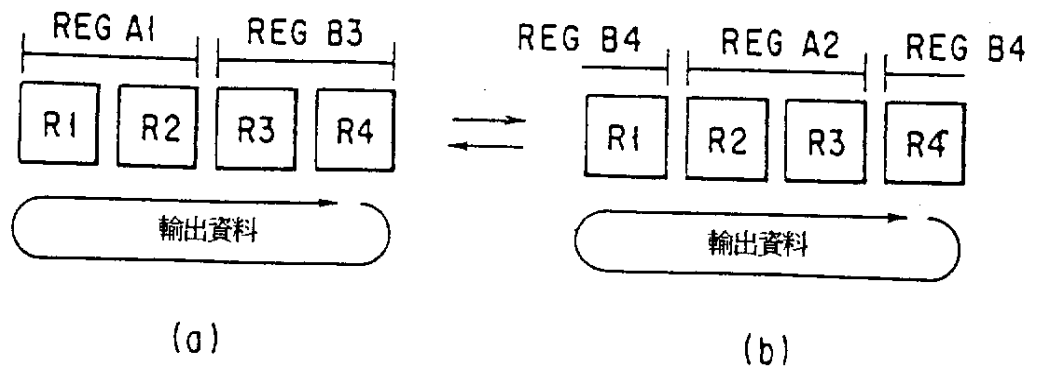
第 2 圖



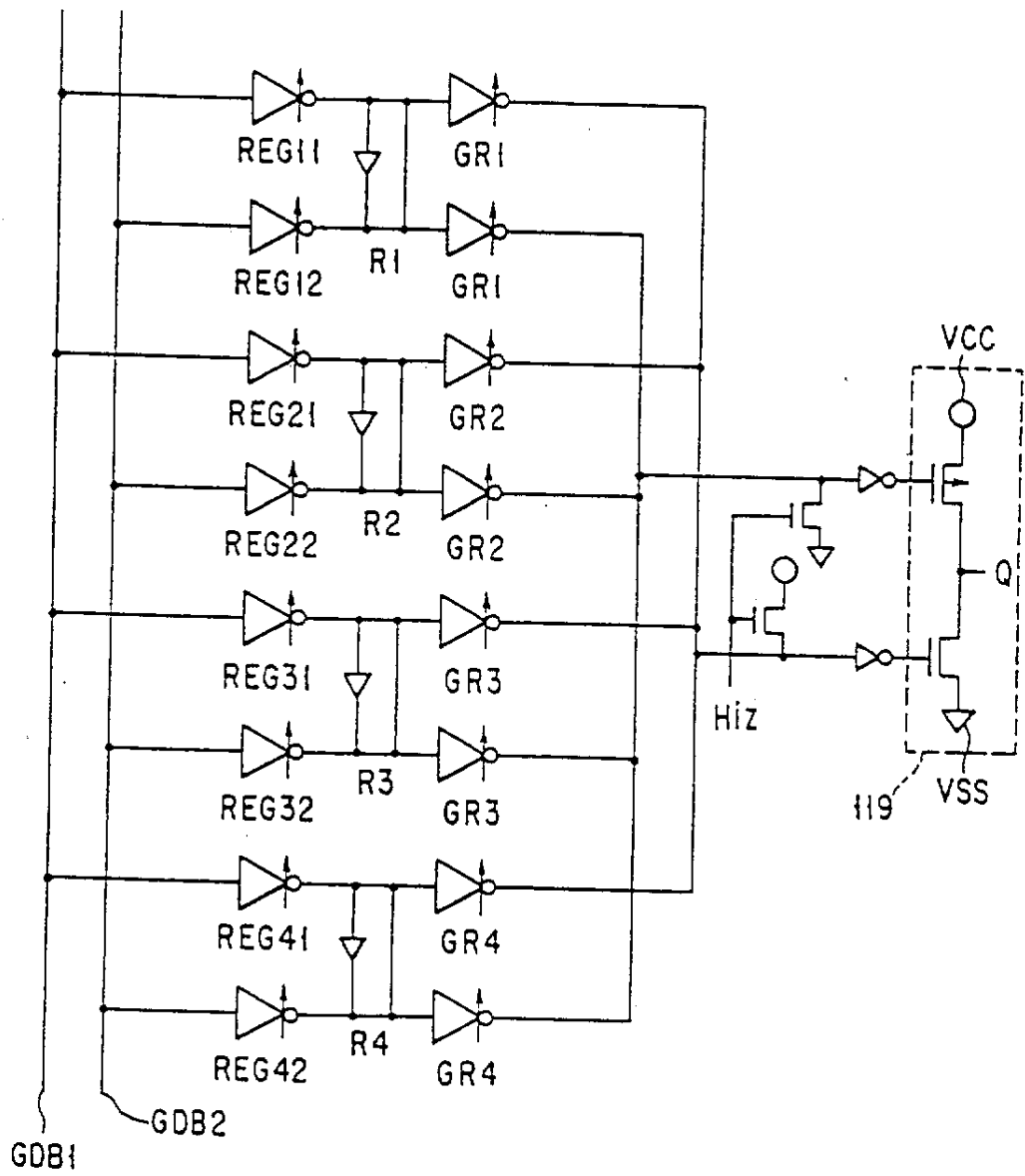
第3圖



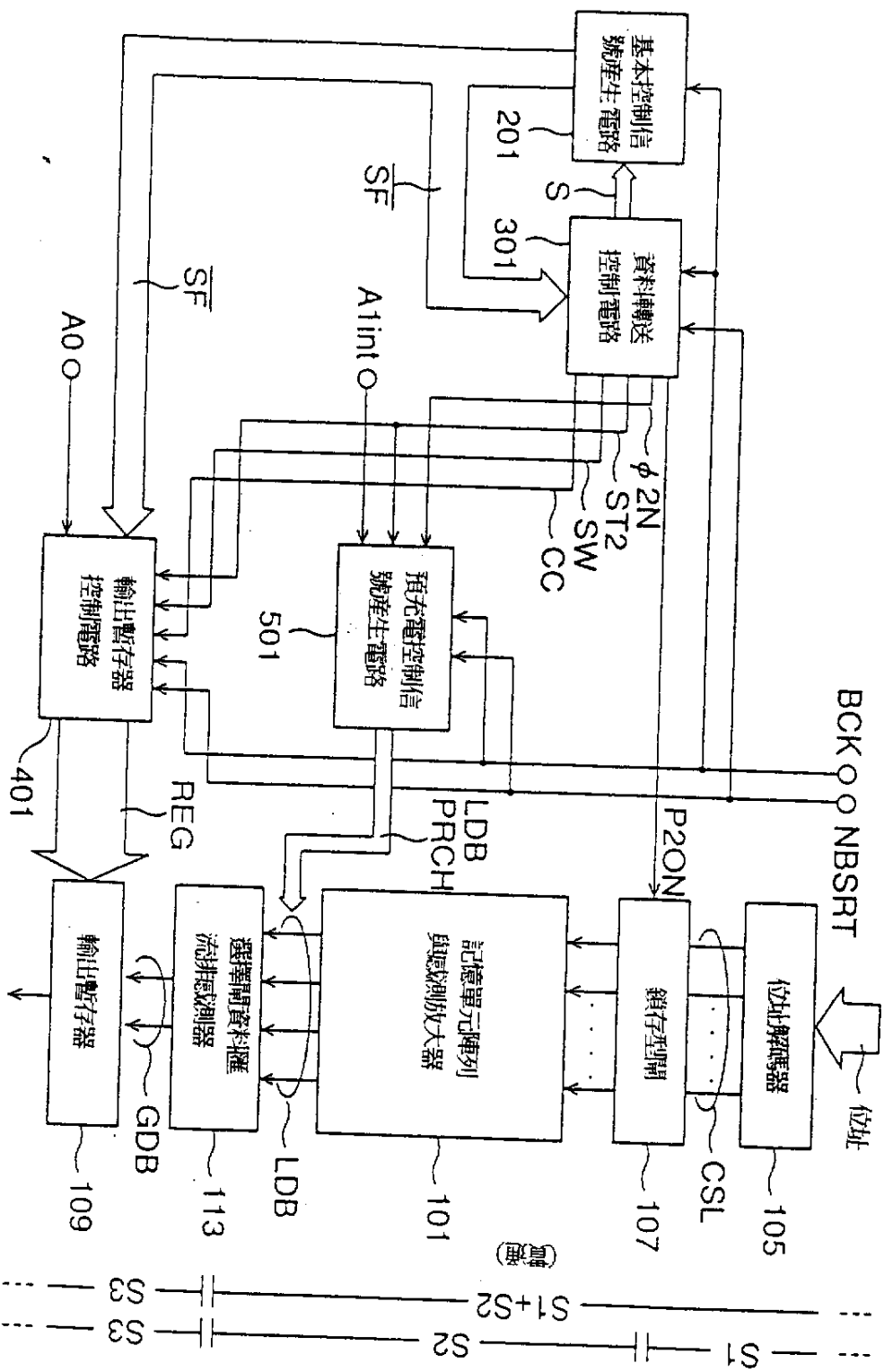
第 4 圖



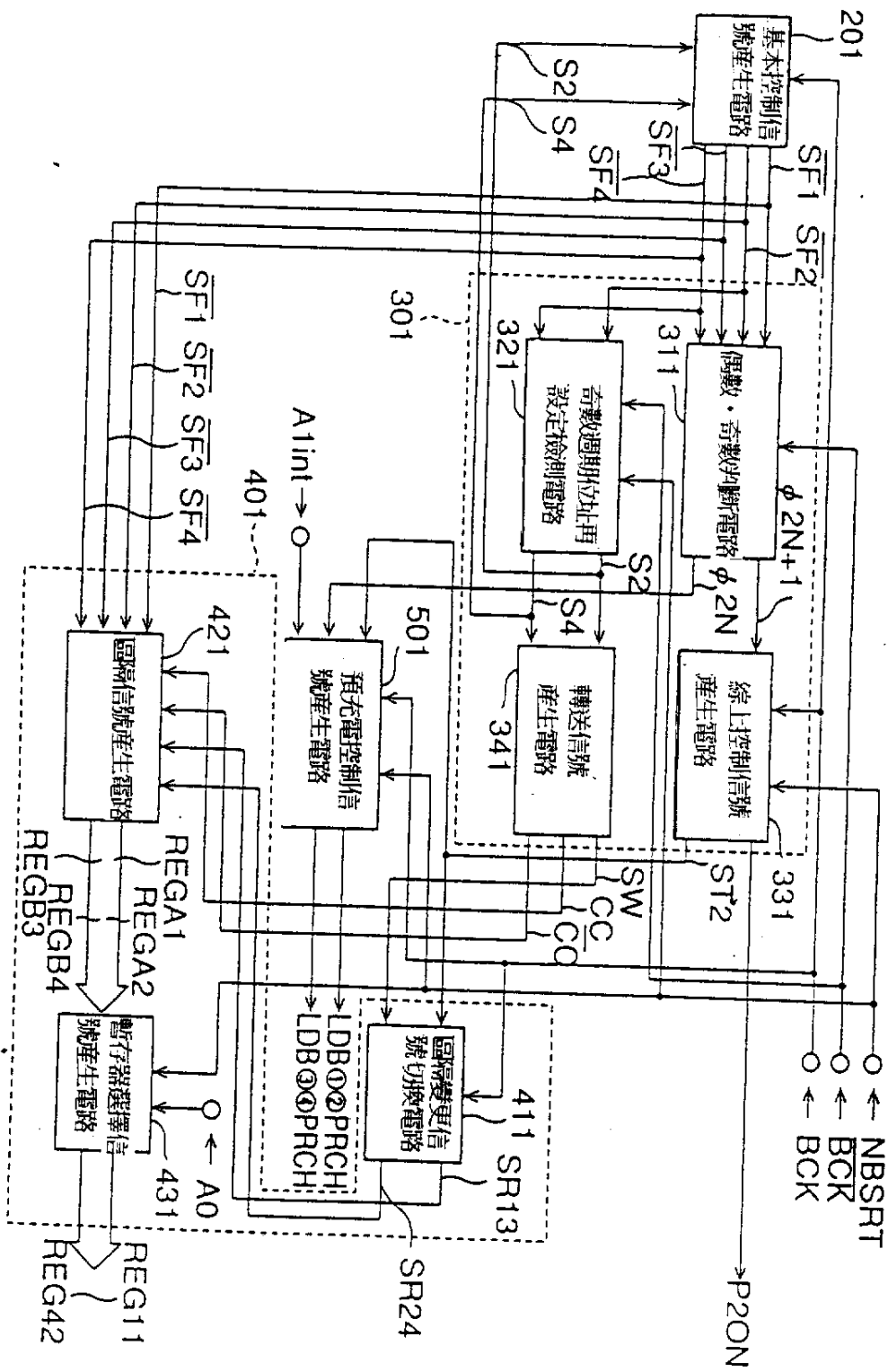
第 5 圖



第 6 圖

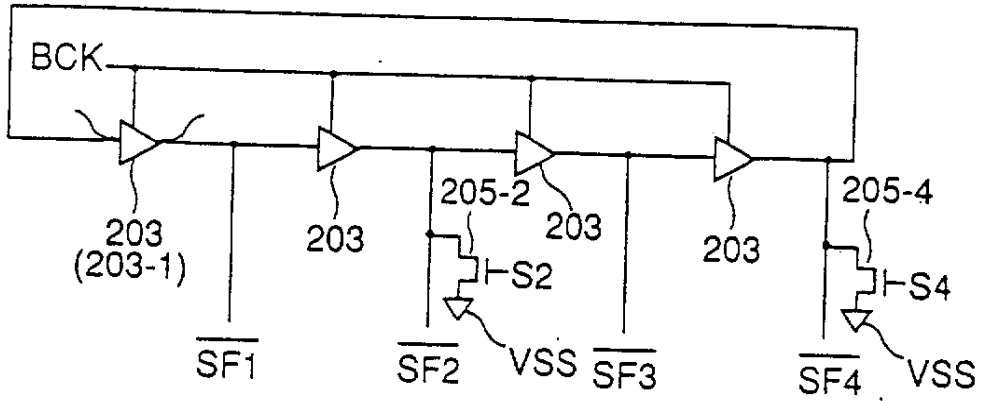


第7圖

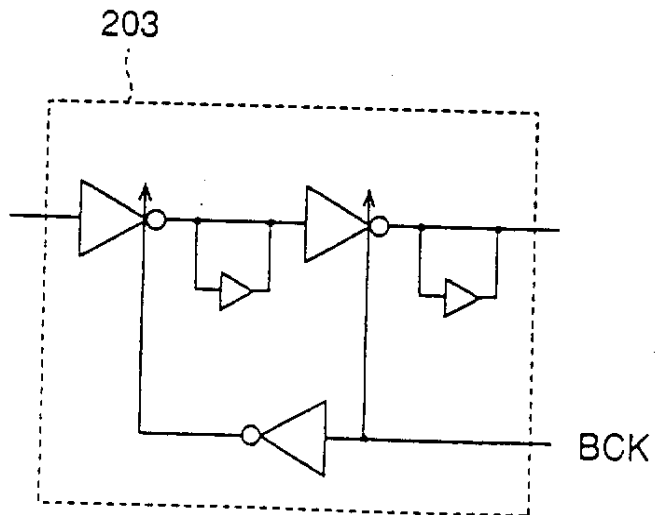


第 8 圖

201

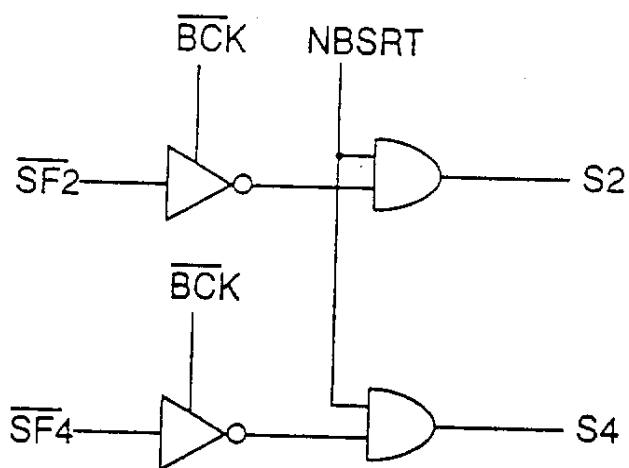


第9圖



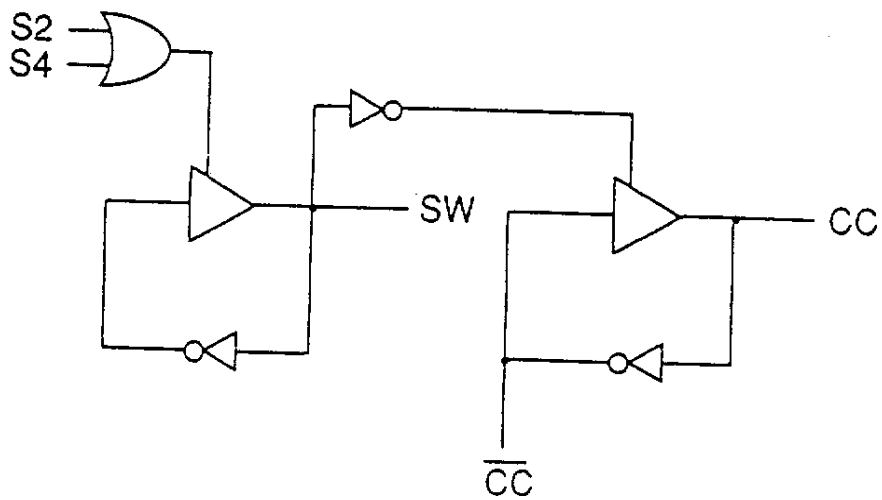
第10圖

321

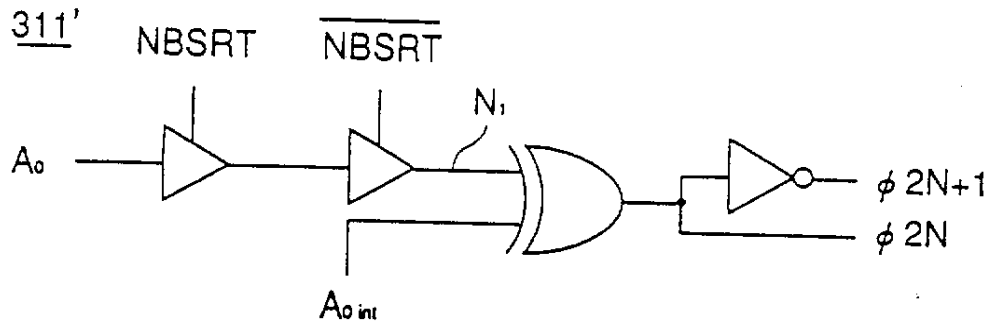


第11圖

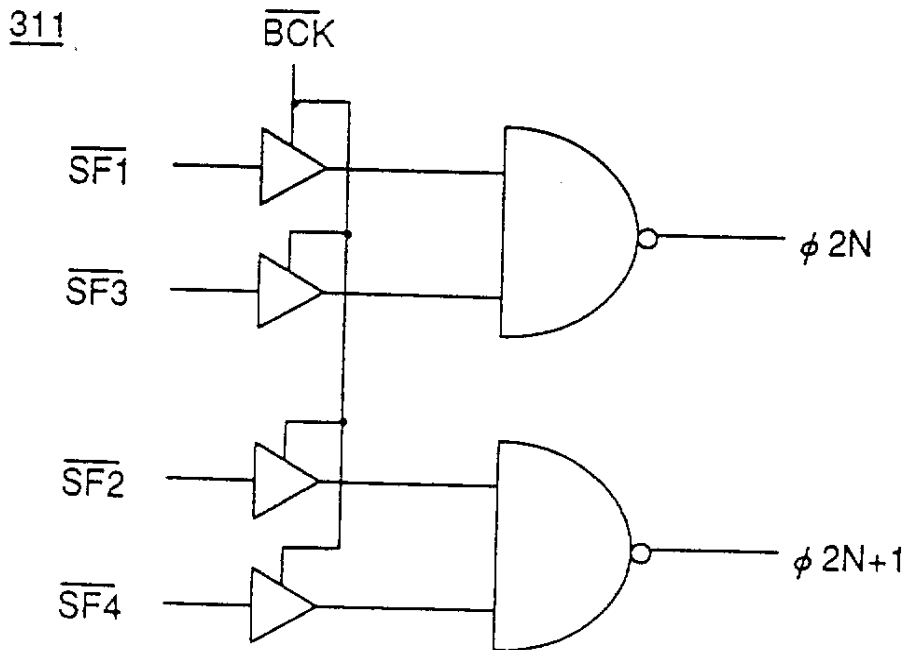
341



第12圖

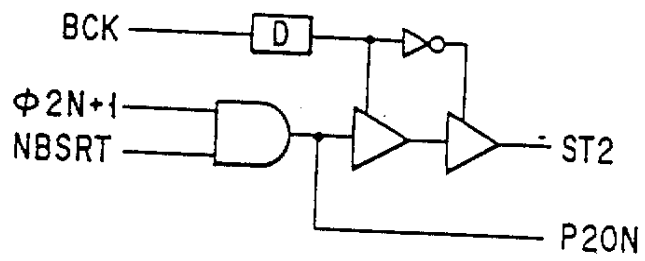


第13圖



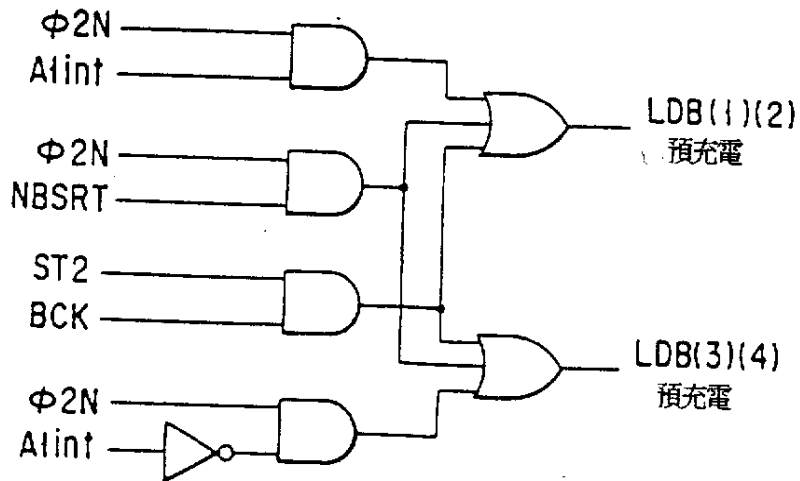
第14圖

331



第15圖

501



第16圖

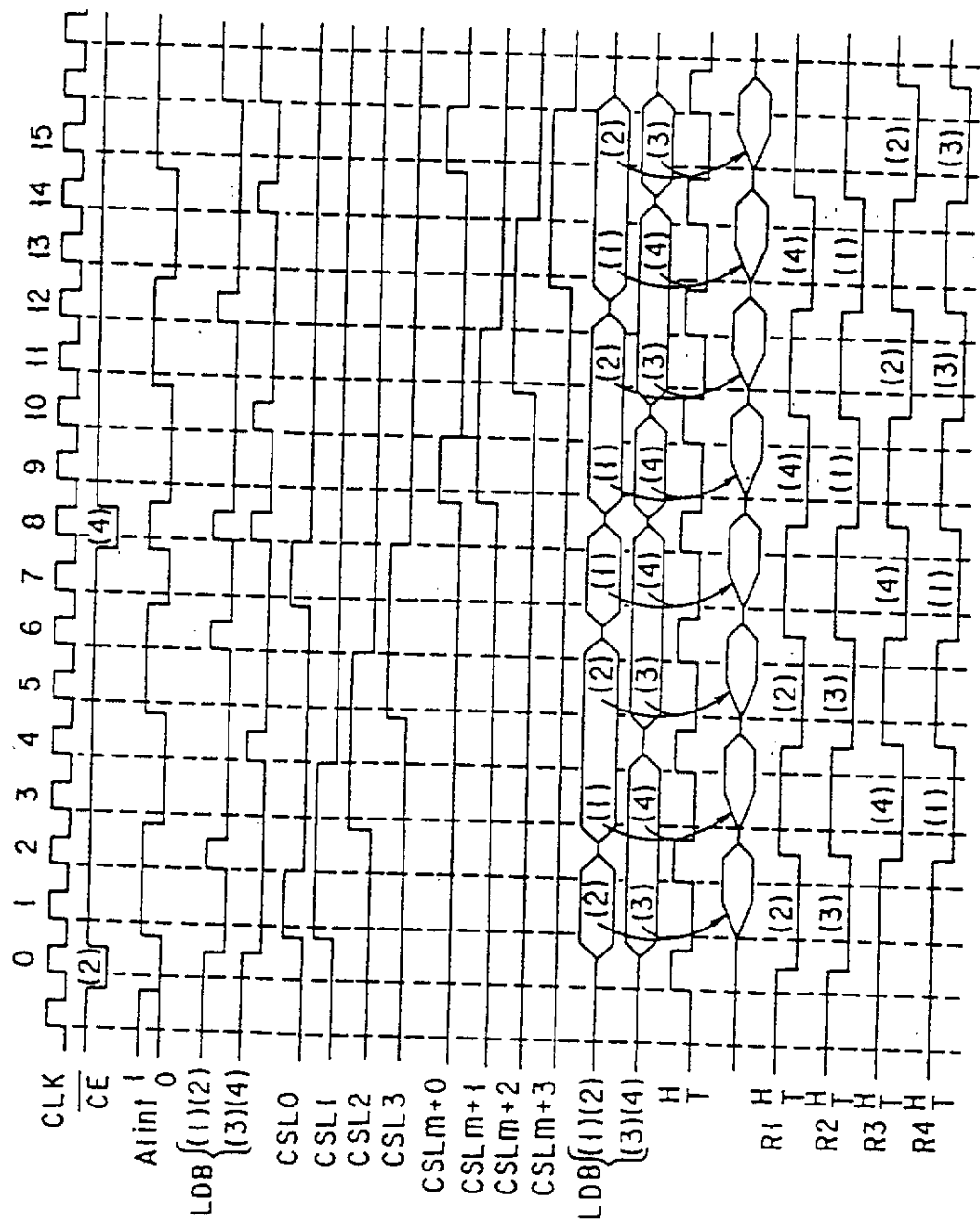
319840

LDB	(1)	(2)	(3)	(4)
A0	0	1	0	1
A1	0	0	1	1
	AB1	AB2		

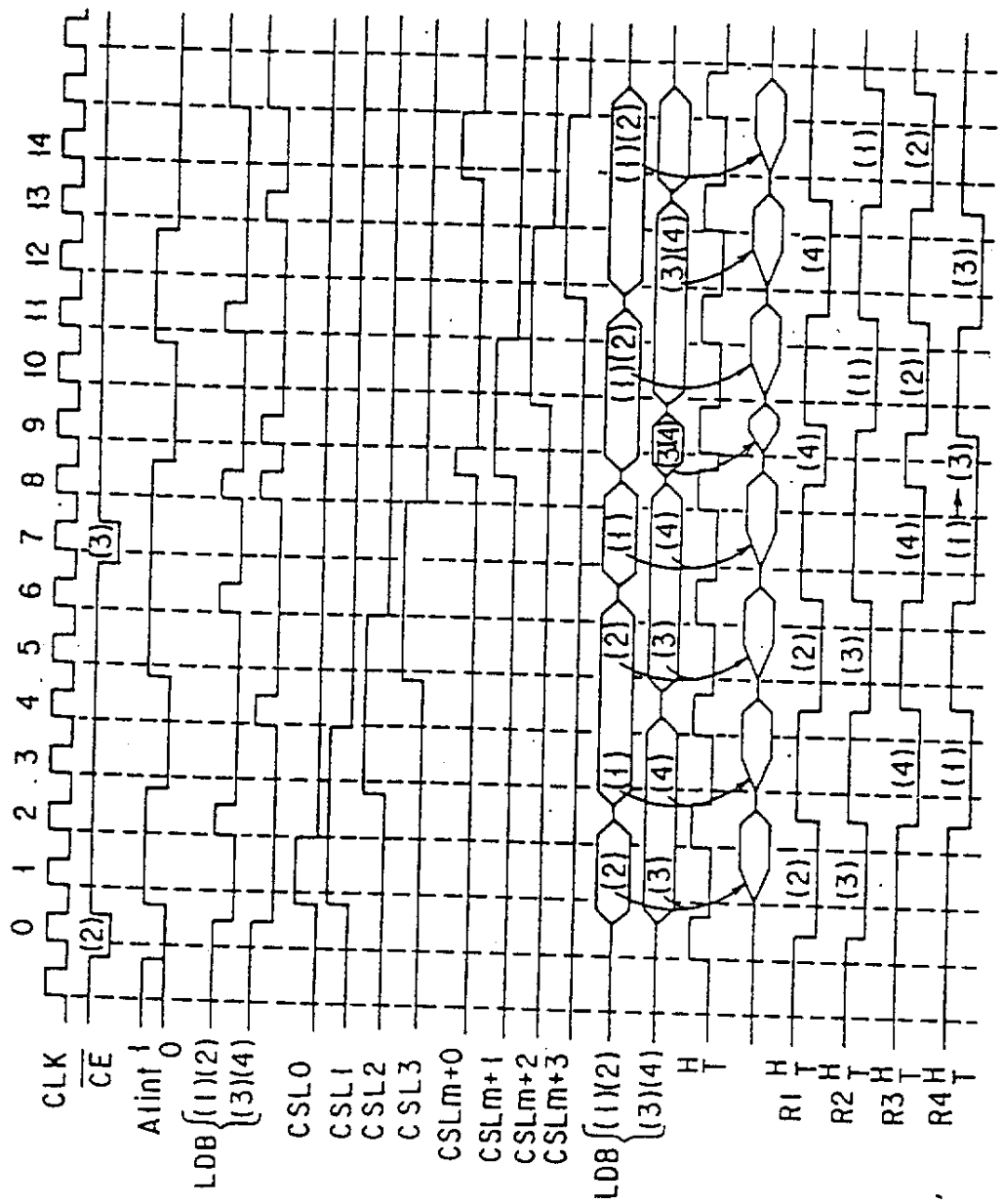
第17圖

CSL0	(1)(2)	CSL1	(3)(4)	CSL2	(1)(2)	CSL3	(3)(4)
CSLm+0	(3)(4)	CSLm+1	(1)(2)	CSLm+2	(3)(4)	CSLm+3	(1)(2)
	LDB		LDB		LDB		LDB

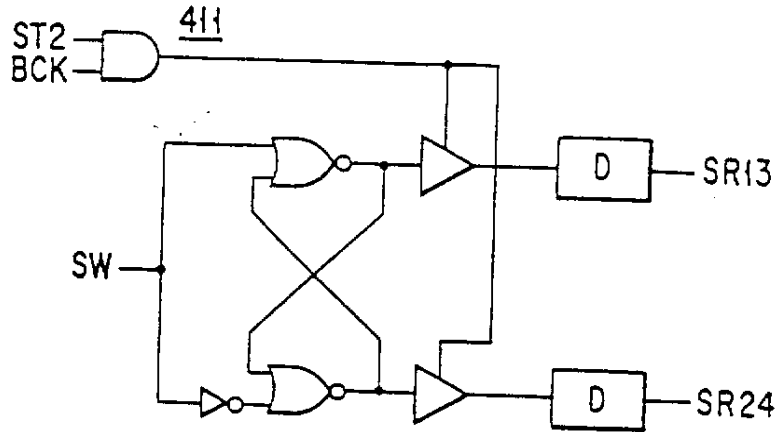
第18圖



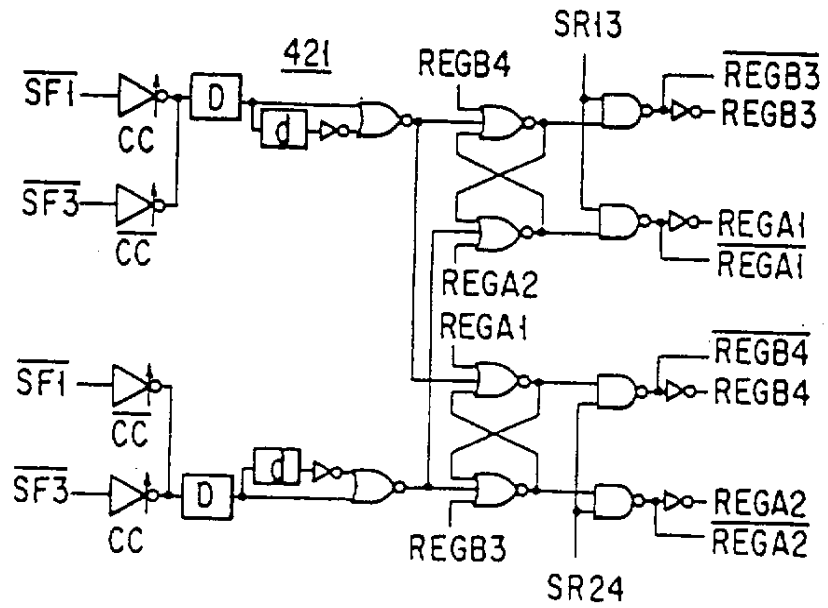
第19圖



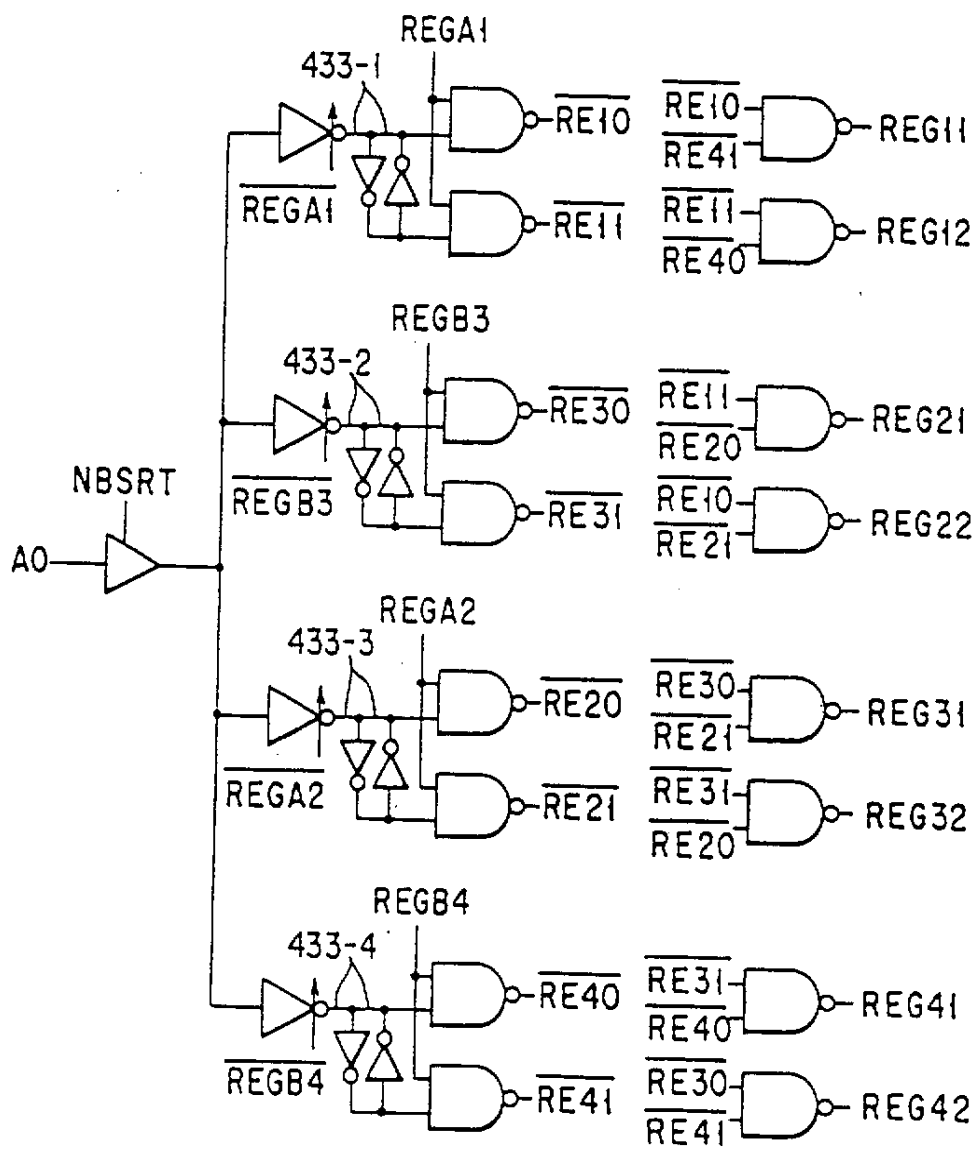
第20圖



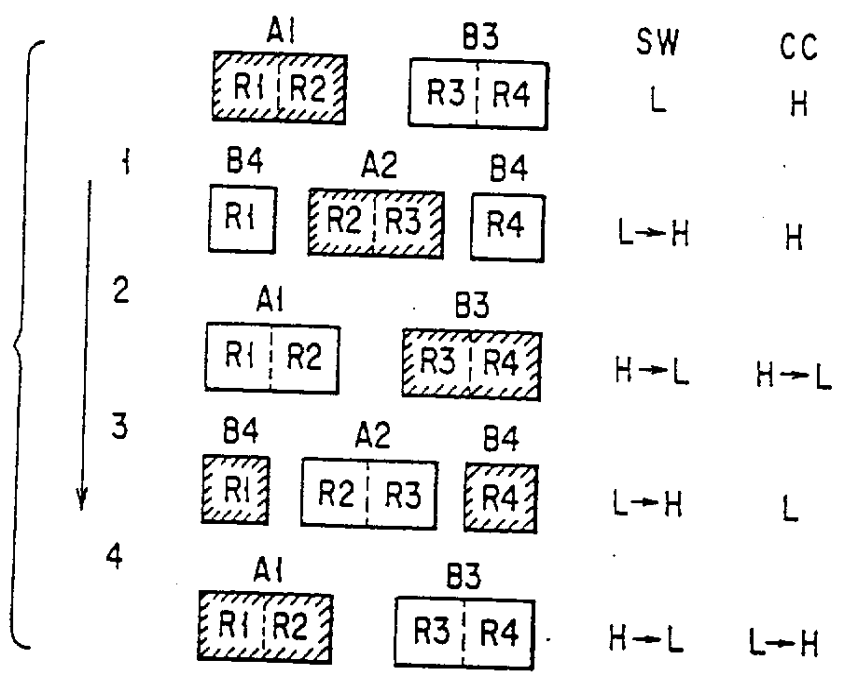
第21圖



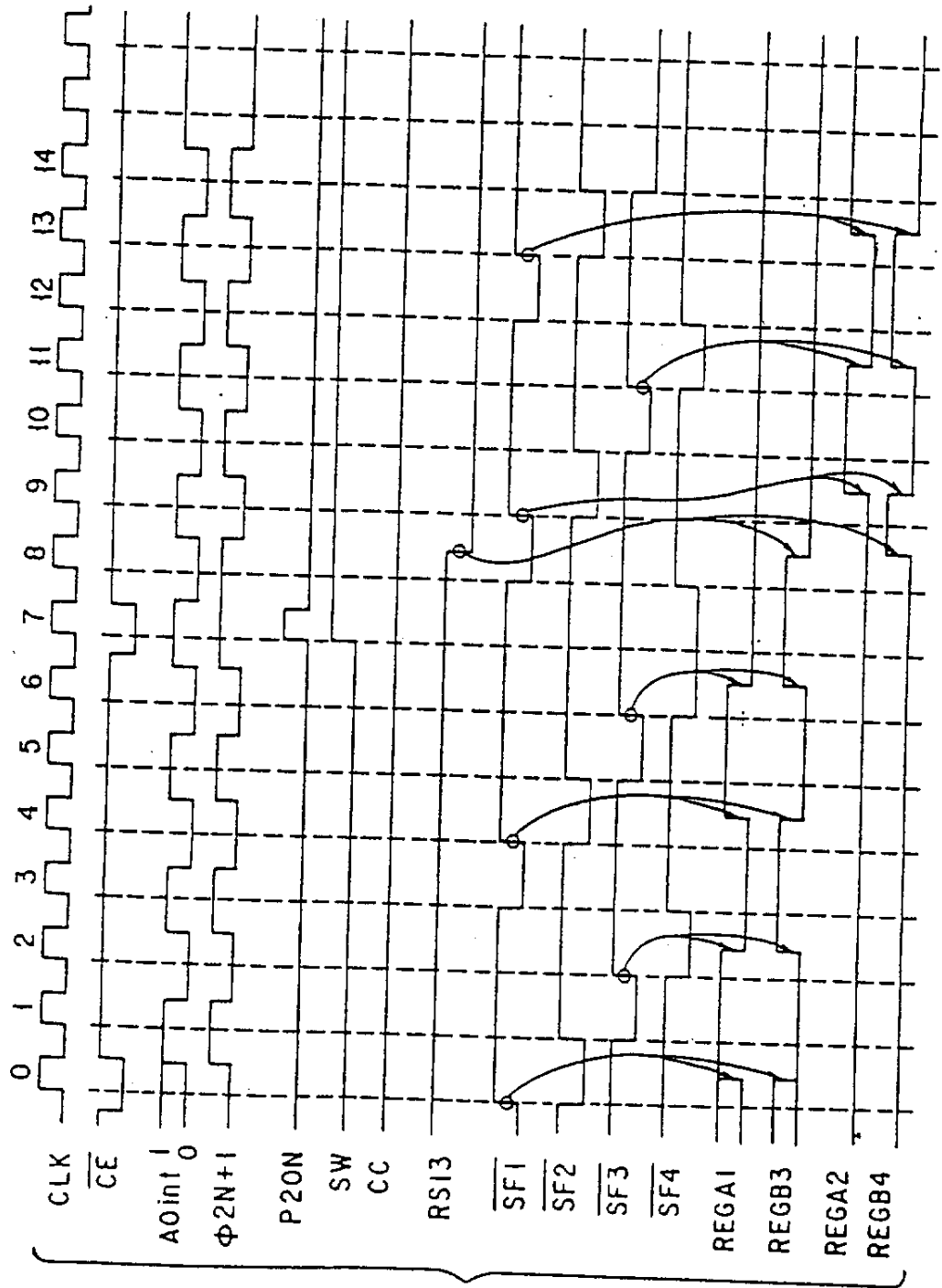
第22圖



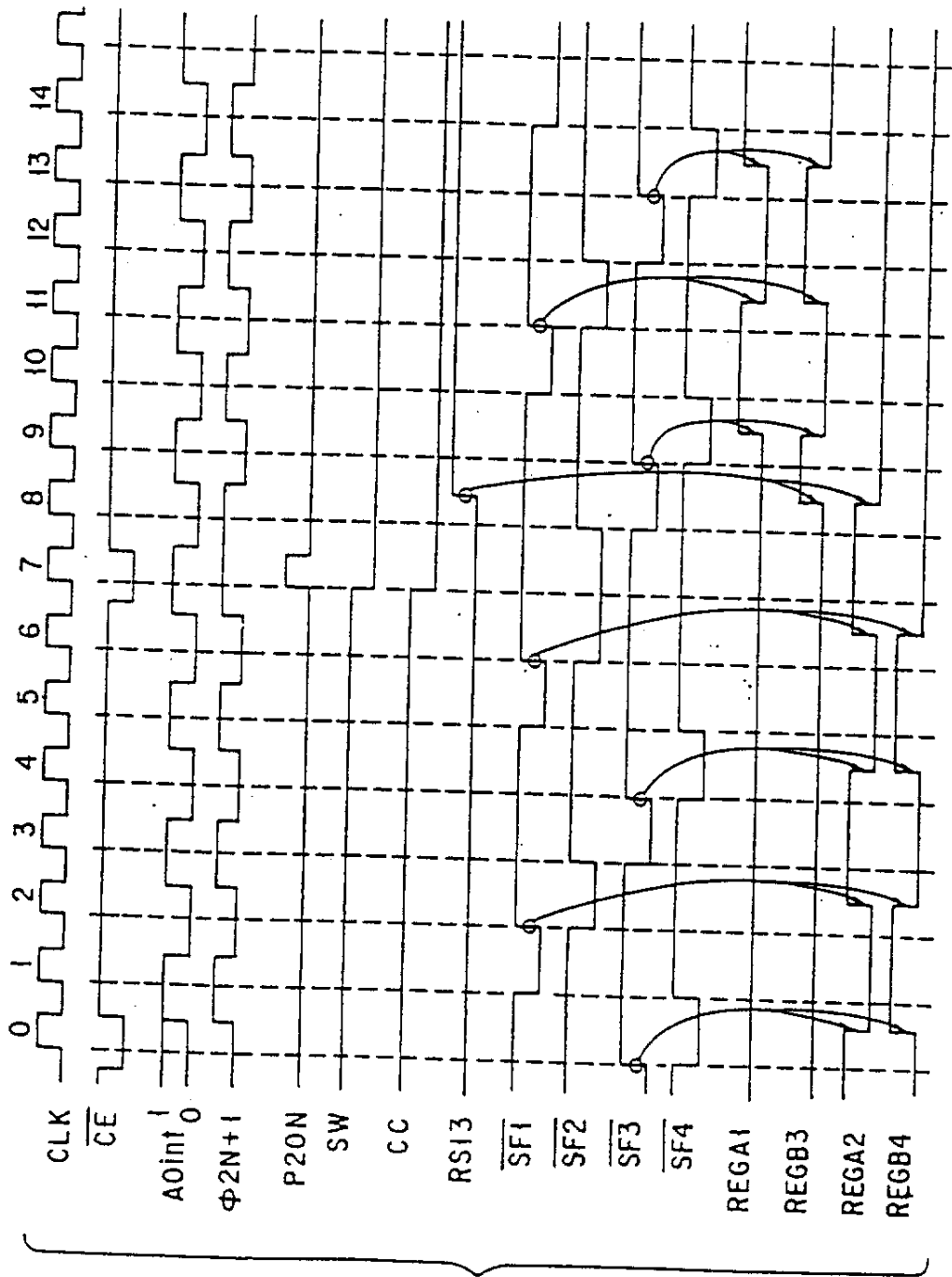
第23圖



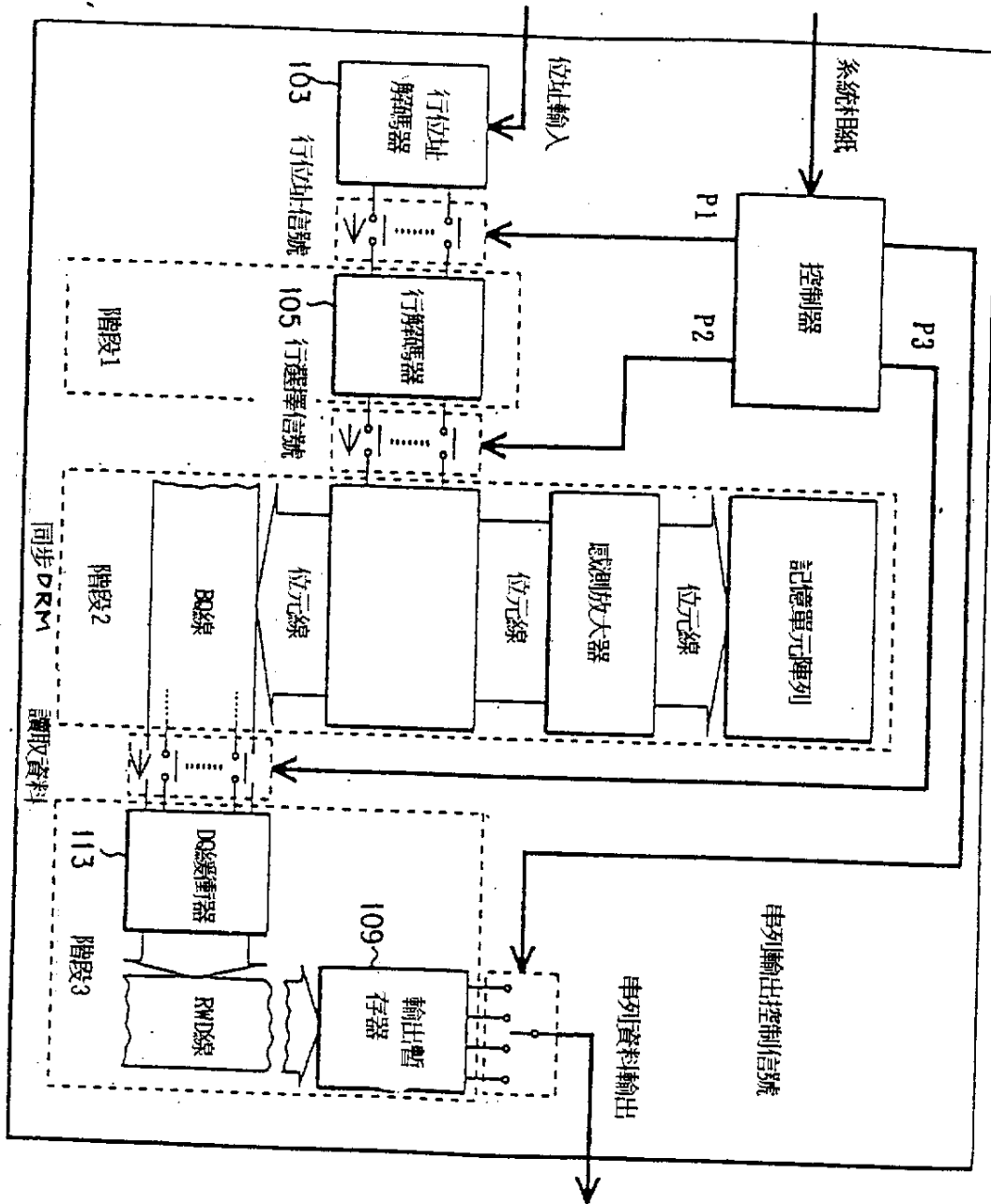
第24圖



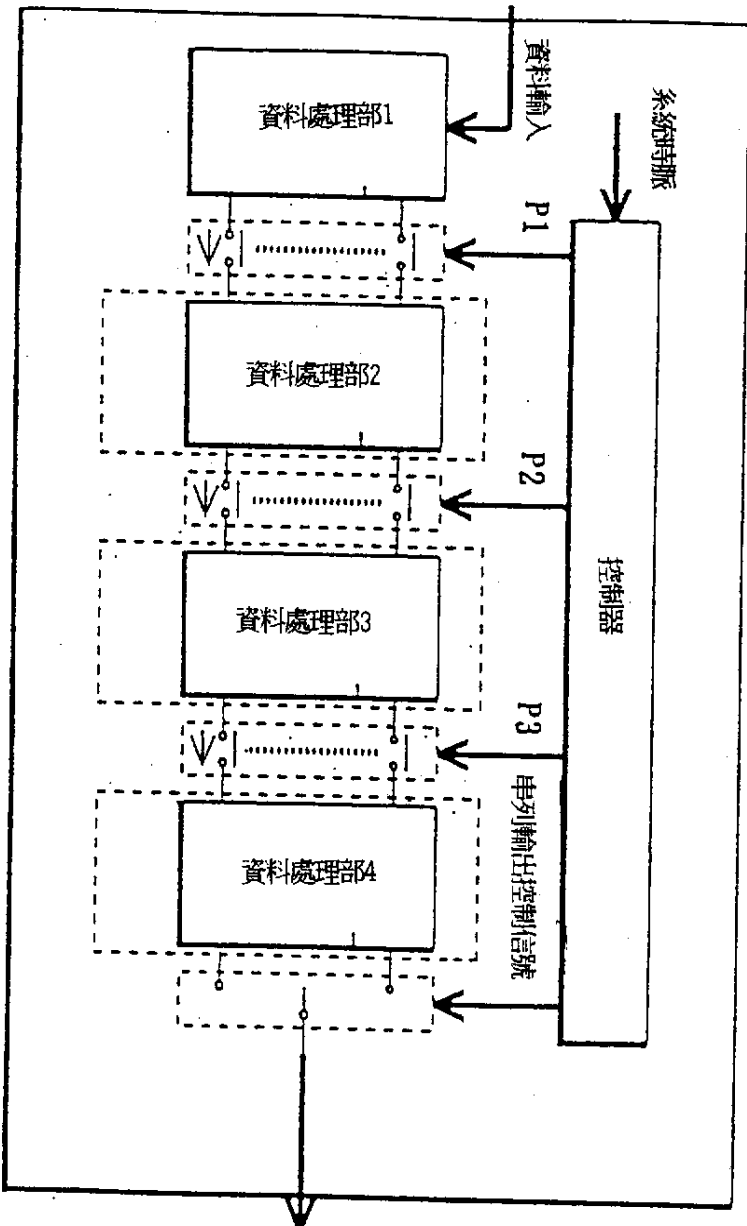
第25圖



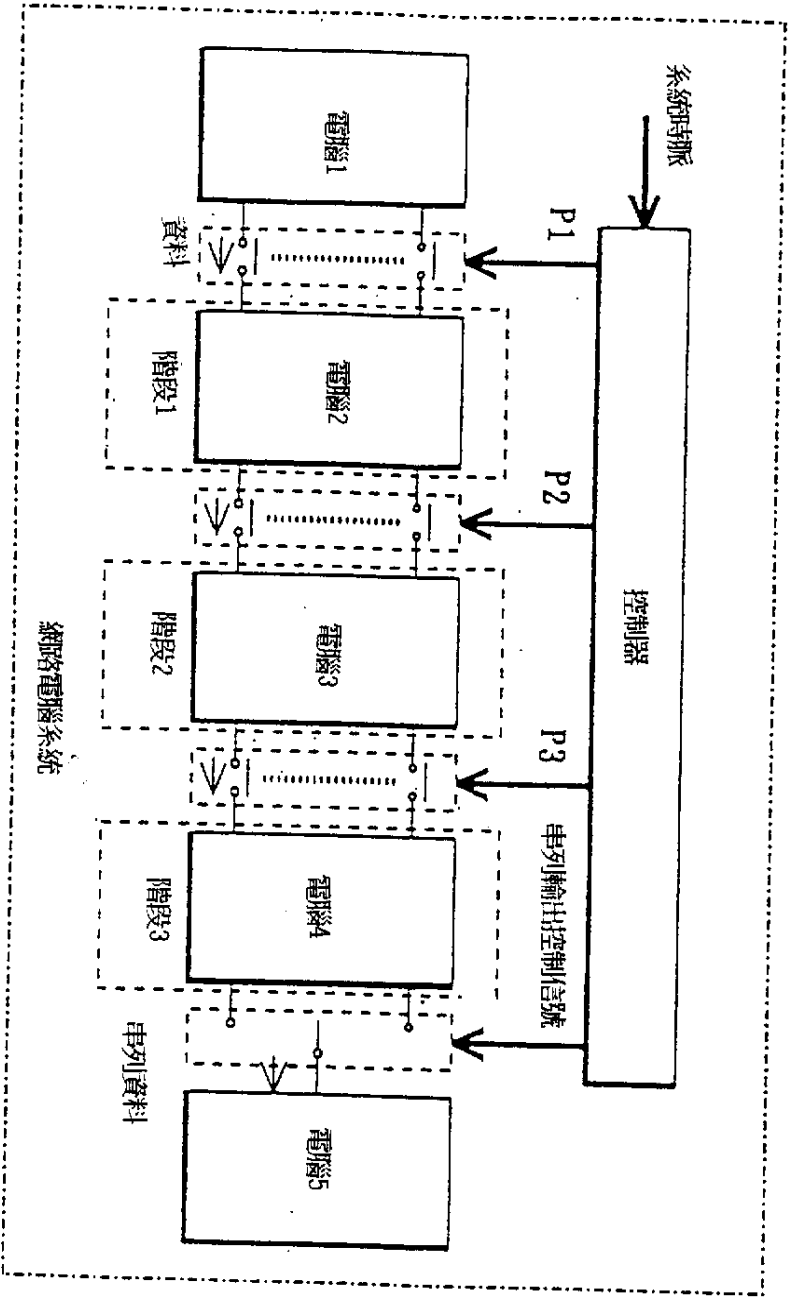
第26圖



第27圖

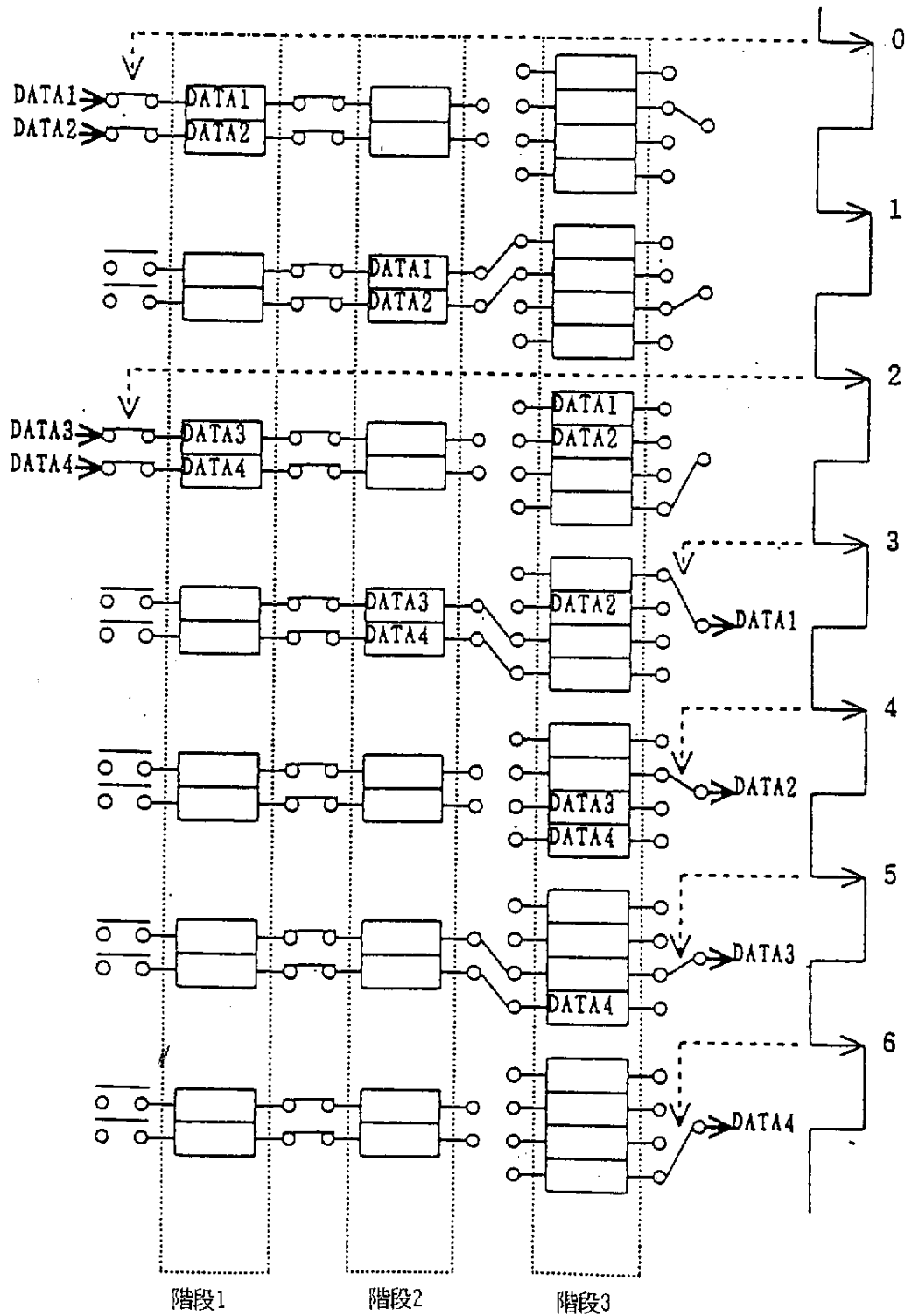


第28圖

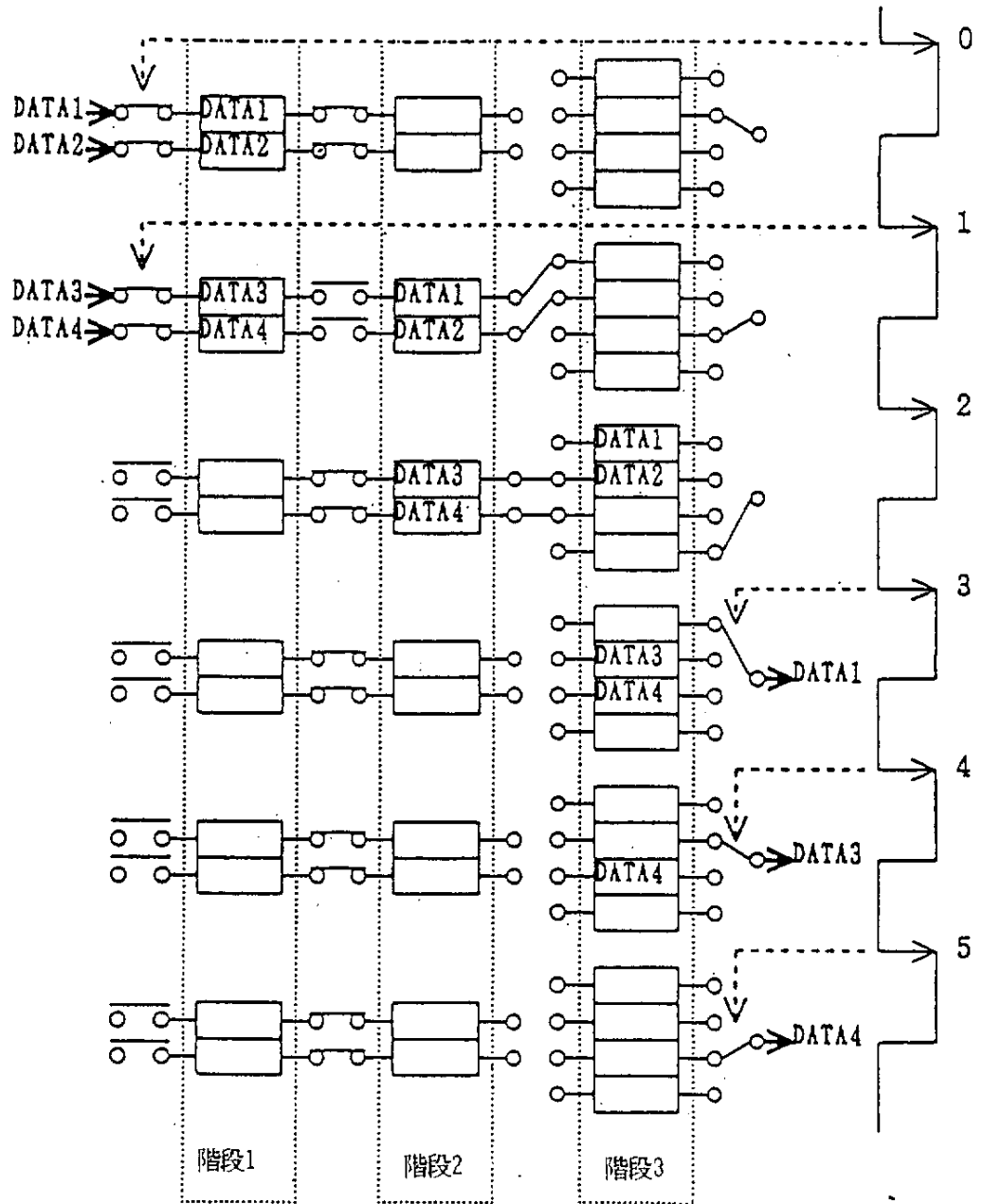


第29圖

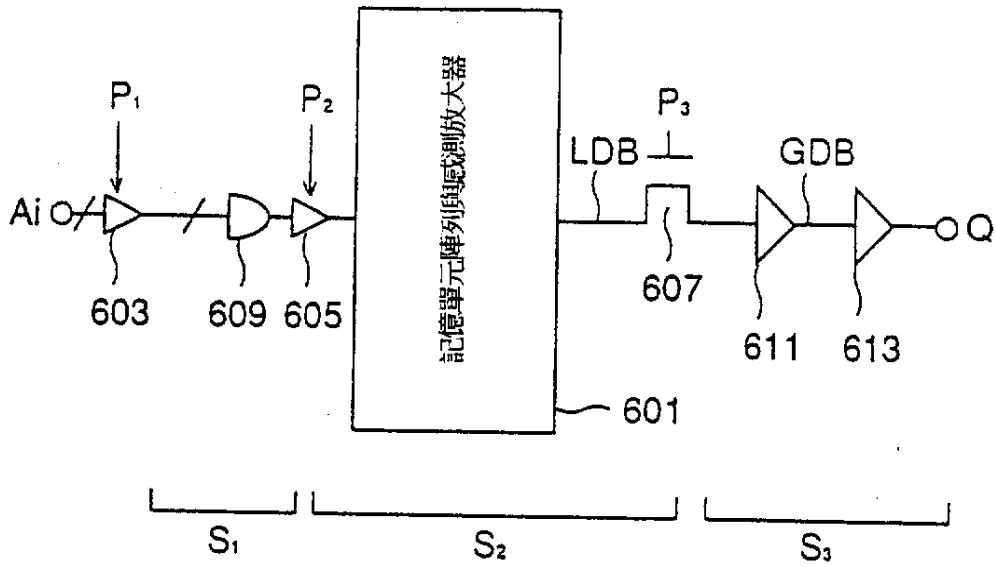
網路電腦系統



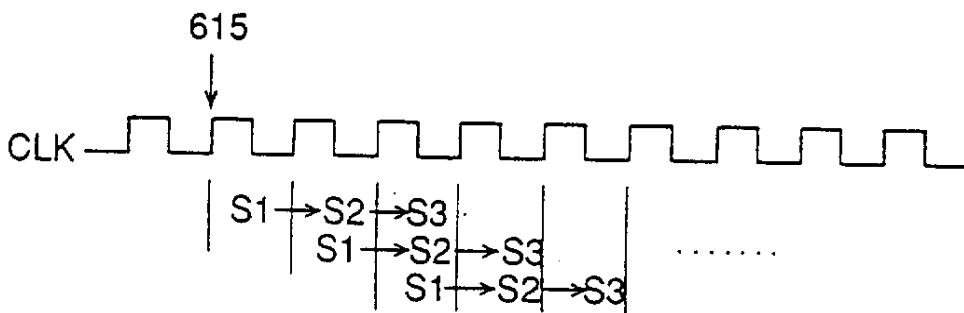
第30圖



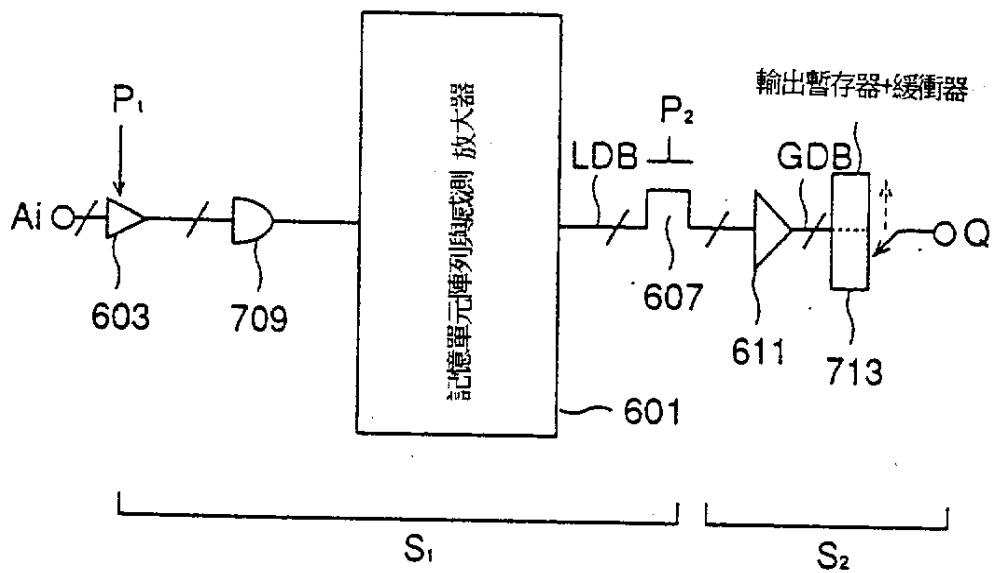
第31圖



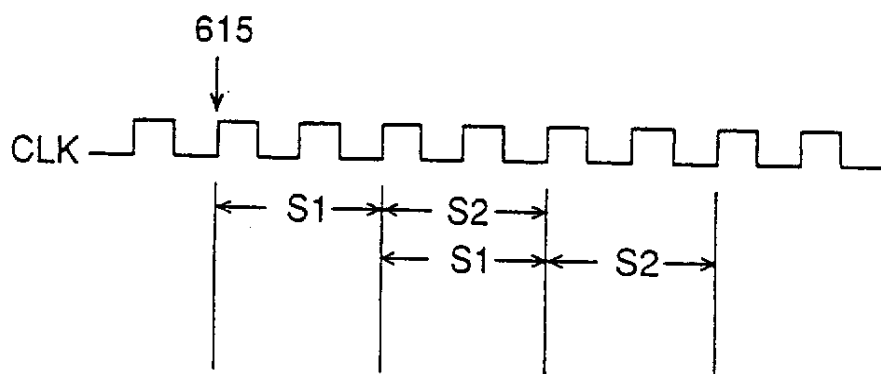
第32圖



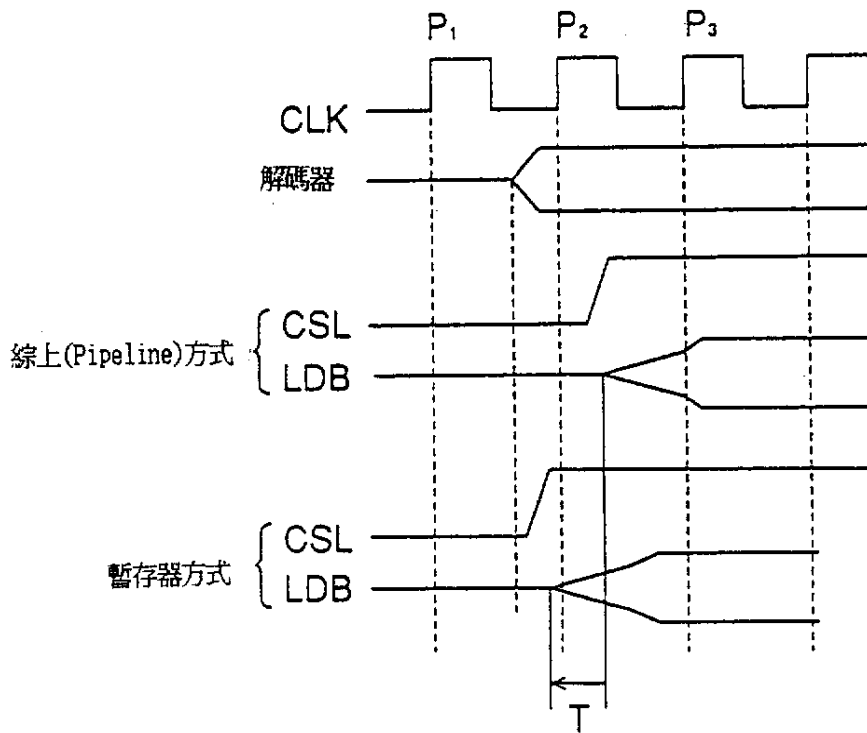
第33圖



第34圖



第35圖



第36圖