

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/10

H01L 27/105

G11C 11/22



[12] 发 明 专 利 说 明 书

专利号 ZL 01802788.1

[45] 授权公告日 2005 年 8 月 24 日

[11] 授权公告号 CN 1216425C

[22] 申请日 2001.8.21 [21] 申请号 01802788.1

[30] 优先权

[32] 2000.9.18 [33] JP [31] 281725/2000

[86] 国际申请 PCT/JP2001/007144 2001.8.21

[87] 国际公布 WO2002/023635 日 2002.3.21

[85] 进入国家阶段日期 2002.5.17

[71] 专利权人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 长谷川和正 名取荣治 西川尚男

小口幸一 下田达也

审查员 冀小强

[74] 专利代理机构 中国专利代理(香港)有限公司

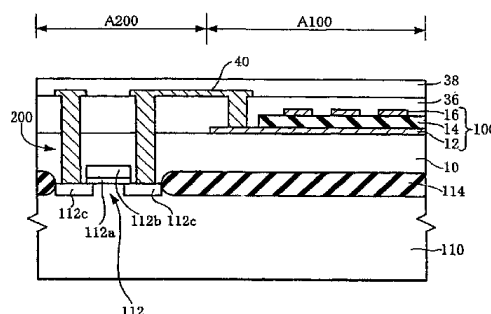
代理人 刘宗杰 叶恺东

权利要求书 8 页 说明书 26 页 附图 17 页

[54] 发明名称 强电介质存储装置及其制造方法以及混载装置

[57] 摘要

一种强电介质存储装置，包括存储单元阵列和用于对上述存储单元选择性地进行信息的写入或者读出的周边电路部分，其中，存储单元阵列在基体上矩阵形地排列存储单元，包括第 1 信号电极，沿着与该第 1 信号电极交叉的方向排列的第 2 信号电极，至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层，其特征在于：上述存储单元阵列和上述周边电路部分配置在不同的层中，上述周边电路部分形成在上述存储单元阵列的外侧区域中，在上述基体上形成具有与该基体的表面不同的表面特性的表面修饰层，上述表面修饰层配置在没有形成上述存储单元的区域中，该表面修饰层的表面。



1. 一种强电介质存储装置，

包括存储单元阵列和用于对上述存储单元选择性地进行信息的
写入或者读出的周边电路部分，其中，存储单元阵列在基体上矩阵
5 形地排列存储单元，包括第 1 信号电极，在与该第 1 信号电极交叉
的方向上排列的第 2 信号电极，至少配置在上述第 1 信号电极与上
述第 2 信号电极的交叉区域中的强电介质层，

上述存储单元阵列和上述周边电路部分配置在不同的层中，

上述周边电路部分形成在上述存储单元阵列的外侧区域中，该
10 强电介质存储装置的特征在于：

在上述基体上形成具有与该基体的表面不同的表面特性的表面
修饰层，

上述表面修饰层配置在没有形成上述存储单元的区域中，该表
面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表
15 面低的亲和性。

2. 根据权利要求 1 所述的强电介质存储装置，其特征在于：

沿着上述第 1 信号电极或者上述第 2 信号电极线形地配置上述
强电介质层。

3. 根据权利要求 2 所述的强电介质存储装置，其特征在于：

20 在上述第 1 信号电极上选择性地配置上述强电介质层。

4. 根据权利要求 3 所述的强电介质存储装置，其特征在于：

在由上述第 1 信号电极以及上述强电介质层构成的叠层体的相
互之间设置电介质层，使得覆盖上述基体的露出面。

5. 根据权利要求 4 所述的强电介质存储装置，其特征在于：

25 上述电介质层由具有比上述强电介质层小的介电率的材料构
成。

6. 根据权利要求 2 所述的强电介质存储装置，其特征在于：

在上述第 2 信号电极下选择性地配置上述强电介质层。

7. 根据权利要求 6 所述的强电介质存储装置，其特征在于：

30 在由上述强电介质层以及上述第 2 信号电极构成的叠层体的相
互之间设置电介质层，使得覆盖上述基体以及上述第 1 信号电极的
露出面。

8. 根据权利要求 7 所述的强电介质存储装置，其特征在于：
上述电介质层由具有比上述强电介质层小的介电率的材料构成。

5 9. 根据权利要求 2 所述的强电介质存储装置，其特征在于：
上述强电介质层仅配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中。

10 10. 根据权利要求 9 所述的强电介质存储装置，其特征在于：
在由上述第 1 信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层，使得覆盖上述基体的露出面的一部分。

11. 根据权利要求 10 所述的强电介质存储装置，其特征在于：
在上述基体上还用电介质层覆盖上述基体以及上述第 1 信号电极的露出面。

12. 根据权利要求 11 所述的强电介质存储装置，其特征在于：
上述电介质层由具有比上述强电介质层小的介电率的材料构成。

13. 根据权利要求 1~12 的任一项所述的强电介质存储装置，其特征在于：

具有多组上述存储单元阵列，
上述多组存储单元阵列叠层形成。

14. 根据权利要求 1~12 的任一项所述的强电介质存储装置，其特征在于：

在所述第一信号电极间设置绝缘层，
上述第 1 信号电极的上表面与上述绝缘层的上表面是同一个平面。

15. 根据权利要求 1 所述的强电介质存储装置，其特征在于：把一个强电介质存储装置作为单位块，以预定的图形排列多个该单位块。

16. 一种强电介质存储装置，
包括存储单元阵列和用于对上述存储单元选择性地对信息的写入或者读出的周边电路部分，其中，存储单元阵列在基体上矩阵形地排列存储单元，包括第 1 信号电极，在与该第 1 信号电极交叉的方向上排列的第 2 信号电极，至少配置在上述第 1 信号电极与上

述第 2 信号电极的交叉区域中的强电介质层，

上述存储单元阵列和上述周边电路部分配置在不同的层中，

上述周边电路部分形成在上述存储单元阵列的外侧区域中，该强电介质存储装置的特征在于：

- 5 在上述基体上形成具有与该基体的表面不同的表面特性的表面修饰层，

上述表面修饰层配置在形成上述存储单元的区域中，该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面高的亲和性。

- 10 17. 根据权利要求 16 所述的强电介质存储装置，其特征在于：

沿着上述第 1 信号电极或者上述第 2 信号电极线形地配置上述强电介质层。

18. 根据权利要求 17 所述的强电介质存储装置，其特征在于：

在上述第 1 信号电极上选择性地配置上述强电介质层。

- 15 19. 根据权利要求 18 所述的强电介质存储装置，其特征在于：

在由上述第 1 信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层，使得覆盖上述基体的露出面。

20. 根据权利要求 19 所述的强电介质存储装置，其特征在于：

- 20 上述电介质层由具有比上述强电介质层小的介电率的材料构成。

21. 根据权利要求 17 所述的强电介质存储装置，其特征在于：

在上述第 2 信号电极下选择性地配置上述强电介质层。

22. 根据权利要求 21 所述的强电介质存储装置，其特征在于：

- 25 在由上述强电介质层以及上述第 2 信号电极构成的叠层体的相互之间设置电介质层，使得覆盖上述基体以及上述第 1 信号电极的露出面。

23. 根据权利要求 22 所述的强电介质存储装置，其特征在于：

上述电介质层由具有比上述强电介质层小的介电率的材料构成。

- 30 24. 根据权利要求 17 所述的强电介质存储装置，其特征在于：

上述强电介质层仅配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中。

25. 根据权利要求 24 所述的强电介质存储装置, 其特征在于:
在由上述第 1 信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层, 使得覆盖上述基体的露出面的一部分。

5 26. 根据权利要求 25 所述的强电介质存储装置, 其特征在于:
在上述基体上还用电介质层覆盖上述基体以及上述第 1 信号电极的露出面。

27. 根据权利要求 26 所述的强电介质存储装置, 其特征在于:
上述电介质层由具有比上述强电介质层小的介电率的材料构成。

10 28. 根据权利要求 16-27 的任一项所述的强电介质存储装置, 其特征在于:

具有多组上述存储单元阵列,
上述多组存储单元阵列叠层形成。

15 29. 根据权利要求 16-27 的任一项所述的强电介质存储装置, 其特征在于:

在所述第一信号电极间设置绝缘层,
上述第 1 信号电极的上表面与上述绝缘层的上表面是同一个平面。

20 30. 根据权利要求 16 所述的强电介质存储装置, 其特征在于:
把一个强电介质存储装置作为单位块, 以预定的图形排列多个该单位块。

31. 一种强电介质存储装置的制造方法, 包括:

(a) 在半导体基板上形成用于对存储单元选择性地对信息进行写入或者读出的周边电路部分的工序, 以及

25 (b) 在包括上述半导体基板的基体上, 形成第 1 信号电极, 在与该第 1 信号电极交叉的方向上排列的第 2 信号电极和至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层, 形成矩阵形地排列了存储单元的存储单元阵列的工序,

上述周边电路部分形成在上述存储单元阵列的外侧区域中;

30 上述工序 (b) 包括形成上述第 1 信号电极的工序 (b-1),

形成上述强电介质层的工序 (b-2), 以及

形成上述第 2 信号电极的工序 (b-3); 该强电介质存储装置制

造方法的特征在于，

包括：

在上述基体上，形成第 1 区域和第 2 区域的工序，其中，第 1 区域具有优先堆积用于形成上述第 1 信号电极以及上述强电介质层的至少一方的材料的表面特性，第 2 区域与上述第 1 区域相比较具有难以堆积用于形成上述第 1 信号电极以及上述强电介质层的至少一方的材料的表面特性，以及

提供用于形成上述第 1 信号电极以及上述强电介质层的至少一方的材料，在上述第 1 区域中选择性地形成该部件的工序。

10 32. 根据权利要求 31 所述的强电介质存储装置的制造方法，其特征在于：

上述工序（b-2）包括形成非晶质状态或者微结晶状态的强电介质层的工序，以及把该非晶质状态或者微结晶状态的强电介质层进行热处理形成上述强电介质层的工序。

15 33. 根据权利要求 31 所述的强电介质存储装置的制造方法，其特征在于：

上述工序（b-2）是沿着上述第 1 信号电极形成线形的强电介质层的工序。

20 34. 根据权利要求 31 所述的强电介质存储装置的制造方法，其特征在于：

在上述基体的表面形成上述第 1 以及第 2 区域。

35. 根据权利要求 34 所述的强电介质存储装置的制造方法，其特征在于：

在上述第 1 区域中使上述基体的表面露出，

25 在上述第 2 区域中形成表面修饰层，该表面修饰层具有对于上述第 1 信号电极以及上述强电介质层的材料的亲和性比上述基体的第 1 区域中的露出面低的表面特性。

36. 根据权利要求 34 所述的强电介质存储装置的制造方法，其特征在于：

30 在上述第 2 区域中使上述基体的表面露出，

在上述第 1 区域中形成表面修饰层，该表面修饰层具有对于上述第 1 信号电极以及上述强电介质层的材料的亲和性比上述基体的

第2区域中的露出面高的表面特性。

37. 根据权利要求31所述的强电介质存储装置的制造方法，其特征在于：

5 在由上述第1信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层使得覆盖上述基体的露出面。

38. 根据权利要求37所述的强电介质存储装置的制造方法，其特征在于：

上述电介质层由具有比上述强电介质层小的介电率的材料构成。

10 39. 根据权利要求31所述的强电介质存储装置的制造方法，其特征在于：

在与上述第1信号电极交叉的方向上，形成上述强电介质层以及上述第2信号电极，

沿着上述第2信号电极线形地形成上述强电介质层。

15 40. 根据权利要求39所述的强电介质存储装置的制造方法，其特征在于：

上述强电介质层以及上述第2信号电极由使用了同一个掩模的蚀刻进行图形化。

20 41. 根据权利要求40所述的强电介质存储装置的制造方法，其特征在于：

在由上述强电介质层以及上述第2信号电极构成的叠层体的相互之间设置电介质层使得覆盖上述基体以及上述第1信号电极的露出面。

25 42. 根据权利要求41所述的强电介质存储装置的制造方法，其特征在于：

上述电介质层由具有比上述强电介质层小的介电率的材料构成。

43. 根据权利要求31所述的强电介质存储装置的制造方法，其特征在于：

30 包括在上述工序(b-3)以后，把上述强电介质层图形化，仅在上述第1信号电极与上述第2信号电极的交叉区域中块形地残留上述强电介质层的工序(b-4)。

44. 根据权利要求 43 所述的强电介质存储装置的制造方法，其特征在于：

上述强电介质层以及上述第 2 信号电极由使用了同一个掩模的蚀刻进行图形化。

5 45. 根据权利要求 43 所述的强电介质存储装置的制造方法，其特征在于：

在由上述第 1 信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层使得覆盖上述基体的露出面。

10 46. 根据权利要求 45 所述的强电介质存储装置的制造方法，其特征在于：

还在由上述强电介质层以及上述第 2 信号电极构成的叠层体的相互之间设置电介质层使得覆盖上述基体以及上述第 1 信号电极的露出面。

15 47. 如权利要求 46 所述的强电介质存储装置的制造方法，其特征在于：

上述电介质层由具有比上述强电介质层小的介电率的材料构成。

48. 根据权利要求 31 所述的强电介质存储装置的制造方法，其特征在于：

20 包括在上述工序 (b-1) 以后，在上述第 1 信号电极之间形成绝缘层的工序 (b-5)，

上述绝缘层的上表面与上述第 1 信号电极的上表面是同一个平面。

25 49. 根据权利要求 48 所述的强电介质存储装置的制造方法，其特征在于：

上述工序 (b-5) 是使用溶液涂敷法，形成绝缘层，把该绝缘层平坦化的工序。

50. 一种混载装置，混载了强电介质存储装置，以及从闪速存储器，处理器，模拟电路以及 SRAM 的群中选择出来的至少一种，

30 上述强电介质存储装置，

包括存储单元阵列和用于对上述存储单元选择性地进行信息的写入或者读出的周边电路部分，其中，存储单元阵列在基体上矩阵

形地排列存储单元，包括第 1 信号电极，在与该第 1 信号电极交叉的方向上排列的第 2 信号电极，至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层，

上述存储单元阵列和上述周边电路部分配置在不同的层中，

- 5 上述周边电路部分形成在上述存储单元阵列的外侧区域中，该混载装置的特征在于：

在上述基体上形成具有与该基体的表面不同的表面特性的表面修饰层，

- 10 上述表面修饰层配置在没有形成上述存储单元的区域中，该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面低的亲和性。

51. 一种混载装置，混载了强电介质存储装置，以及从闪速存储器，处理器，模拟电路以及 SRAM 的群中选择出来的至少一种，

上述强电介质存储装置，

- 15 包括存储单元阵列和用于对上述存储单元选择性地进行信息的写入或者读出的周边电路部分，其中，存储单元阵列在基体上矩阵形地排列存储单元，包括第 1 信号电极，在与该第 1 信号电极交叉的方向上排列的第 2 信号电极，至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层，

- 20 上述存储单元阵列和上述周边电路部分配置在不同的层中，

上述周边电路部分形成在上述存储单元阵列的外侧区域中，该混载装置的特征在于：

在上述基体上形成具有与该基体的表面不同的表面特性的表面修饰层，

- 25 上述表面修饰层配置在形成上述存储单元的区域中，该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面高的亲和性。

强电介质存储装置 及其制造方法以及混载装置

5 技术领域

本发明涉及强电介质存储装置及其制造方法以及混载装置，特别是涉及没有单元晶体管，仅使用了强电介质电容器的单纯矩阵型的强电介质存储装置及其制造方法以及混载装置。

背景技术

10 没有单元晶体管，而仅使用了强电介质电容器的单纯矩阵型的存储单元阵列由于具有非常简单的构造，能够得到高集成度，因此正在期待其开发。

日本专利公开公报特开平 9-91970A 公开了一种强电介质存储装置，其中（参考说明书第 18-20 栏，图 27-30）具体公开了以下技术特征：所述强电介质存储装置包括存储单元阵列 21 和周边电路 115，其中存储单元阵列 21 以矩阵阵形排列存储单元，包括上部电极 19，与该上部电极 19 交叉的方向排列的电极 20，其中还包括配置在所述上部电极 19 和电极 20 之间的强电介质层 125；从附图 29 和 30 中也可以明显看出所述存储单元阵列与所述周边电路部分配置在不同的层中；所述周边电路部分形成在所述存储单元阵列的外侧区域（参考第 0120 段落）。

发明内容

本发明的目的在于提供具有所希望的存储单元阵列的强电介质存储装置及其制造方法以及混载装置。

25 本发明的一种强电介质存储装置，

包括存储单元阵列和用于对上述存储单元选择性地进行信息的写入或者读出的周边电路部分，其中，存储单元阵列在基体上矩阵形地排列存储单元，包括第 1 信号电极，沿着与该第 1 信号电极交叉的方向排列的第 2 信号电极，至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层，其特征在于：

上述存储单元阵列和上述周边电路部分配置在不同的层中，
上述周边电路部分形成在上述存储单元阵列的外侧区域中，

在上述基体上形成具有与该基体的表面不同的表面特性的表面修饰层，

上述表面修饰层配置在没有形成上述存储单元的区域中，该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面低的亲和性。

本发明中，周边电路部分形成在存储单元阵列的外侧区域中。因此，存储单元阵列的下部的半导体基板是平坦的。其结果，在其半导体基板上能够容易地形成平坦的层间绝缘层。从而，在平坦的层间绝缘层上，能够可靠地形成存储单元阵列，能够容易地形成具有有所希望的图形的存储单元阵列。

在本发明中，强电介质层能够取以下3种形态的任一种。

(1) 强电介质层是沿着第1信号电极线形配置的形态。具体地讲，上述强电介质层是选择性地配置在上述第1信号电极上的形态。该形态的情况下，由于沿着第1信号电极线形地形成强电介质层，因此能够减小第2信号电极的杂散电容。

能够在上述基体上配置上述存储单元，并且在由上述第1信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层，使得覆盖上述基体的露出面。

另外，上述电介质层能够由具有比上述强电介质层小的介电率的材料构成。

在上述基体上，能够形成具有与该基体的表面不同的表面特性的表面修饰层。

上述表面修饰层能够配置在没有形成上述存储单元的区域中，该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面低的亲和性。另外，上述表面修饰层能够配置在形成上述存储单元的区域中，该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面高的亲和性。

(2) 强电介质层是沿着第2信号电极线形配置的形态。具体地讲，上述强电介质层是选择性地配置在上述第2信号电极上的形态。在该形态的情况下，由于沿着第2信号电极线形地形成强电介质层，因此能够减小第1信号电极的杂散电容。

能够在基体上配置上述存储单元，并且在由上述强电介质层以

及上述第 2 信号电极构成的叠层体的相互之间设置电介质层, 使得覆盖上述基体以及上述第 1 信号电极的露出面。

上述电介质层能够由具有比上述强电介质层小的介电率的材料构成。

- 5 (3) 上述强电介质层是仅配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的形态。在该形态的情况下, 由于在最小的区域中形成强电介质层, 因此能够进一步减小信号电极的杂散电容。

能够在基体上配置上述存储单元, 并且在由上述第 1 信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层, 使得
10 覆盖上述基体的露出面的一部分。

在上述基体上, 进而还能够由电介质层覆盖上述基体以及上述第 1 信号电极的露出面。

上述电介质层能够由具有比上述强电介质层小的介电率的材料构成。

- 15 能够在上述基体上形成具有与该基体的表面不同的表面特性的表面修饰层。

上述表面修饰层能够配置在没有形成上述存储单元的区域中, 该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面低的亲和性。另外, 上述表面修饰层能够配置在形成上述存储单元的区域中, 该表面修饰层的表面对于构成上述存储单元的材料具有比上述基体的表面高的亲和性。
20

另外, 本发明的强电介质存储装置能够采用以下的结构。

(A) 上述强电介质存储装置具有绝缘性基体,

- 上述存储单元阵列包括设置在上述绝缘性基体的槽内的上述第
25 1 信号电极, 上述强电介质层和上述第 2 信号电极,

能够在形成了上述第 1 信号电极的上述绝缘性基体的上面, 叠层上述强电介质层以及上述第 2 信号电极。

- 这里, 所谓绝缘性基板指的是至少形成上述第 1 信号电极的表面部分具有绝缘性的基板, 也可以仅使得在基于导电性材料的基板的表面部分上具有绝缘性 (以下相同)。
30

(B) 上述存储单元阵列具有绝缘性基体,

在绝缘性基体上具有以预定的图形形成的凹部以及凸部,

能够在形成了上述第 1 信号电极的绝缘性基体上, 叠层上述强电介质层以及上述第 2 信号电极。

(C) 把上述强电介质存储装置作为单位块, 能够以预定的图形排列多个单位块。

5 (D) 具有多组存储单元阵列,
能够叠层并形成上述多组存储单元阵列。

(E) 在上述第 1 信号电极之间设置绝缘层,
上述第 1 信号电极的上表面与上述绝缘层的上表面是同一个平面。

10 (强电介质存储装置的制造方法)
强电介质存储装置的制造方法包括

(a) 在半导体基板上形成用于对存储单元选择性地
写入或者读出的周边电路部分的工序,
以及

15 (b) 至少形成第 1 信号电极, 沿着与该第 1 信号电极交叉的方向排列的第 2 信号电极, 至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层, 形成矩阵形地排列了存储单元的存储单元阵列的工序,

上述周边电路部分形成在上述存储单元阵列的外侧区域中。

20 具体地讲, 上述工序 (b) 能够包括形成上述第 1 信号电极的工序 (b—1),

形成上述强电介质层的工序 (b—2) 以及

形成上述第 2 信号电极的工序 (b—3)。

上述工序 (b—2) 能够包括形成非晶质状态或者微结晶状态的
25 强电介质层的工序以及把该非晶质状态或者微结晶状态的强电介质层进行热处理, 形成上述强电介质层的工序。如果依据该工序, 则在通过选择生长形成强电介质层的情况下, 能够用比其它的形成方法低的温度, 进行强电介质层的选择生长。

上述工序 (b—2) 能够采用以下 3 种形态中的任一种形态。

30 (1) 作为第 1 形态, 上述工序 (b—2) 是沿着上述第 1 信号电极形成线形的强电介质层的工序。

在该形态的情况下, 能够包括在基体上形成第 1 区域和第 2 区

域的工序，其中，第1区域具有优先堆积用于形成上述第1信号电极以及上述强电介质层的至少一方的材料的表面特性，上述第2区域与上述第1区域相比较，具有难以堆积用于形成上述第1信号电极以及上述强电介质层的至少一方的材料的表面特性，以及

- 5 提供用于形成上述第1信号电极以及上述强电介质层的至少一方的材料，在上述第1区域中选择性地形成该部件的工序。

另外，在上述基体的表面上能够形成上述第1以及第2区域。

另外，在上述第1区域中，使上述基体的表面露出，

- 10 在上述第2区域中，能够形成表面修饰层，该表面修饰层具有对于上述第1信号电极以及上述强电介质层的材料的亲和性比上述基体的第1区域中的露出面低的表面特性。

另外，能够在由上述第1信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层，使得覆盖上述基体的露出面。

- 15 上述电介质层由具有比上述强电介质层小的介电率的材料构成。

(2) 作为第2形态，沿着与上述第1信号电极交叉的方向，形成上述强电介质层以及上述第2信号电极，

这是沿着上述第2信号电极线形地形成上述强电介质层的形态。

- 20 在该形态的情况下，上述强电介质层以及上述第2信号电极能够通过使用了同一个掩模的蚀刻进行图形化。

能够在由上述强电介质层以及上述第2信号电极构成的叠层体的相互之间设置电介质层，使得覆盖上述基体以及上述第1信号电极的露出面。

- 25 上述电介质层能够由具有比上述强电介质层小的介电率的材料构成。

(3) 作为第3形态，包括在上述工序(b—3)以后，把上述强电介质层图形化，仅在上述第1信号电极与上述第2信号电极的交叉区域中块形地残留上述强电介质层的工序(b—4)。

- 30 在该形态的情况下，能够包括形成第1区域以及第2区域的工序，其中，第1区域具有优先堆积用于形成上述第1信号电极以及上述强电介质层的至少一方的材料的表面特性，第2区域与上述第

1 区域相比较, 具有难以堆积用于形成上述第 1 信号电极以及上述强电介质层的至少一方的材料的表面特性, 以及

提供用于形成上述第 1 信号电极以及上述强电介质层的至少一方的材料, 在该第 1 区域中选择性地形成该部件的工序。

5 能够在上述基体的表面上形成上述第 1 以及第 2 区域。

在上述第 1 区域中使上述基体的表面露出,

在上述第 2 区域中形成表面修饰层, 该表面修饰层具有对于上述第 1 信号电极以及上述强电介质层的材料的亲和性比上述基体的第 1 区域中的露出面低的表面特性。

10 另外, 在上述第 2 区域中, 使上述基体的表面露出,

在上述第 1 区域中形成表面修饰层, 该表面修饰层具有对于上述第 1 信号电极以及上述强电介质层的材料的亲和性比上述基体的第 2 区域中的露出面高的表面特性。

上述强电介质层以及上述第 2 信号电极能够由使用了同一个掩模的蚀刻进行图形化。

能够在由上述第 1 信号电极以及上述强电介质层构成的叠层体的相互之间设置电介质层使得覆盖上述基体的露出面。

进而, 能够在由上述强电介质层以及上述第 2 信号电极构成的叠层体的相互之间设置电介质层使得覆盖上述基体以及上述第 1 信号电极的露出面。

上述电介质层能够由具有比上述强电介质层小的介电率的材料构成。

本发明的强电介质存储装置的制造方法还能够包括以下的工序。

25 包括在上述工序 (b—1) 以后, 在上述第 1 信号电极之间形成绝缘层的工序 (b—5),

上述绝缘层的上表面与上述第 1 信号电极的上表面是同一个表面。

30 通过包括工序 (b—5), 能够在平坦的面上形成强电介质层。因此, 形成具有所希望图形的强电介质层将很容易。

具体地讲, 上述工序 (b—5) 是使用溶液涂敷法, 形成绝缘层, 把该绝缘层平坦化的工序。

(混载装置)

本发明的混载装置混载着本发明的强电介质存储装置和从闪速存储器, 处理器, 模拟电路以及 SRAM 的群中选择出的至少一种。

附图说明

5 图 1 是模式地示出第 1 实施形态的强电介质存储装置的平面图。

图 2 是沿着图 1 的 A—A 线模式地示出强电介质存储装置的一部分的剖面图。

图 3 是模式地示出强电介质存储装置的制造工序的剖面图。

图 4 是模式地示出强电介质存储装置的制造工序的剖面图。

10 图 5 是放大地示出存储单元阵列一部分的平面图。

图 6 是沿着图 5 的 B—B 线的剖面图。

图 7 是模式地示出强电介质存储装置 1000 的制造工序的剖面图。

15 图 8 是模式地示出强电介质存储装置 1000 的制造工序的剖面图。

图 9 是模式地示出具有第 3 实施形态的强电介质电容器的存储单元阵列的主要部分的平面图。

图 10 是沿着图 9 的 C—C 线的剖面图。

20 图 11 是模式地示出第 3 实施形态的存储单元阵列 200C 的制造工序的剖面图。

图 12 是模式地示出第 3 实施形态的存储单元阵列 200C 的制造工序的剖面图。

图 13 是模式地示出第 3 实施形态的存储单元阵列 200C 的制造工序的剖面图。

25 图 14 是模式地示出第 3 实施形态的存储单元阵列 200C 的制造工序的剖面图。

图 15 是模式地示出具有本实施形态的强电介质电容器的存储单元阵列的主要部分的平面图。

图 16 是沿着图 15 的 D—D 线的剖面图。

30 图 17 是沿着图 15 的 E1—E1 线的剖面图。

图 18 是沿着图 15 的 E2—E2 线的剖面图。

图 19 模式地示出本实施形态的存储单元阵列 200D 的制造工序。

图 20 模式地示出本实施形态的存储单元阵列 200D 的制造工序。

图 21 模式地示出本实施形态的存储单元阵列 200D 的制造工序。
图 22 模式地示出本实施形态的存储单元阵列 200D 的制造工序。
图 23 模式地示出本实施形态的存储单元阵列 200D 的制造工序。
图 24 模式地示出本实施形态的存储单元阵列 200D 的制造工序。
5 图 25 模式地示出本实施形态的存储单元阵列 200D 的制造工序。
图 26 模式地示出本实施形态的存储单元阵列 200D 的制造工序。
图 27 是模式地示出存储单元阵列的变形例的剖面图。
图 28 是模式地示出存储单元阵列的变形例的剖面图。
图 29 是模式地示出存储单元阵列的变形例的剖面图。
10 图 30 是模式地示出存储单元阵列的变形例的剖面图。
图 31 是模式地示出存储单元阵列的变形例的剖面图。

图 32 是模式地示出适用了本发明的强电介质存储装置的嵌入式装置的一例的平面图。

具体实施方式

15 以下，参照附图说明本发明的适宜的实施例。

第 1 实施形态 (器件)

图 1 是模式地示出第 1 实施形态的强电介质存储装置的平面图，
图 2 是沿着图 1 的 A—A 线模式地示出强电介质存储装置的一部分的
20 剖面图。

本实施形态的强电介质存储装置 1000 具有存储单元阵列 100 和
周边电路部分 200。而且，存储单元阵列 100 与周边电路部分 200
形成在不同的层中。周边电路部分 200 形成在存储单元阵列 100 的
外侧区域中。具体地讲，在存储单元阵列的形成区域 A100 的外侧区
25 域中设置周边电路部分的形成区域 A200。在该例子中，在下层形成
周边电路部分 200，在上层形成存储单元阵列 100。作为周边电路部
分 200 的具体例子，可以举出 Y 门，读出放大器，输入输出缓冲器，
X 地址译码器，Y 地址译码器或者地址缓冲器。

存储单元阵列 100 配置成使得用于行选的第 1 信号电极（字线）
30 12 与用于列选的第 2 信号电极（位线）16 正交。另外，信号电极也
可以与上述相反，第 1 信号电极可以是位线，第 2 信号电极可以是
字线。

而且，如图 2 所示，在第 1 信号电极 12 与第 2 信号电极 16 之

间配置强电介质层 14。从而，在第 1 信号电极 12 与第 2 信号电极 16 的交叉区域中，分别构成由强电介质电容器组成的存储单元。强电介质层 14 形成为使得在邻接的存储单元中的强电介质层 14 相互连接。具体地讲，在存储单元阵列的形成区域 A100 中连续地形成强电介质层 14。

而且，形成由绝缘层构成的第 1 保护层 36，使得覆盖第 1 信号电极 12，强电介质层 14 以及第 2 信号电极 16。进而，在第 1 保护层 36 上形成绝缘性的第 2 保护层 38，使得覆盖第 2 布线层 40。

周边电路部分 200 如图 1 所示，包括用于对上述存储单元选择性地地进行信息的写入或者读出的各种电路，例如，包括用于选择性地控制第 1 信号电极 12 的第 1 驱动电路 50，用于选择性地控制第 2 信号电极 34 的第 2 驱动电路 52，读出放大器等信号检测电路（未图示）。

另外，周边电路部分 200 如图 2 所示，包含形成在半导体基板 110 上的 MOS 晶体管 112。MOS 晶体管 112 具有栅极绝缘层 112a，栅极电极 112b 以及源/漏区 112c。各个 MOS 晶体管 112 由元件分离区 114 分离。在形成了 MOS 晶体管 112 的半导体基板 110 上，形成着第 1 层间绝缘层 10。而且，周边电路部分 200 与存储单元阵列 100 由第 1 布线层 40 电连接。

其次，说明本实施形态的强电介质存储装置 1000 中的写入，读出动作的一例。

首先，在读出动作中，在选择单元的电容器上加入读出电压「 V_0 」。该电压同时兼进行‘0’的写入动作。这时，用读出放大器读出沿着被选择的位线流动的电流或者把字线置为高阻时的电位。这时，在非选择单元的电容器上，为了防止读出时的串音，加入预定的电压。

在写入动作中，在‘1’的写入的情况下，在选择单元的电容器上加入「 $-V_0$ 」的电压。在‘0’的写入的情况下，在选择单元的电容器上，加入使该选择单元的极化反转的电压，在读出动作时，保持被写入的‘0’的状态。这时，在非选择单元的电容器上，为了防止写入时的串音，加入预定的电压。

如果依据上述结构的强电介质存储装置，则在存储单元阵列 100 下不形成周边电路部分。因此，由于第 1 层间绝缘层 10 下的基体是

平坦的，因此容易地使第1层间绝缘层10堆积时的膜厚恒定。第1层间绝缘层10在堆积时的膜厚越恒定，则就越容易进行第1层间绝缘层10的平坦化。其结果，能够容易地形成具有所希望图形的存储单元阵列100。

5 (器件的制造方法)

其次，说明上述的强电介质存储装置的制造方法的一例。图3以及图4是模式地示出强电介质存储装置1000的制造工序的剖面图。

如图3所示，使用众所周知的LSI工序，形成周边电路200。
10 具体地讲，在半导体基板110上形成MOS晶体管112。例如，在半导体基板110上的预定区域中，使用槽分离法，LOCOS法等，形成元件分离区114，接着，形成栅极绝缘层112a以及栅极电极112b。然后，在半导体基板110中通过掺杂杂质，形成源/漏区112c。这样形成包含驱动电路50、52以及信号检测电路54等各种电路的周边电路部分200。接着，形成第1层间绝缘层10。

进而，在周边电路部分200的第1层间绝缘膜10上，形成第1信号电极12。作为第1信号电极12的材质，例如可以举出Ir， IrO_x ，Pt， RuO_x ， SrRuO_x ， LaSrCoO_x 。作为第1信号电极12的形成方法，能够举出溅射，蒸镀等方法。第1信号电极12能够具有单一的层或者叠层了多层的构造。
20

其次，蚀刻第1信号电极12，把第1信号电极12图形化。作为第1信号电极12的蚀刻方法，能够举出RIE，溅射蚀刻，等离子蚀刻等方法。

接着，在形成了第1信号电极12的第1层间绝缘层10上，形成强电介质层14。作为强电介质层14的材质，例如能够举出PZT ($\text{PbZr}_z\text{Ti}_{1-z}\text{O}_3$)，SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)。作为强电介质层14的成形方法，例如可以举出使用了溶胶-凝胶材料或者MOD材料的旋转涂敷法或者浸渍法，溅射法，MOCVD法，激光研磨法。
25

接着，蚀刻强电介质层14，把强电介质层14图形化。强电介质层14的图形化按照仅在存储单元阵列的形成区域A100中残留强电介质层14那样进行。
30

接着，在强电介质层14上形成第2信号电极16。第2信号电

极 16 的材质以及形成方法能够适用与第 1 信号电极 12 相同的材质和形成方法。然后，蚀刻第 2 信号电极 16，把第 2 信号电极 16 图形化。第 2 信号电极 16 的蚀刻方法能够适用与第 1 信号电极 12 相同的方法。

5 接着，在形成了第 2 信号电极 16 的强电介质层 14 上，形成由绝缘层构成的第 1 保护层 36，进而在第 1 保护层 36 的预定区域中形成通孔，然后，形成预定图形的第 1 布线层 40。第 1 布线层 40 把周边电路部分 100 与存储单元阵列 200 电连接。进而在最上层，形成由绝缘层构成的第 2 保护层 38。这样形成强电介质存储装置
10 1000。

第 2 实施形态

图 5 是放大地示出存储单元阵列的一部分的平面图，图 6 是沿着图 5 的 B—B 线的剖面图。在平面图中，() 内的数字示出最上层的下面的层。在本实施形态中，在实质上具有与第 1 实施形态的存储单元阵列相同功能的部件上标注相同的符号进行说明。

第 2 实施形态的强电介质存储装置与第 1 实施形态的不同之处在于，沿着第 2 信号电极 16 线形地形成强电介质层 14。通过线形地形成强电介质层 14，能够减小第 1 信号电极 12 的杂散电容。另外，这样线形的强电介质层 14 如后述那样，能够使用在第 2 信号电极 16 的图形化中使用的掩模进行图形化而形成。

另外，在由强电介质层 14 与第 2 信号电极 16 构成的叠层体的相互之间形成着电介质层 18，使得覆盖基体 10 以及第 1 信号电极 12 的露出面。该电介质层 18 最好具有比强电介质层 14 小的介电率。这样通过使比强电介质层 14 的介电率小的电介质层 18 存在于由强电介质层 14 以及第 2 信号电极 16 构成的叠层体的相互之间，能够减小第 2 信号电极 16 的杂散电容。其结果，能够更高速地进行强电介质存储装置 1000 中的写入以及读出的动作。

其次，说明上述第 6 变形例的制造方法的一例。图 7 以及图 8 是模式地示出强电介质存储装置 1000 的制造工序的剖面图。

(1) 第 1 信号电极的形成工序

首先，如图 7 所示，在基体（例如层间绝缘层）10 上，形成以预定图形配置的第 1 信号电极（下电极）12。第 1 信号电极 12 的形

成方法例如在基体 10 上成膜用于形成第 1 信号电极 12 的电极材料，把被成膜了的电极材料图形化。

电极材料只要是具有成为强电介质电容器的一部分的功能的材料则没有特别的限定。例如，作为构成强电介质层 14 的材料使用了 PZT 的情况下，作为构成第 1 信号电极 12 的电极材料，能够使用白金，铱及其化合物等。作为第 1 信号电极 12 的材质，例如能够举出 Ir, IrO_x, Pt, RuO_x, SrRuO_x, LaSrCoO_x。另外，第 1 信号电极 12 能够使用单层或者叠层了多层的材料。

作为电极材料的成膜方法，能够利用溅射，真空蒸镀，CVD 等方法。作为图形化方法，能够利用光刻技术。作为选择性地去除被成膜了的电极材料的方法，能够使用 RIE，溅射蚀刻，等离子蚀刻等蚀刻方法。

作为电极材料的形成方法，也可以不使用基于上述蚀刻的图形化，而使用在第 3 实施形态中叙述的利用了表面修饰层的方法（参照第 3 实施形态中的（器件的制造方法）栏目中的工序（1），（2））。

（2）强电介质层的成膜工序

如图 7 所示，在形成了预定图形的第 1 信号电极 12 的基体 10 上，在整个面上形成由强电介质体构成的连续层 140（以下，把其称为「强电介质层 140」）。作为强电介质层 140 的成形方法，例如，能够举出使用了溶胶 - 凝胶材料或者 MOD（metal organic decomposition）材料的旋转涂敷法或者浸渍法，溅射法，MOCVD（metal organic chemical vapor deposition）法，激光研磨法。

作为强电介质层的材质，只要示出强介电性，能够用作为电容器绝缘层，则其组成就可以适用任意的材质。作为这样的强电介质体，例如，能够举出 PZT（PbZr₂Ti₁₋₂O₃），SBT（SrBi₂Ta₂O₉），进而，还能够适用在这些材料中添加铌或者镍，镁等金属的材料等。作为强电介质体，具体地讲，能够使用钛酸铅（PbTiO₃），锆钛酸铅（Pb（Zr、Ti）O₃），锆酸铅（PbZrO₃），钛酸铅镧（（Pb、La）、TiO₃），锆钛酸铅镧（（Pb、La）（Zr、Ti）O₃）或者镁铌酸锆钛酸铅（Pb（Zr、Ti）（Mg、Nb）O₃）等。

作为上述强电介质体的材料，例如 PZT 的情况下，对于 Pb 能够使用 Pb（C₂H₅）₄，（C₂H₅）₃PbOCH₂C（CH₃）₃，Pb（C₁₁H₁₉O₂）₂ 等，对于 Zr 能够使用 Zr（n-OC₄H₉）₄，Zr（t-OC₄H₉）₄，Zr（C₁₁H₁₉O₂）₄，

$\text{Zr}(\text{C}_{11}\text{H}_{19}\text{O}_2)_4$ 等, 对于 Ti 能够使用 $\text{Ti}(\text{i}-\text{C}_3\text{H}_7)_4$ 等, 在 SBT 的情况下, 对于 Sr 能够使用 $\text{Sr}(\text{C}_{11}\text{H}_{10}\text{O}_2)_2$ 等, 对于 Bi 能够使用 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 等, 对于 Ta 能够使用 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 等。

(3) 第 2 信号电极的形成工序

5 如图 7 所示, 在强电介质层 140 上, 形成预定图形的第 2 信号电极 (上部电极) 16。其形成方法, 例如在强电介质层 140 上成膜用于形成第 2 信号电极 16 的电极材料, 把被成膜了的电极材料图形化。具体地讲, 在被成膜了的电极材料层上形成预定图形的抗蚀剂层 30, 以该抗蚀剂层 30 为掩模通过选择性地蚀刻电极材料层, 形
10 成第 2 信号电极 16。

第 2 信号电极 16 的材料, 成膜方法, 使用了光刻的图形化方法, 由于与上述工序 (1) 的第 1 信号电极 12 的前端工序相同, 因此省略记述。

(4) 强电介质层的图形化工序

15 如图 7 以及图 8 所示, 以抗蚀剂层 30 为掩模, 进而选择性地去除强电介质层 140, 把强电介质层 14 图形化。作为选择性地去除被成膜了的强电介质体材料的方法, 能够使用 RIE, 溅射蚀刻, 等离子蚀刻等蚀刻方法。然后, 用众所周知的方法, 例如溶解或者灰化法去除抗蚀剂层 30。

(5) 电介质层的形成工序

20 如图 6 所示, 在由强电介质层 14 和第 2 信号电极 16 构成的叠层体的相互之间形成电介质层 18。作为电介质层 18 的形成方法, 能够使用 CVD, 特别是 MOCVD 等汽相法, 或者采用了旋转涂敷法或浸渍法等液相的方法。

25 电介质层 18 如上述那样, 最好具有比构成强电介质电容器的强电介质层 14 小的介电率的电介质材料。例如, 作为强电介质层使用了 PZT 材料的情况下, 作为电介质层 18 的材料, 例如能够使用 SiO_2 , Ta_2O_5 , SrTiO_3 , MgO 等无机材料或者聚亚胺等有机材料, 作为强电介质层 14 使用了 SBT 的情况下, 作为电介质层 18 的材料, 能够使
30 用 SiO_2 , Ta_2O_5 , SrTiO_3 , SrTa_2O_6 , SrSnO_3 等无机材料或者聚亚胺等有机材料。

通过以上的工序, 形成存储单元阵列 200B。如果依据该制造方法, 则由于构成强电介质电容器 20 的强电介质层 14 把在第 2 信号

电极 16 的图形化中使用的抗蚀剂层 30 作为掩模连续地进行图形化，因此能够减少工序数。进而该情况与把各层用一个个掩模进行图形化的情况相比较，由于不需要与一个掩模的配合余量，因此还能过实现存储单元阵列的高集成化。

5 第 3 实施形态

图 9 是模式地示出具有第 3 实施形态的强电介质电容器的存储单元阵列的主要部分的平面图，图 10 是沿着图 9 的 C—C 线的剖面图。

10 在第 3 实施形态中，在实质上具有与第 1 实施形态的存储单元阵列相同功能的部件上标注相同的符号进行说明。

本实施形态与第 1 实施形态的不同点在于在第 1 信号电极（下电极）上线形地叠层形成构成强电介质电容器的强电介质层。

15 本实施形态的存储单元阵列 200C 在绝缘性的基体（例如层间绝缘层）10 上叠层第 1 信号电极 12、构成强电介质电容器的第 1 强电介质层 14 以及第 2 信号电极 16。而且，由第 1 信号电极，强电介质层 14 以及第 2 信号电极 16 构成强电介质电容器 20。即，在第 1 信号电极与第 2 信号电极 16 的交叉区域中，构成分别由强电介质电容器 20 构成的存储单元。

20 如图 9 所示，沿着 X 方向以及 Y 方向分别以预定的间距排列第 1 信号电极 12 和以及第 2 信号电极 16。

25 强电介质层 14 选择性地形成在第 1 信号电极 12 上。另外，在基体 10 上，在第 1 信号电极 12 的相互之间，配置着后面详述的表面修饰层 22。在该表面修饰层 22 上形成着电介质层 18。该电介质层 18 最好具有比强电介质层 14 小的介电率。这样在由第 1 信号电极 12 和强电介质层 14 构成的叠层体的相互之间，通过存在比强电介质层 14 的介电率小的电介质层 18，能够减小第 2 信号电极 16 的杂散电容。其结果，能够更高速地进行强电介质存储装置中的写入以及读出的动作。

（器件的制造方法）

30 图 11~图 14 是模式地释出第 3 实施形态的存储单元阵列 200C 的制造工序的剖面图。

（1）表面修饰层的形成

首先,进行在基体 10 的表面特性方面提供选择性的工序。这里,所谓在基体 10 的表面特性方面提供选择性,指的是在基体 10 表面上,对用于使其表面堆积的材料,形成湿润性等表面特性不同的区域。

5 在本实施形态中,如图 11 所示,具体地讲,在基体 10 的表面上,形成第 1 区域 24 和第 2 区域 26,其中,第 1 区域 24 对用于形成构成强电介质电容器的部件的材料,特别是用于形成电极的材料具有亲和性,第 2 区域 26 对用于形成构成强电介质电容器的材料,特别是用于形成电极的材料的亲和性比第 1 区域 24 小。而且,在后续
10 的工序中,利用该表面特性的差异,根据各区域之间的材料的堆积速度或者与基体的粘接性中的选择性,在第 1 区域 24 中,选择性地形成强电介质电容器。

 即,在后续的工序中,例如使用化学汽相生长法(CVD 法),物理汽相生长法或者液相法,能够在第 1 区域 24 以选择性的堆积工序
15 过程形成强电介质电容器的第 1 信号电极 12 以及强电介质层 14 的至少一方。即使在这样的情况下,例如在基体 10 的表面具有易于堆积用于形成构成强电介质电容器的部件的材料的性质时,在第 1 区域 24 中使表面露出,在第 2 区域 26 中形成难以堆积上述材料的表面修饰层 22,对于形成构成强电介质电容器的部件的材料的堆积提
20 供选择性。

 在本实施形态中,在基体 10 表面的整个面上形成了表面修饰层以后,如图 11 所示,在第 1 区域 24 中去除表面修饰层,在第 2 区域 26 中残留表面修饰层 22。详细地讲进行以下的工序。

 表面修饰层 22 既可以通过 CVD 等汽相生长法形成,也可以通过
25 使用了旋转涂敷法或者浸渍法等液相的方法形成,在该情况下,使用在液体或者溶剂中溶解的物质。作为这样的物质,例如能够使用硅烷偶联剂(有机硅化合物)或者硫羧化合物。

 这里,所谓硫羧化合物,指的是具有氢硫基($-SH$)的有机化合物(R^1-SH ; R^1 是烷基等可置换的烃基)的总称。把这样的硫羧
30 化合物例如溶解在二氯甲烷,三氯甲烷等有机溶剂中,做成 $0.1 \sim 10\text{mM}$ 左右的溶液。

 另外,作为硅烷偶联剂,是用 $R^2_n\text{SiX}_{4-n}$ (n 是自然数, R^2 是氢,

烷基等可置换的烃基)表示的化合物, X 是 $-OR^3$, $-COOH$, $-OOCR^3$, $-NH_3-R^3$, $-OCN$, 卤等 (R^3 是烷基等可置换的烃基)。在这些硅烷偶联剂以及硫羧化合物中, 特别是具有 R^1 或者 R^3 是 $C_nF_{2n+1}C_mH_{2m}$ (n, m 是自然数) 那样氟原子的化合物由于表面自由能量升高, 与其它材料的亲和性减小, 因此特别适于使用。

另外, 能够使用以基于具有氢硫基或者 $-COOH$ 基的化合物的上述方法得到的膜。基于以上材料的膜通过适当的方法能够以单分子膜或者其累积膜的形式使用。

在本实施形态中, 如图 11 所示, 在第 1 区域 24 中不形成表面修饰层。作为表面修饰层 22 例如使用了硅烷偶联剂时, 通过照射光, 在与基体 10 的界面, 有时将切断并去除分子的结合。在由这样的光进行的图形化中, 能够适用以光刻进行的掩模曝光。或者, 也可以不使用掩模, 而通过激光, 电子线或者离子束等直接进行图形化。

另外, 在其它的基体上形成表面修饰层 22 自身, 通过把其复制在第 2 区域 26 中选择性地形成表面修饰层 22, 还能够与成膜的同时进行图形化。

这样, 如图 11 所示, 在第 1 区域 24 与成为用表面修饰层 22 覆盖的状态的第 2 区域 26 之间, 使表面状态不同, 能够在材料的亲和性方面产生差异, 该材料用于形成后续的工序中的构成强电介质电容器的部件的。特别是, 表面修饰层 22 由于具有氟分子等的理由, 如果具有防水性, 例如, 在以液相提供构成强电介质电容器的部件的材料时, 则能够在第 1 区域 24 选择性地提供该材料。另外, 根据表面修饰层 22 的材料, 在不存在表面修饰层的第 1 区域 24 中, 能够以与材料的亲和性进行基于汽相法的成膜, 其中, 该材料用于形成上述部件。这样, 在第 1 区域 24 和第 2 区域 26 的表面性质方面提供选择性, 在后续的工序中, 能够形成强电介质存储装置的强电介质电容器的部件 (在本实施形态中是第 1 信号电极 12 以及强电介质层 14)。

(2) 第 1 信号电极的形成工序

如图 12 所示, 对应第 1 区域 24 形成成为强电介质电容器的下部电极的第 1 信号电极 12。例如, 对于基体 10 的表面的总体, 进行基于汽相法的成膜工序过程。通过这样做, 进行选择堆积工序过

程。即，由于在第 1 区域 24 中进行成膜，在第 2 区域 26 中难以进行成膜，因此仅在第 1 区域 24 中形成第 1 信号电极 12。这里，作为汽相法最好适用 CVD，特别是 MOCVD。在第 2 区域 26 中，最好完全不进行成膜，但也可以比第 1 区域 24 中的成膜在成膜速度方面迟缓 2 位以上。

另外，在第 1 信号电极 12 的形成方面还可以采用以液相的状态在第 1 区域 24 中选择性地供给其材料的溶液的方法，或者使用超声波等把其材料的溶液汽化选择性地提供给第 1 区域 24 的雾化喷镀法。

作为构成第 1 信号电极 12 的材料，与在第 1 实施形态中叙述的相同，例如能够使用白金，铱等。在基体 10 上形成第 1 区域 24 和包括上述那样材料的表面修饰层 22（第 2 区域 26），在形成了表面特性的选择性时，对于白金，例如把 $(C_5H_7O_2)_2Pt$ ， $(C_5HFO_2)_2Pt$ ， $(C_3H_5)(C_5H_5)Pt$ 作为用于形成电极的材料，对于铱，例如把 $(C_3H_5)_3Ir$ 作为用于形成电极的材料，能够使其选择性地堆积。

（3）强电介质层的形成工序

如图 13 所示，在第 1 信号电极 12 上形成强电介质层 14。详细地讲，对于基体 10 表面的总体，例如进行基于汽相法的成膜工序。通过这样做，由于在第 1 信号电极 12 上进行成膜，在第 2 区域 26 中难以进行成膜，因此仅在第 1 信号电极 12 上形成强电介质层 14。这里，作为汽相法，能够使用 CVD，特别是 MOCVD。

另外，在强电介质层 14 的形成方面，还能够采用以液相的状态在形成于第 2 区域 26 以外的区域中的第 1 信号电极 12 上用喷墨法等选择性地供给其材料的溶液的方法，或者使用超声波等把其材料的溶液汽化选择性地供给到第 2 区域 26 以外的部分中的雾化喷镀法。

作为强电介质层 14，只要示出强介电性，能够用作为电容器绝缘层，则其组合能够适用任意的材料。例如，除去 SBT 系列材料，PZT 系列材料以外，还能够适用添加了铌或者氧化镍，氧化镁等金属氧化物的材料。作为强电介质的具体例子，能够例示与在第 2 实施形态中叙述的相同的例子。进而，作为强电介质材料的具体例子，能够例示与在第 2 实施形态中叙述过的相同的例子。

另外, 强电介质层 14 还能够如下形成。通过形成强电介质前驱层, 把强电介质前驱层进行热处理, 还能够形成强电介质层。作为强电介质前驱层, 能够举出非晶质状态或者微结晶状态的 SBT 膜, 非晶质状态或者微结晶状态的 PTZ 膜。作为强电介质前驱层的形成方法, 能够举出涂敷法, 溅射法, CVD 法, 激光研磨法等。热处理的温度因膜质而异, 在非晶质状态的 SBT 膜的情况下是 $600 \sim 700^{\circ}\text{C}$, 最好是 $600 \sim 650^{\circ}\text{C}$, 在非晶质状态的 PTZ 膜的情况下, 例如是 $400 \sim 500^{\circ}\text{C}$, 最好是 $400 \sim 450^{\circ}\text{C}$ 。如果依据该强电介质层的形成方法, 则与其它的形成方法相比较, 能够降低形成温度, 形成强电介质层。因此, 与其它的形成法相比较, 能够可靠地防止强电介质的构成物质从基体 10 剥离。

(4) 电介质层的形成工序

如图 14 所示, 在第 2 区域 26 上, 即, 在形成了第 1 区域 24 的, 由第 1 信号电极 12 和强电介质层 14 构成的叠层体的相互之间的区域中, 形成电介质层 18。作为电介质层 18 的形成方法, 能够使用 CVD, 特别是 MOCVD 等汽相法, 或者采用了旋转涂敷法和浸渍法等液相的方法。电介质层 18 例如通过 CMP (化学机械研磨) 法等, 平坦化使得具有与强电介质层 14 相同水平的平面。这样通过把电介质层 18 平坦化, 能够容易而且正确地进行第 2 信号电极 16 的形成。

电介质层 18 最好使用具有比构成强电介质电容器的强电介质层 14 小的介电率的电介质材料。例如, 作为强电介质层使用了 PZT 材料的情况下, 作为电介质层 18 的材料, 例如能够使用 SiO_2 、 Ta_2O_5 、 S_2TiO_3 、 MgO 等无机材料或者聚亚胺等有机材料, 作为强电介质层 14 使用了 SBT 的情况下, 作为电介质层 18 的材料, 能够使用 SiO_2 、 Ta_2O_5 、 SrTiO_3 、 SrTa_2O_6 、 SrSnO_3 等无机材料或者聚亚胺等有机材料。

(5) 第 2 信号电极的形成工序

如图 10 所示, 在强电介质层 14 以及电介质层 18 上形成预定图形的第 2 信号电极 (上部电极) 16。其形成方法, 例如在强电介质层 14 以及电介质层 18 上成膜用于形成第 2 信号电极 16 的电极材料, 把被成膜了的电极材料图形化。

电极材料只要是具有成为强电介质电容器的一部分的功能的材料即可, 没有特别的限制。例如, 作为构成强电介质层 14 的材料使

用 PZT 的情况下，与第 2 实施形态相同，作为构成第 2 信号电极 16 的电极材料，能够使用白金，铌及其化合物等。第 2 信号电极 16 能够使用单层或者叠层了多层的材料。

5 作为电极材料的成膜方法，与第 1 实施形态相同，能够使用溅射法，真空蒸镀，CVD 等方法。作为图形化方法，能够使用光刻技术。

进而，根据需要，在强电介质层 14，电介质层 18 以及第 2 信号电极 16 的表面整体地形成绝缘性的保护层。这样，能够形成本实施形态的存储单元阵列 200C。

10 如果依据本实施形态的制造方法，则能够在第 1 区域 24 中选择性地形成构成强电介质电电容器的至少一部分部件，在第 2 区域 26 中难以形成该部件。这样，能够不进行蚀刻，而形成第 1 信号电极（下电极）以及强电介质层的至少一个（在本实施形态中是第 1 信号电极 12 以及强电介质层 14）。如果依据该方法，则能够避免像作
15 为第 1 信号电极的图形化使用了溅射蚀刻时那样，由蚀刻而产生的二次生成物引起的再次附着物的问题。

在本实施形态的制造方法中，在图 13 所示的工序以后，在第 2 区域 26 上，还可以去除表面修饰层 22。该工序在完成了第 1 信号电极 12 以及强电介质层 14 的成膜工序以后进行。例如，能够用在
20 表面修饰层的图形化工序中说明过的方法，去除表面修饰层 22。在去除表面修饰层 22 时，最好也去除在其上面附着的物质。例如，在表面修饰层 22 上附着了第 1 信号电极 12 或者强电介质层 14 的材料时，也可以把它们去除。另外，去除表面修饰层 22 的工序并不是本发明的必要工作，也可以残留表面修饰层 22。

25 另外，在第 1 信号电极 12 的侧面形成着强电介质层 14 的情况下，最好也把它们去除。在去除工序中，例如能够适用干法蚀刻。

在上述实施形态中，在第 2 区域 26 中形成表面修饰层 22，使得第 1 区域 24 以及第 2 区域 26 的表面的每一个成为堆积容易程度不同的表面特性，其中，堆积容易程度即是由于接着形成的强电介
30 质电容器的至少一个部件（第 1 信号电极以及强电介质层的至少一方）的材料的堆积性。作为其变形例，在第 1 区域 24 中形成表面修饰层 22，调制液相或者汽相的组成，使得对于表面修饰层 22 的表

面优先地堆积用于形成强电介质电容器的至少一个部件的材料，在第1区域24中选择性地形成强电介质电容器。

另外，例如在第2区域26的表面选择性地形成上述那样的表面修饰层薄的层，在包含第1区域24以及第2区域26的整个面上，
5 以汽相或者液相供给用于形成强电介质电容器的至少一个部件的材料，在整个面上形成该部件材料的层，使用磨光方法和化学方法，仅选择性地去除表面修饰膜薄的层上的该部件的材料层，还能够第1区域24上选择性地得到该部件的材料层。

另外，也可以在第1区域24以及第2区域26的每一个表面上，
10 不特别明确地设置层，选择性地进行表面处理，在第1区域24上优先堆积用于形成强电介质电容器的至少一个部件的材料。

在本实施形态中作为特征的，有关使用了表面修饰层的第1信号电极（下电极）以及强电介质层的形成，记载在基于本发明申请人的专利合作条约的国际申请（申请号PCT/JP00/03590）中。

15 有关本实施例的强电介质存储装置的制造方法可以进行如下变形：也可以不使用表面修饰层，顺序堆积下部电极及强电介质层，用同一掩膜连续地使强电介质层及下部电极图像化。

第4实施形态

图15是模式地示出具有本实施形态的强电介质电容器的存储单元阵列的主要部分的平面图，图16是沿着图15的D—D线的剖面图。
20 图17是沿着图15的E1—E1线的剖面图，图18是沿着图15的E2—E2线的剖面图。

在本实施形态中，在实质上具有与第1实施形态的存储单元阵列相同功能的部件上标注相同的符号进行说明。

25 本实施形态与第1以及第2实施形态的不同点在于构成强电介质电容器的强电介质层14仅形成于第1信号电极与第2信号电极的交叉区域中。

本实施形态的存储单元阵列200D在绝缘性的基体10上，叠层第1信号电极12，构成强电介质电容器的强电介质层14以及第2
30 信号电极16。而且，由第1信号电极12、强电介质层14以及第2信号电极16构成强电介质电容器20。即，在第1信号电极12与第2信号电极16的交叉区域中，分别构成由强电介质电容器20构成

的存储单元。如图 15 所示，分别以预定的间距沿着 X 方向以及 Y 方向排列第 1 信号电极 12 以及第 2 信号电极 16。

强电介质层 14 仅选择性地形成在第 1 信号电极 12 以及第 2 信号电极 16 的交叉区域中。如图 16 所示，如果沿着第 2 信号电极 16 观看，则在基体 10 上，在第 1 信号电极 12 上叠层强电介质层 14 以及第 2 信号电极 16，而且，在第 1 信号电极 12 的相互之间配置表面修饰层 22，在该表面修饰层 22 上形成着电介质层 18。另外，如图 17 所示，如果沿着第 1 信号电极 12 观看，则第 1 信号电极 12 的预定位置，叠层着强电介质层 14 和第 2 信号电极 16。而且是强电介质层 14 以及第 2 信号电极 16 的叠层体的相互之间不存在任何层的状态。如图 17 所示，如果沿着第 1 信号电极 12 上观看，则第 1 信号电极 12 的预定位置，叠层着强电介质层 14 和第 2 信号电极 16。如图 18 所示，如果对于 X 方向的没有形成第 1 信号电极 12 的部分观看，则在表面修饰层 22 上的预定位置，叠层着电介质层 180 和第 2 信号电极 16。而且，在强电介质层 14 与第 2 信号电极 16 的叠层体的相互之间，以及电介质层 180 与第 2 信号电极 16 的叠层体的相互之间，能够根据需要形成电介质层。

电介质层 180 以及根据需要所形成的上述电介质层最好具有比强电介质层 14 小的介电率。这样通过在由第 1 信号电极 12 以及强电介质层 14 构成的叠层体的相互之间，或者由强电介质层 14 以及第 2 信号电极 16 构成的叠层体的相互之间，存在比强电介质层 14 的介电率小的电介质层，能够减小第 1 信号电极 12 以及第 2 信号电极 16 的杂散电容。其结果，能够更高速地进行强电介质存储装置中的写入以及读出的动作。

另外，在本实施形态中，构成强电介质电容器 20 的强电介质层 14 仅形成在第 1 信号电极 12 与第 2 信号电极 16 的交叉区域中。如果依据这样的构造，则在能够减小第 1 信号电极 12 以及第 2 信号电极 16 双方的杂散电容方面是有利的。

(器件的制造方法)

图 19~图 26 是模式地示出本实施形态的存储单元阵列 200D 的制造工序的剖面图。

(1) 表面修饰层的形成

首先, 进行在基体 10 的表面特性方面提供选择性的工序。这里, 所谓在基体 10 的表面特性方面提供选择性, 指的是在基体 10 表面, 对用于使堆积在该表面进行的材料, 形成湿润性等表面特性不同的区域。关于这一点由于与在第 2 实施形态中详细说明过的相同, 因此简单地说明。

在本实施形态中，如图 20 所示，具体地讲，在基体 10 的表面上，形成第 1 区域 24 和第 2 区域 26，其中，第 1 区域 24 具有对用于形成构成强电介质电容器的部件的材料，特别是用于形成电极的材料具有亲和性，第 2 区域 26 与第 1 区域 24 相比较，对用于形成构成强电介质电容器的部件的材料，特别是用于形成电极的材料的亲和性小。而且，在后续的工序中，利用该表面特性的差异，根据各区域之间的材料的堆积速度或者与基体的粘接剂中的选择性，在第 1 区域 24 中，选择性地形成强电介质电容器。

即，例如基体 10 的表面在具有易于堆积用于形成构成强电介质
15 电容器的部件的材料的情况下，在第 1 区域 24 中使表面露出，在第
2 区域 26 中形成难以堆积上述材料的表面修饰层 22，能够提供对用
于形成构成强电介质电容器的部件的材料的堆积的选择性。

在本实施形态中，在基体 10 表面的整个面上形成了表面修饰层以后，如图 20 所示，在第 1 区域 24 中去除表面修饰层，在第 2 区域 26 中残留表面修饰层 22。关于表面修饰层 22 的形成方法，能够采用与在第 2 实施形态中叙述过的相同的方法。

(2) 第 1 信号电极的形成工序

如图 21 所示, 对应第 1 区域 24 形成作为强电介质电容器的下部电极的第 1 信号电极 12。关于第 1 信号电极 12 的形成方法以及电极材料能够采用与在第 2 实施形态中叙述过的相同的方法和材料。

(3) 强电介质层的形成工序

如图 22 所示, 在第 1 信号电极 12 上形成强电介质层 140。详细地讲, 对于基体 10 表面的总体, 例如进行基于汽相法的成膜工序。通过这样做, 由于在第 1 信号电极 12 上进行成膜, 在第 2 区域 26 中难以进行成膜, 因此仅在第 1 信号电极 12 上形成强电介质层 140。作为强电介质层 140 的成膜方法, 能够采用与在第 2 实施形态中叙

述过的相同的方法。

作为强电介质层 14，只要示出强介电性，能够用作为电容器绝缘层，则其组成能够适用任何的材料。例如，除去 SBT 系列材料，PZT 系列材料以外，还能够适用添加了铌或者镍，镁等金属等材料等的材料。作为强电介质的具体例子，能够例示与在第 1 实施形态中叙述过的相同的介质。进而，作为强电介质材料的具体例子，能够例示与在第 1 实施形态中叙述过的相同的材料。

(4) 电介质层的形成工序

如图 19 以及图 23 所示，在第 2 区域 26 上，即在形成了第 1 区域 24 的由第 1 信号电极 12 与强电介质层 14 构成的叠层体的相互之间的区域中，形成电介质层 180。图 23 是沿着图 19 的 E3—E3 线的剖面图。

作为电介质层 180 的形成方法，能够采用与在第 1 实施形态中叙述过的相同的方法。进而，电介质层 180 最好通过例如 CMP 法等进行平坦化使得具有与强电介质层 140 同一水平的表面。通过这样把电介质层 180 平坦化，能够容易而且正确地进行第 2 信号电极 160 的形成。

电介质层 180 最好使用具有比构成强电介质电容器的强电介质层 14 小的介电率的电介质材料。例如，作为强电介质层在使用了 PZT 材料的情况下，作为电介质层 180 的材料，例如能够使用 SiO_2 、 Ta_2O_5 、 SrTiO_3 、 MgO 等无机材料或者聚亚胺等有机材料，作为强电介质层 14 使用了 SBT 的情况下，作为电介质层 180 的材料，能够使用 SiO_2 、 Ta_2O_5 、 SrTiO_3 、 SrTa_2O_6 、 SrSnO_3 等无机材料或者聚亚胺等有机材料。

通过以上的工序 (1) ~ (4)，在第 1 区域 24 中叠层第 1 信号电极 12 以及强电介质层 140，在第 2 区域 26 中叠层表面修饰层 22 以及电介质层 180。

(5) 第 2 信号电极的形成工序

如图 24 ~ 图 26 所示，在强电介质层 140 以及电介质层 180 上形成预定图形的第 2 信号电极 (上部电极) 16。其形成方法，例如，在强电介质层 140 以及电介质层 180 上，成膜用于形成第 2 信号电极 16 的电极材料，把被成膜了的电极材料图形化。

电极材料只要是具有成为强电介质电容器的一部分的功能的材

料则就没有特别限制。作为构成强电介质层 140 的材料，可以采用与在第 2 实施形态中叙述过的相同的材料。另外，作为电极材料的成膜方法，与第 1 实施形态相同，能够使用溅射，真空蒸镀、CVD 等方法，作为图形化方法，能够利用光刻技术。

- 5 例如，与第 2 实施形态相同，在（用于形成）第 2 信号电极 16 的电极材料层上形成未图示的抗蚀剂层，通过以该抗蚀剂层为掩模进行蚀刻，能够把第 2 信号电极 16 图形化。

（6）强电介质层的图形化工序

- 10 如图 17 以及图 18 所示，以未图示的抗蚀剂层为掩模，进而选择性地去除强电介质层 140，把强电介质层 14 图形化。作为选择性地去除被成膜了的强电介质材料的方法，与第 2 实施形态相同，能够使用 RIE，溅射蚀刻，等离子蚀刻等蚀刻方法。然后，通过众所周知的方法例如溶解或者_____去除抗蚀剂层。

（7）电介质层的形成工序

- 15 进而，根据需要，在由强电介质层 14 与第 2 信号电极 16 构成的叠层体的相互之间，以及由表面修饰层 22 与第 2 信号电极 16 构成的叠层体的相互之间，形成未图示的电介质层。作为电介质层的形成方法，能够使用与工序（4）的电介质层 180 相同的方法。

- 20 通过以上的工序，形成存储单元阵列 200D。如果依据该制造方法，则具有第 2 实施形态以及第 3 实施形态中的优点。即，能够不进行蚀刻而形成第 1 信号电极（下电极）以及强电介质层的至少一个（在本实施形态中是第 1 信号电极 12 以及强电介质层 14）。从而，能够避免像作为第 1 信号电极的图形化使用了溅射蚀刻时那样，起因于由蚀刻生成的二次生成物的再次附着物的问题。另外，由于把
25 在第 2 信号电极 16 的图形化中使用的抗蚀剂层作为掩模连续地进行图形化，因此能够减少工序数。进而这种情况与用一个个掩模把各层图形化的情况相比较，由于不需要一个掩模的配合余量，因此还能够进行存储单元阵列的高集成化。

- 30 以上示出了在不存在强电介质电容器的区域中形成电介质层 18 或者 180 的例子，当然，本发明也能够适用在没有设置电介质层 18 或者 180 的结构中。

上述实施形态强电介质存储装置也能够如下形成。

在基体的上面通过 CVD 法等形成下部电极，把该下部电极图形化。然后在包含下部电极的基体的上面形成强电介质层，把该强电介质层图形化。接着，在包含强电介质层的基体的上面，形成上部电极，把上部电极图形化。

5 存储单元阵列的变形例

其次，参照图 27～图 31 说明存储单元阵列的变形例。

(1) 第 1 变形例

图 27 是示出存储单元阵列 100E 的主要部分的剖面图。该存储单元阵列 100E 具有绝缘性基板 400，设置在形成于该绝缘性基板 400 的槽内的第 1 信号电极 12，强电介质层 14 和第 2 信号电极 16。该例中的特征在于使用所谓的波形花纹法形成第 1 信号电极 12。例如，第 1 信号电极在由氧化硅层构成的绝缘性基板 400 中形成了预定图形的槽以后，在该槽内通过电镀充填白金等金属，然后使用 CMP 法研磨金属层进行平坦化而形成。

15 通过这样使用织锦法形成第 1 信号电极，由于能够在绝缘性基板 400 上以没有阶差的状态形成强电介质层 14，因此能够容易地形成强电介质层 14。另外，由于通过加大第 1 信号布线 12 的高度能够减小其电阻，因此能够进行高速地写入、读出。

(2) 第 2 变形例

20 图 28 是模式地示出存储单元阵列 100F 的主要部分的剖面图。在该例中，在绝缘性基板 400 上形成预定图形的凹部 410 和凸部 420。而且，在凸部 410 的底面以及凸部 420 的上表面，分别形成第 1 信号电极 12a 以及 12b。在形成了这些第 1 信号电极 12a、12b 的绝缘性基板 400 上形成强电介质层 14，进而在强电介质层 14 上形成预定图形的第 2 信号电极 16。在该构造的存储单元阵列 100F 中，由于以沿着上下方向离开的状态交互地形成强电介质电容器，因此平面地观看，在相邻接的第 1 信号电极 12a 与第 1 信号电极 12b 之间不需要隔开空间。因而，能够以极高的集成度配置存储单元。

(3) 第 3 变形例

30 图 29 是模式地示出本实施形态的强电介质存储装置的平面图。该强电介质存储装置 4000 的特征之点例如把第 1 实施形态的强电介质存储装置 1000 作为单位块 1000A 并且排列了多个这样的块。这样

通过以分割了强电介质存储装置的状态进行配置，能够使信号电极的布线长度取为适宜的长度，其结果能够进行高速地写入、读出。作为单位块，还能够代替具有与第 1 实施形态的存储装置相同结构的单位块 1000A，而把第 2 实施形态的存储装置 2000、3000 作为单位块 2000A、3000A。

(4) 第 4 变形例

在上述实施形态中，存储单元阵列仅是一层。但是，并不是限定于此，也可以如图 30 所示那样是 2 层以上。即，可以经过层间绝缘层等保护层叠层了多个存储单元阵列 100a、100b。

(5) 第 5 变形例

如图 31 所示，能够在第 1 信号电极 12 之间，形成上表面与第 1 信号电极 12 的上表面是同一平面的绝缘层 40。这种情况下，由于能够在平坦的面上形成强电介质层，因此能够提高强电介质层的图形化的精度。

作为该绝缘层的形成方法，能够举出溶液涂敷法。另外，还能够利用选择生长法形成绝缘层。具体的选择生长的方法能够适用在第 3 以及第 4 实施形态中叙述过的方法。

另外，还可以先形成绝缘层，然后在绝缘层之间充填金属层，形成第 1 信号电极。金属层的充填能够举出溶液涂敷法。所使用的溶液例如能够举出分散了 3nm (30Å) 的金属微粉末的溶液。

在嵌入式半导体装置中的适用例

图 32 是示出适用了上述实施形态强电介质存储装置的嵌入式装置的设计。在该例中，嵌入式装置 2000 在 SOG (Sea of Gate) 上混载着闪速存储器 90，处理器 94，模拟电路 96。另外，还可以混载 SRAM。

本发明不限定于上述的实施形态，在不超出本发明的宗旨的范围内能够进行种种变更。

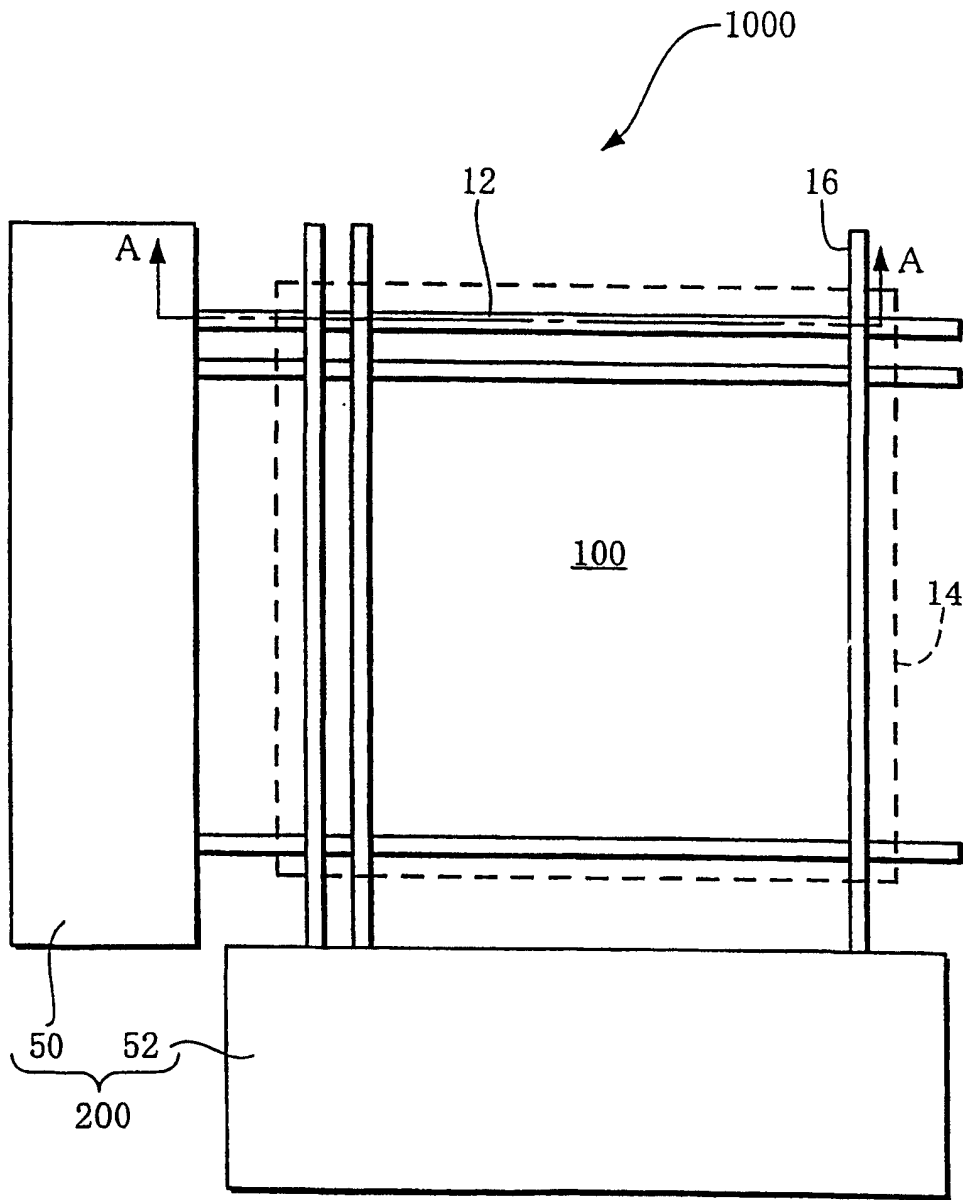


图 1

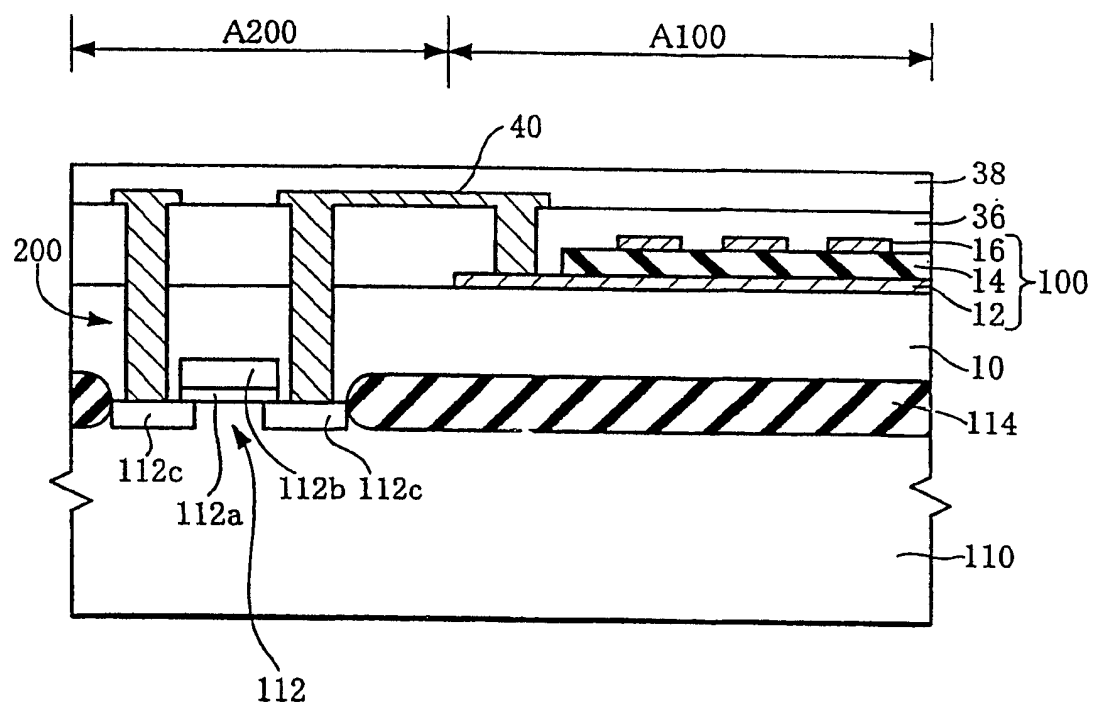


图 2

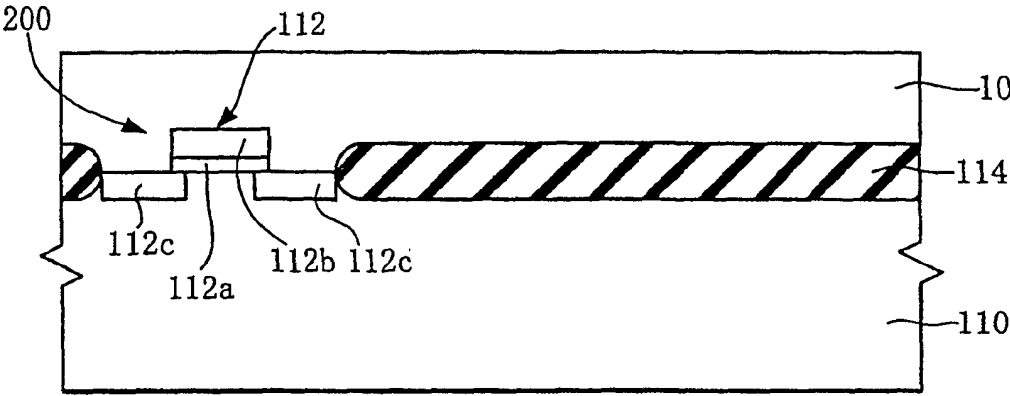


图 3

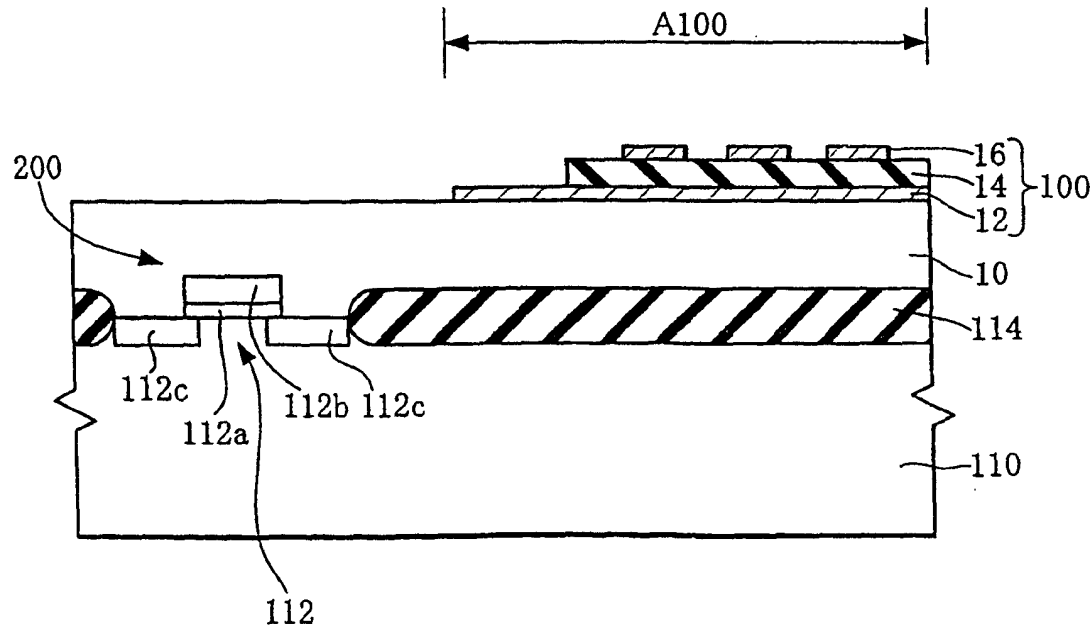


图 4

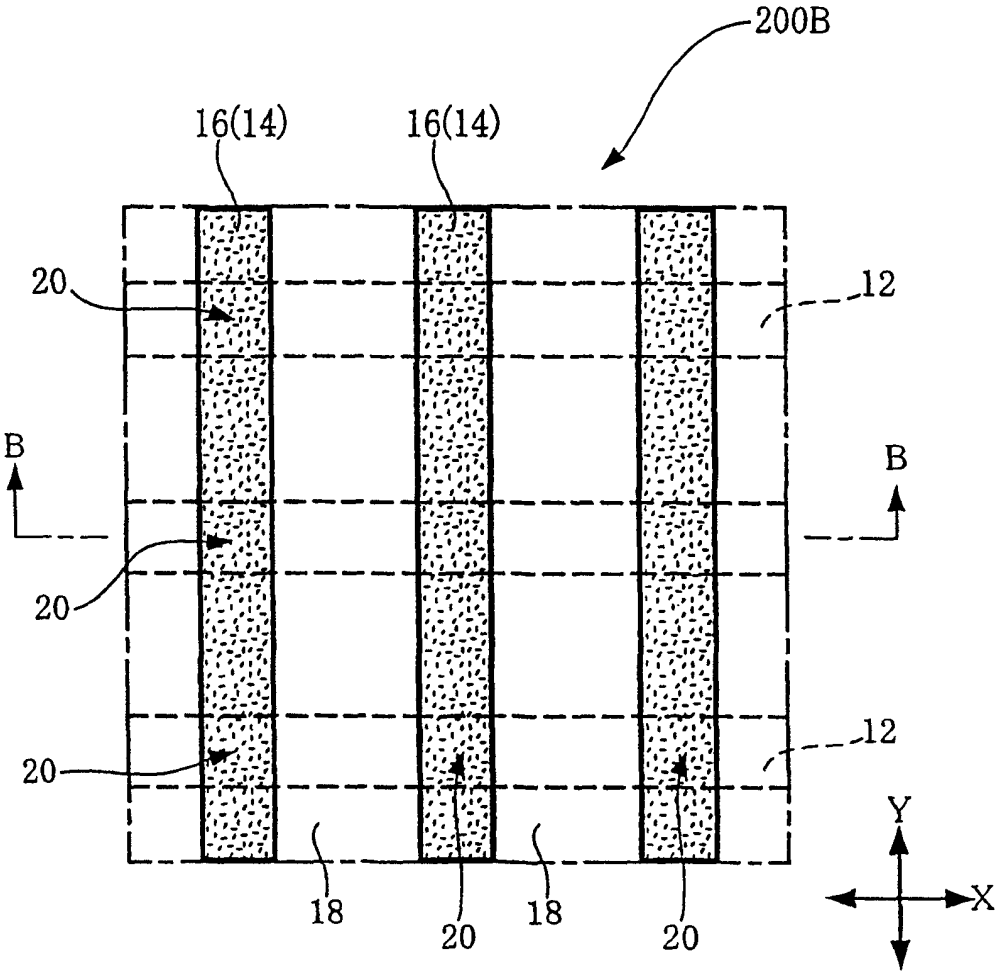


图 5

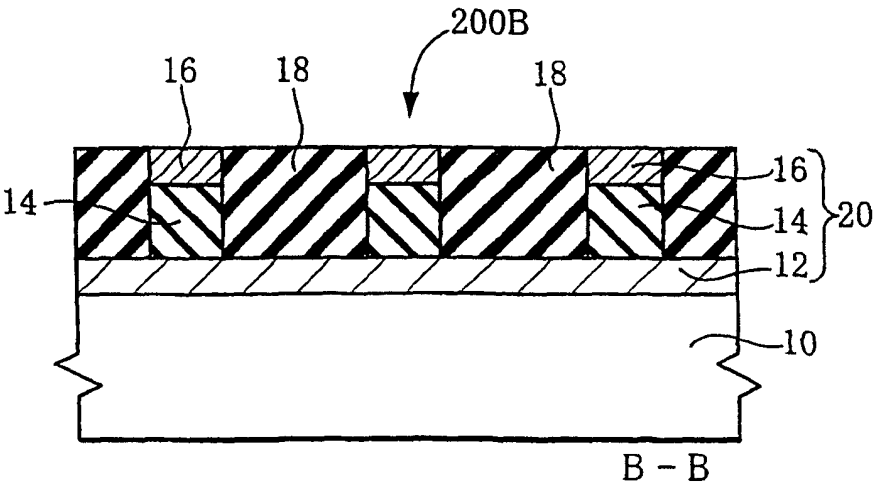


图 6

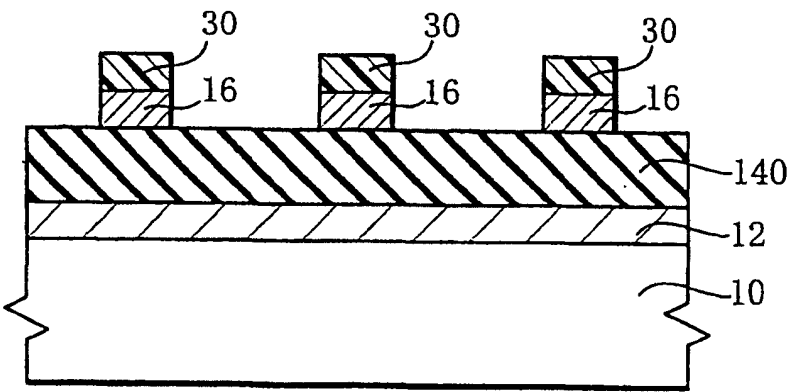


图 7

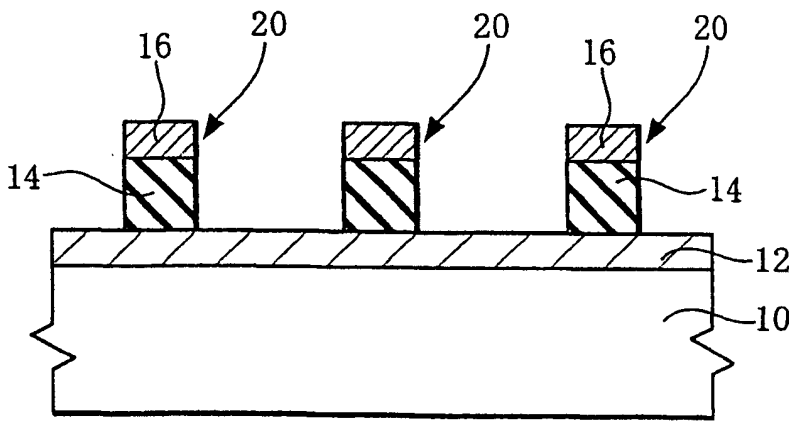


图 8

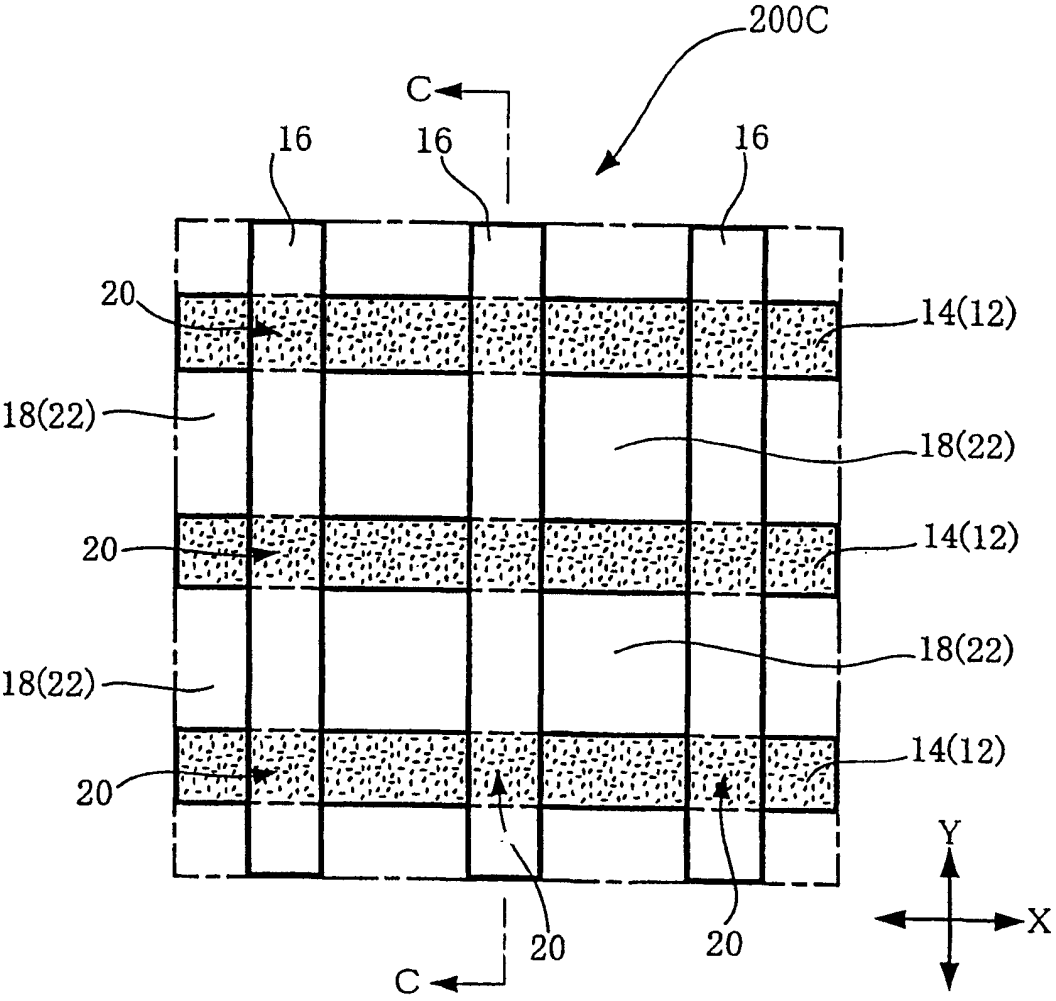


图 9

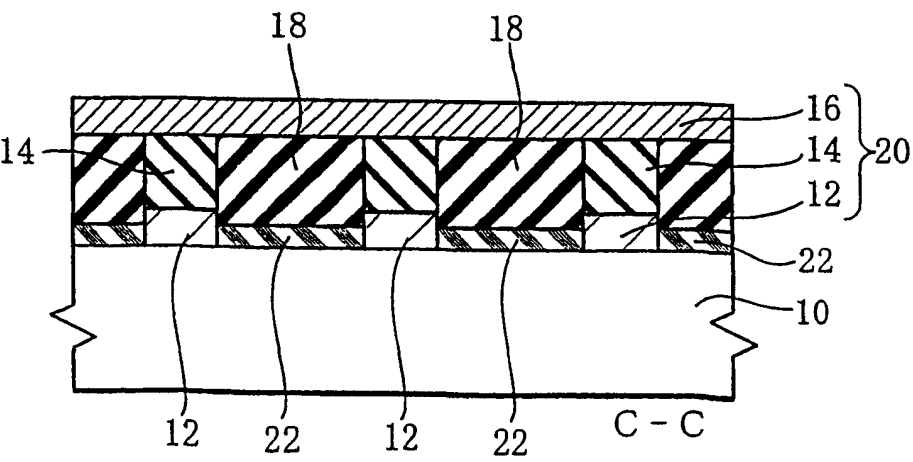


图 10

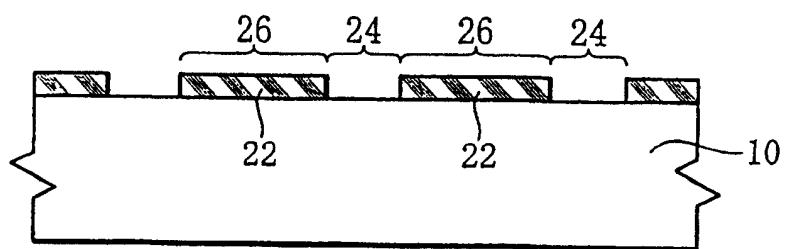


图 11

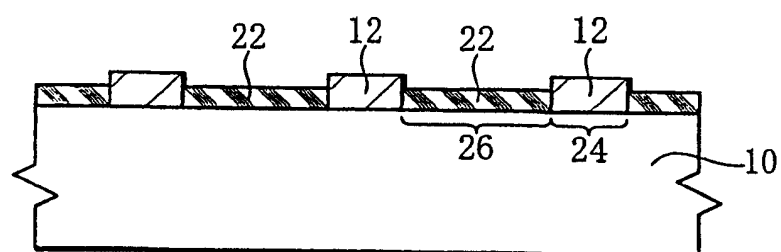


图 12

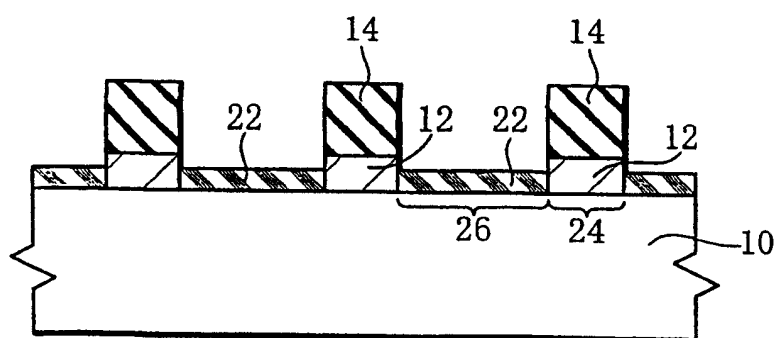


图 13

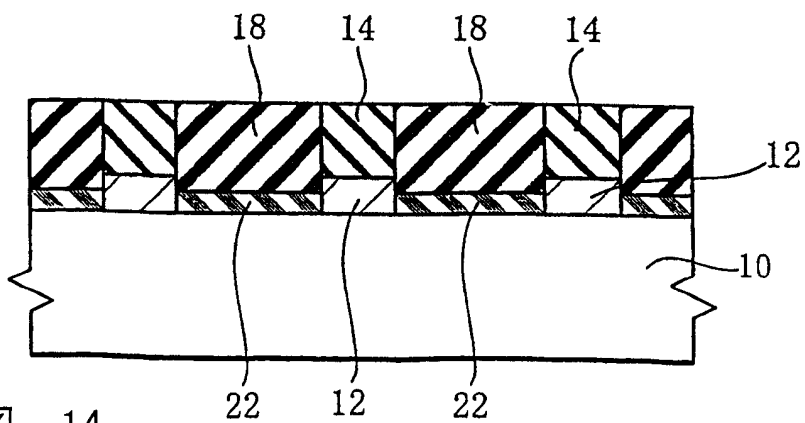


图 14

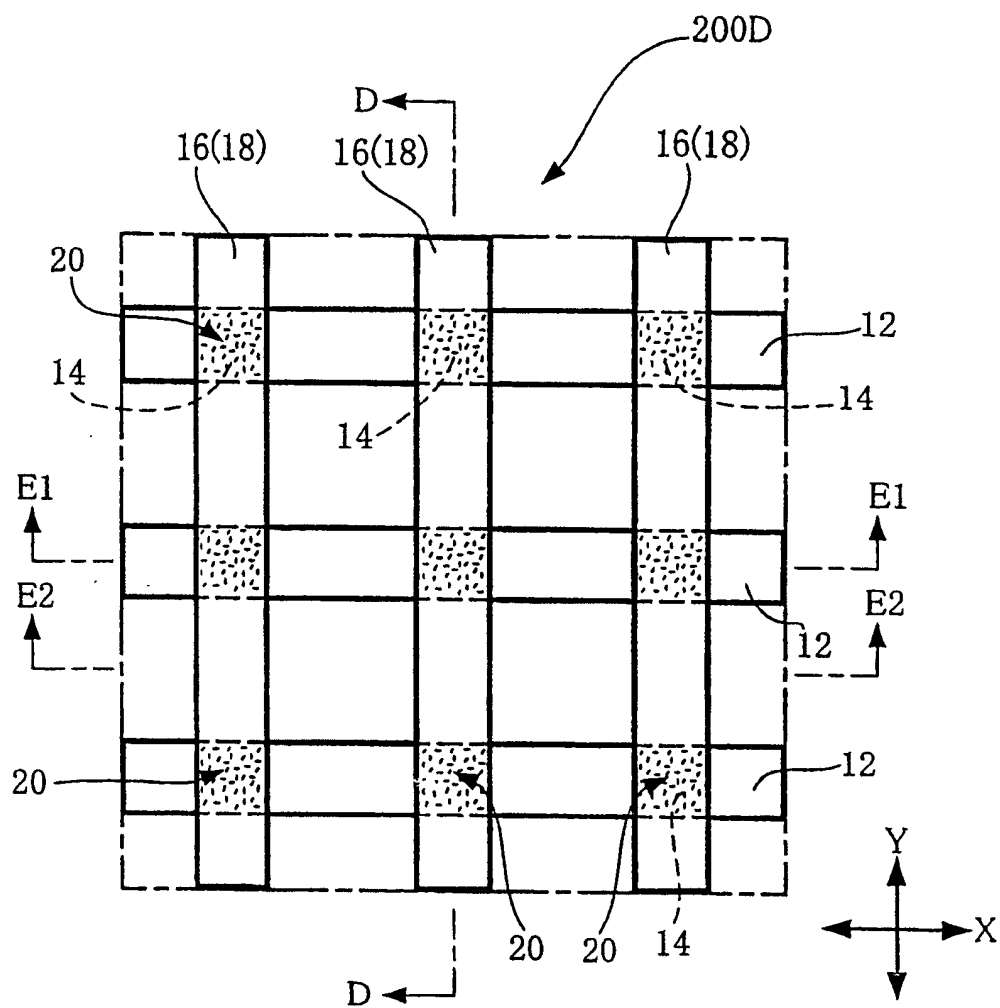


图 15

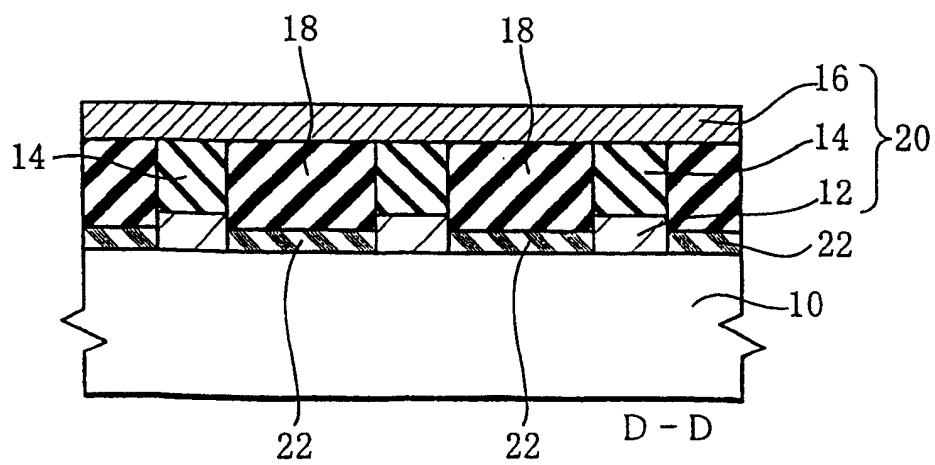


图 16

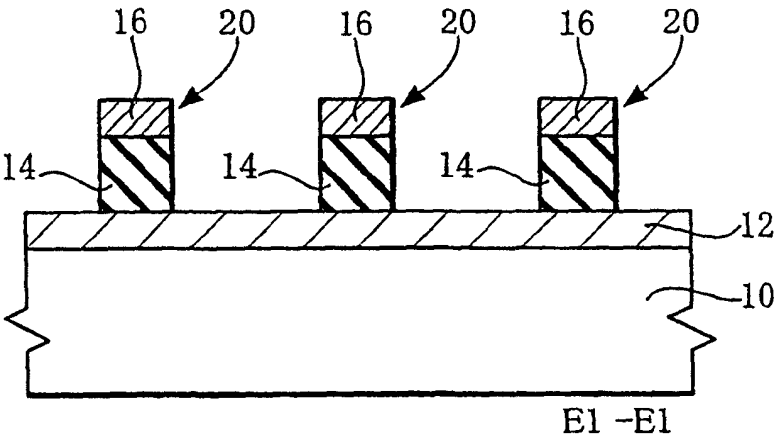


图 17

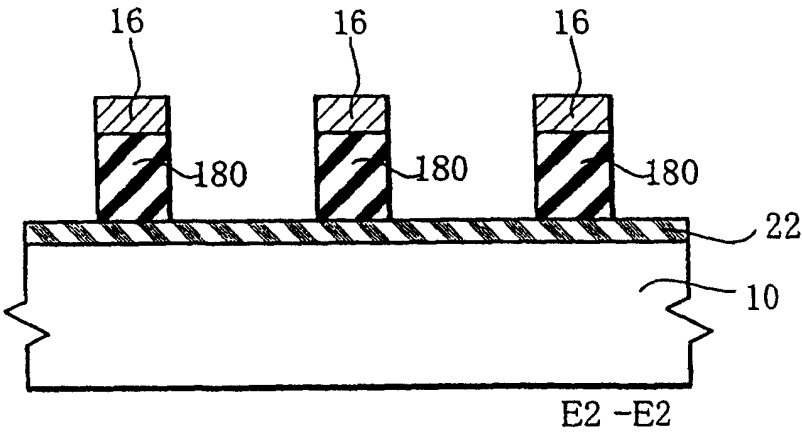


图 18

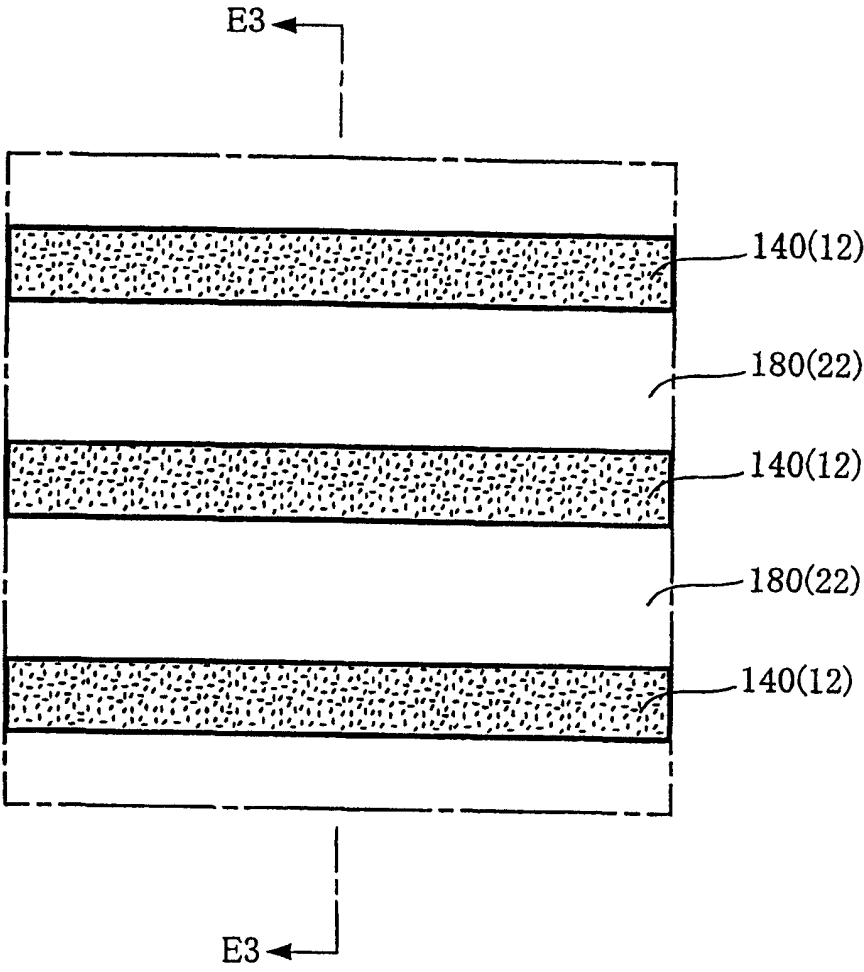


图 19

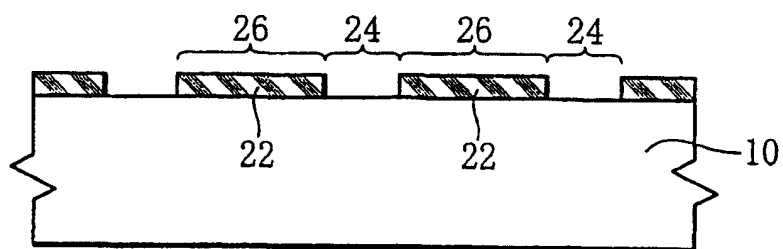


图 20

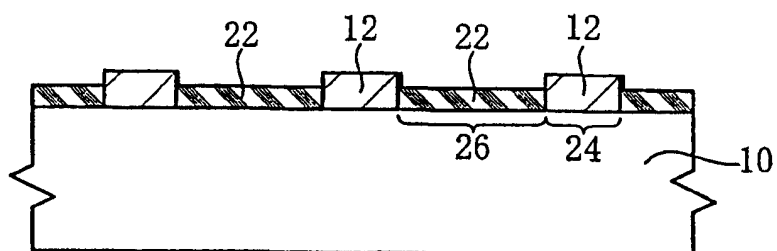


图 21

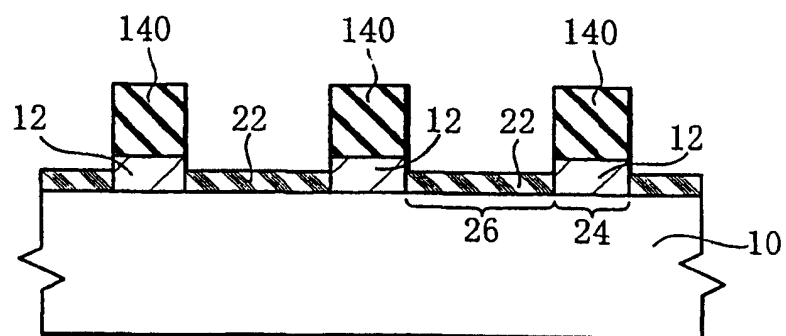


图 22

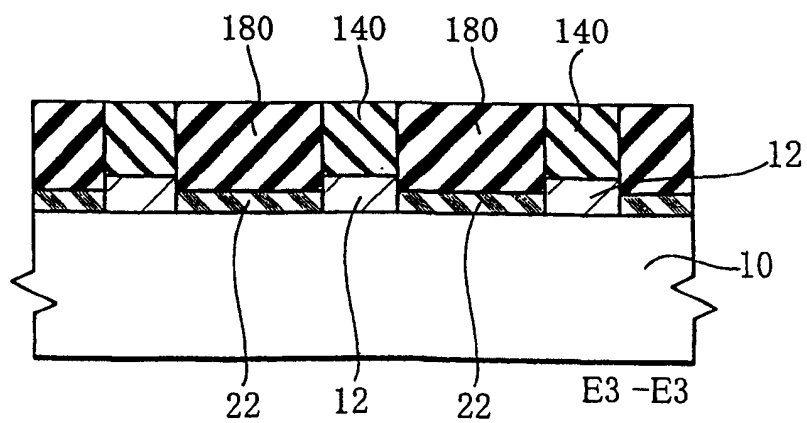


图 23

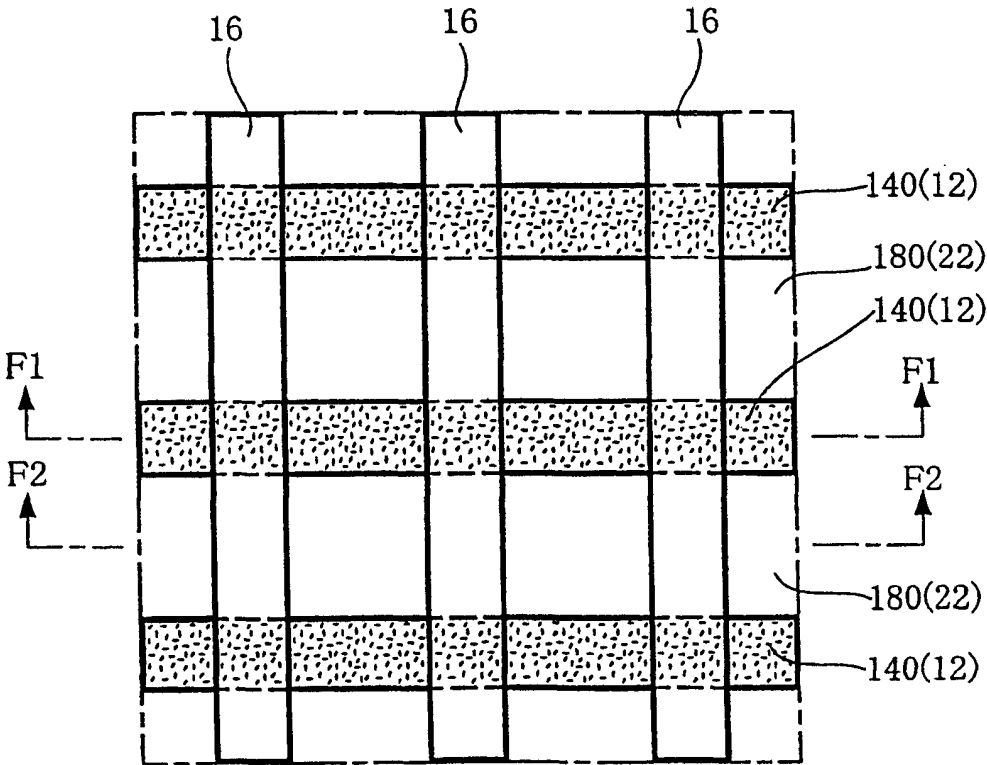


图 24

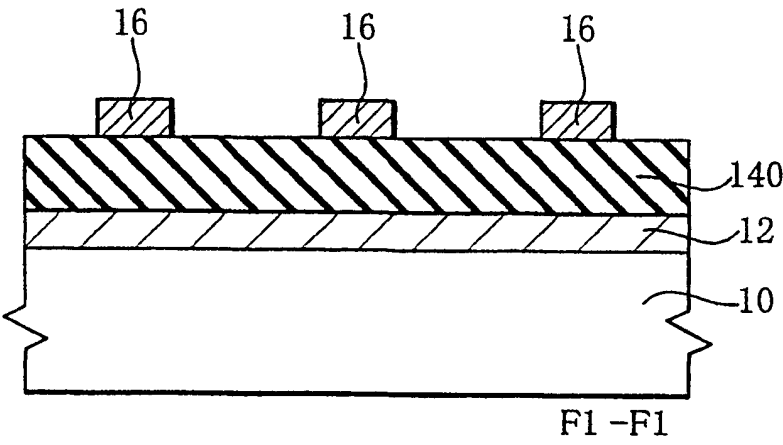


图 25

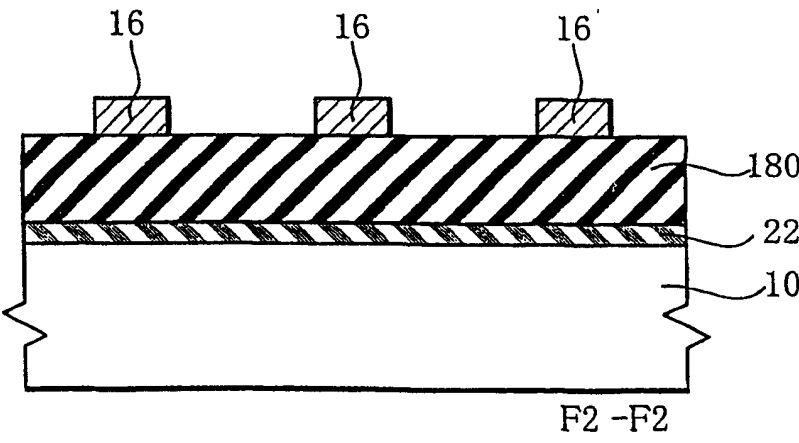


图 26

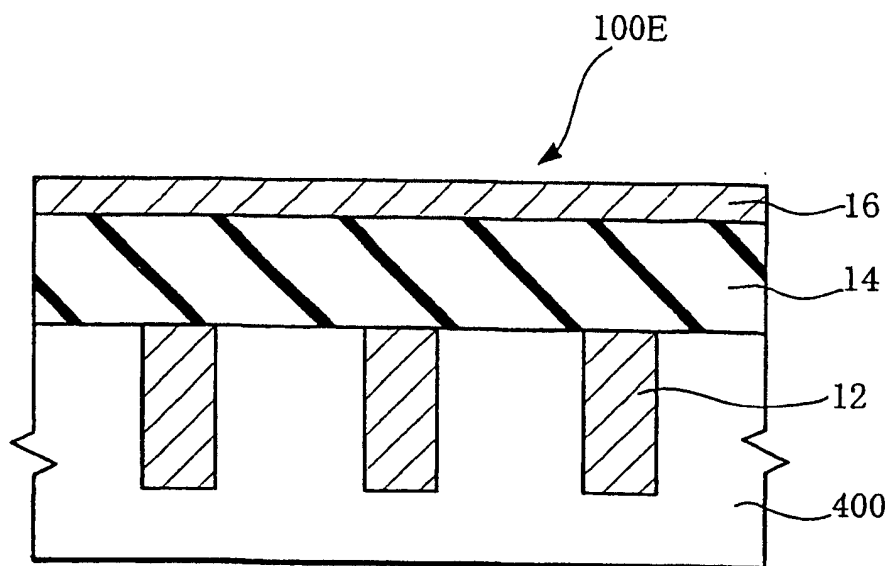


图 27

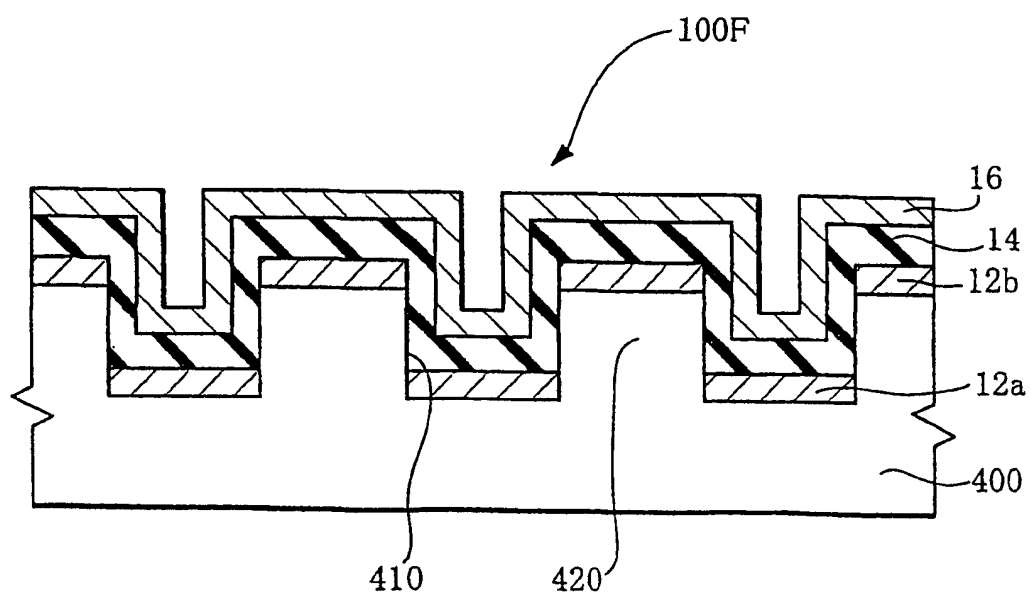


图 28

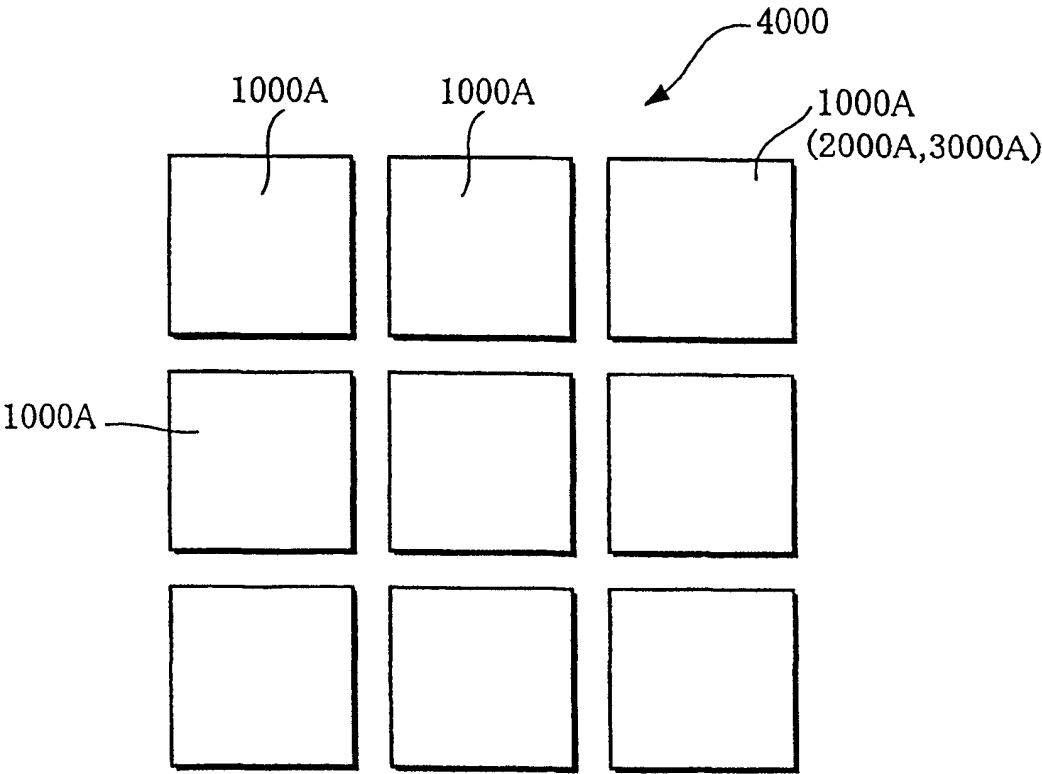


图 29

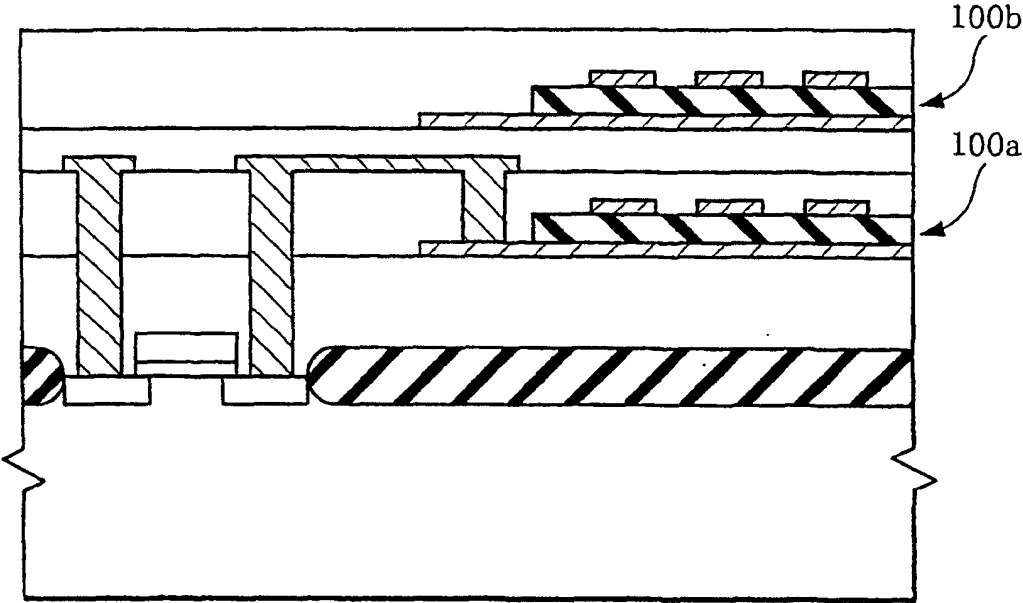


图 30

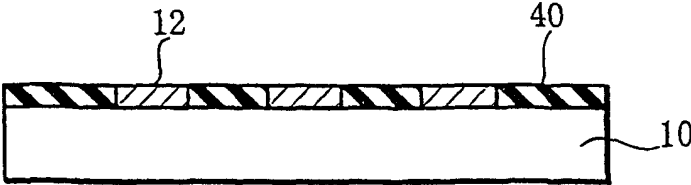


图 31

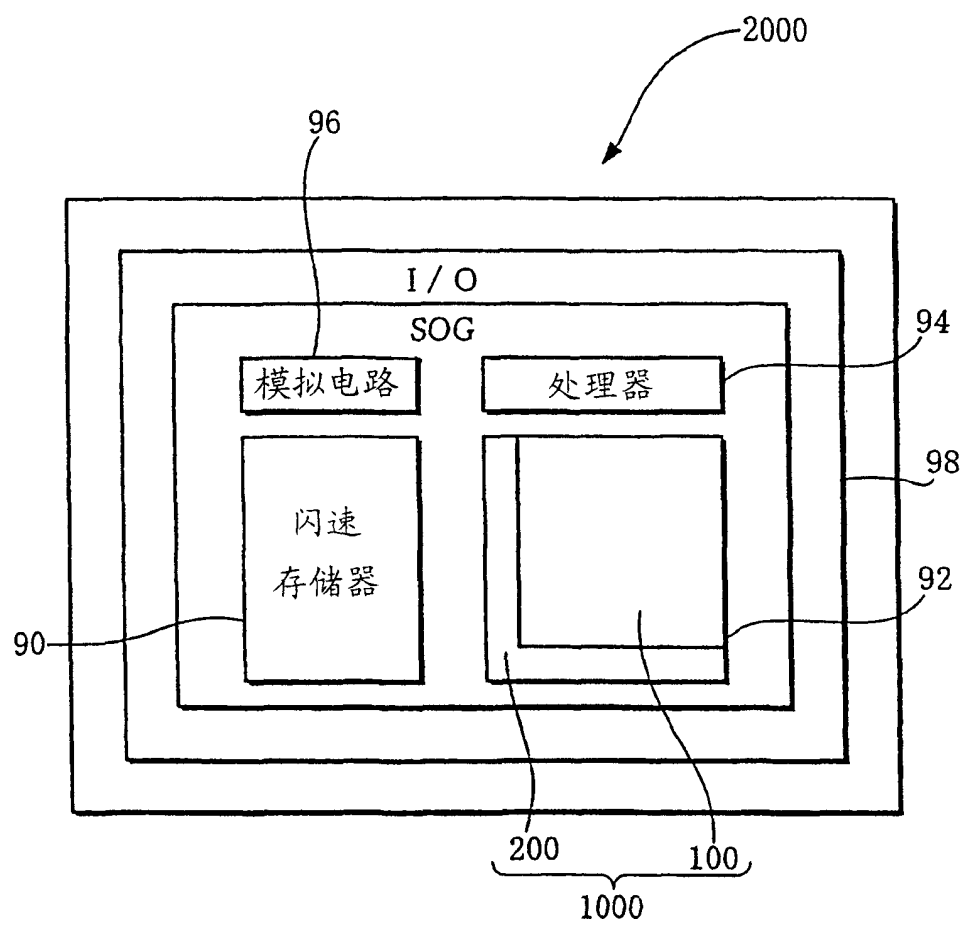


图 32