(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H04N 5/225

(11) 공개번호 특2000-0041364
(43) 공개일자 2000년07월15일

(21) 출원번호 10-1998-0057223
(22) 출원일자 1998년12월22일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 강회식
경기도 이천시 부발읍 481-1 삼익아파트 101동 1301호
(74) 대리인 박해천, 원석희

심사청구 : 있음

(54) 씨모스 이미지 센서 및 그 구동 방법

요약

본 발명은 CDS 방식을 지원하되, 화소 어레이를 보다 적은 수의 트랜지스터로 구성하여 전체 CMOS 이미지 센서의 칩 면적을 줄인 CMOS 이미지 센서 및 그 구동 방법을 제공하기 위한 것으로, 이를 위해 본 발명은 M × N의 단위 화소로 어레이된 화소 어레이를 구비한 씨모스 이미지 센서에 있어서, 임의의 제K 라인에 대응하는 상기 단위 화소는 각각, 외부의 피사체 이미지를 촬상한 빛을 흡수하여 전하를 생성 및 축적하는 광전하 생성 수단; 상기 광전하 생성 수단으로부터의 광전하를 전달받는 단일 센싱 노드; 상기 단일 센싱 노드에 연결되며, 제1 제어 신호에 응답하여 상기 광전하 생성 수단을 공핍시키고, 상기 단일 센싱 노드의 리셋 전압 레벨을 출력단으로 전달하는 리셋 트랜지스터; 상기 제K 라인의 단위 화소와 동일 칼럼 상에 존재하는 제K-1 라인에 대한 상기 단위 화소의 제1 제어 신호로부터 기준 전위를 인가받으며, 상기 단일 센싱 노드에 응답하여 소스 폴로우 역할을 수행하는 드라이브 트랜지스터; 및 상기 드라이브 트랜지스터 및 상기 출력단 사이에 연결되어 제2 제어 신호에 응답하여 스위칭으로 어드레싱을 수행하는 셀렉트 트랜지스터를 포함한다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 씨모스 이미지 센서에 대한 일실시예 블록도.

도 2는 종래의 단위 화소에 대한 일실시예 구성도.

도 3은 상기 도 2의 단위 화소에 대한 제어 타이밍도.

도 4는 본 발명에 따른 화소 어레이의 일실시 구성도.

도 5는 본 발명에 따른 상기 도 4의 화소 어레이에 대한 제어 타이밍도.

* 도면의 주요 부분에 대한 설명

200 : 더미 라인의 단위 화소

210 : 제1 라인의 단위 화소

220 : 제2 라인의 단위 화소

RT1, RT2, RT3 : 리셋 트랜지스터

DT1, DT2, DT3 : 드라이브 트랜지스터

ST1, ST2, ST3 : 셀렉트 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 씨모스(Complementary Metal Oxide semiconductor, 이하 CMOS라 함) 이미지 센서에 관한 것으로, 특히 CMOS 이미지 센서를 구성하는 화소 어레이(pixel array)의 구조 및 그 화소 어레이를 구동하는 방법에 관한 것이다.

일반적으로, 이미지 센서란 빛에 반응하는 반도체의 성질을 이용하여 이미지를 찍어(capture)내는 장치를 말하는 것이다. 자연계에 존재하는 각 피사체의 부분부분은 빛의 밝기 및 파장 등이 서로 달라서 감지하는 장치의 각 화소에서 다른 전기적인 값을 보이는데, 이 전기적인 값을 신호처리가 가능한 레벨로 만들어 주는 것이 바로 이미지 센서가 하는 일이다.

이를 위해 이미지 센서는 수만에서 수십만 개의 화소로 구성된 화소 어레이와, 수백개 정도의 화소에서 감지한 아날로그(analog) 전압을 디지털(digital) 전압으로 바꿔주는 장치와, 수백에서 수천 개의 저장장치 등으로 구성된다.

도 1은 CMOS 이미지 센서에 대한 일실시예 블록도로서, CMOS 이미지 센서의 전체적인 동작을 제어하며, 외부 시스템(system)에 대한 인터페이스(interface) 역할을 담당하는 제어 및 외부 시스템 인터페이스 부(10), 빛에 반응하는 성질을 극대화 시키도록 만든 화소를 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상(image)에 대한 정보를 감지하는 화소 어레이부(20), 센서의 각 화소에서 감지한 아날로그 전압을 디지털 시스템에서 처리가 가능하도록 디지털 전압으로 바꿔주는 아날로그-디지털 변환기(Analog-digital converter, 30), 및 상기 아날로그-디지털 변환기(30)의 출력에 응답하여 디지털화된 화소의 이미지 신호값을 저장하는 버퍼(40)로 이루어진다. 그리고, 아날로그-디지털 변환기(30)는 각 화소에서 감지한 전압과 비교하는 데 사용되는, 클럭에 따라 선형적으로 감소하는 램프(ramp)형태의 비교 기준 전압(reference voltage)을 만들어내는 디지털-아날로그 변환기(Digital-Analog converter, 이하 DAC라 함, 31) 및 화소 어레이(20)로부터 출력되는 감지 전압(아날로그 전압)과 DAC(31)로부터 출력되는 비교 기준 전압을 비교하여, 비교 기준 전압이 화소 전압보다 큰 동안 제어 및 외부 시스템 인터페이스 부(10)로부터 출력되는 카운터 값을 버퍼(40)에 쓰여지도록 하는 쓰기 가능 신호를 출력하는 N개의 배열로 구성된 전압 비교기(32)로 이루어진다.

상기와 같은 구성의 CMOS 이미지 센서가 고화질의 이미지 생성을 위해 상호 연관된 이중 샘플링 방식(correlated double sampling method, 이하 CDS라 함)을 지원하는 경우, 도 2에 도시된 바와 같이 화소 어레이 중 단위 화소(100, 120) 각각은 1개의 포토 다이오드와 4개의 트랜지스터로 각각 구성된다. 4개의 트랜지스터는 포토 다이오드(101)에 생성된 광전하를 센싱 노드(A)로 운송하기 위한 트랜스퍼 트랜지스터(M21)와, 다음 신호 검출을 위해 상기 센싱 노드(A)에 저장되어 있는 전하를 배출하기 위한 리셋 트랜지스터(M11)와, 소스 폴로우(source follower) 역할을 수행하는 드라이브 트랜지스터(M31) 및 스위칭으로 어드레싱을 할 수 있도록 하는 셀렉트 트랜지스터(M41)이다.

여기서 CDS라 함은, 단위 화소를 구성하는 리셋 트랜지스터(M11)를 턴-온(turn-on), 트랜스퍼 트랜지스터(M21)를 턴-오프(turn-off) 시켜 리셋 레벨에 해당하는 전압을 얻고, 그 다음 리셋 트랜지스터(M11)를 턴-오프시킨 상태에서 트랜스퍼 트랜지스터(M21)를 턴-온 시켜 포토 다이오드(101)에서 생성된 전하를 읽어내어 데이터 전압을 얻은 후 리셋 레벨의 전압과 데이터 레벨의 전압의 차이를 구해 이미지 센서로부터 출력되는 이미지 출력값으로 출력하는 방식을 의미한다. 이를 통해 화소 및 비교기(32)에서 발생할 수 있는 옵셋(offset)을 제거할 수 있다.

도 3은 상기 도 2의 단위 화소 구성에서 각 트랜지스터를 제어하는 신호에 대한 제어 타이밍도로서, 이를 참조하여 단위 화소(100) 동작을 구간별로 살펴보면 다음과 같다.

1) 도 3에서 'A'구간은 트랜스퍼 트랜지스터(M21) 및 리셋 트랜지스터(M11)가 턴-온(turn-on)되고, 셀렉트 트랜지스터(M41)가 턴-오프(turn-off)되어 포토 다이오드(101)를 완전히 공핍(fully depletion)시키는 구간이다.

2) 'B'구간은 턴-온된 트랜스퍼 트랜지스터(M21)가 다시 턴-오프됨으로써 포토 다이오드(101)에서 빛을 흡수하여 광전하를 생성하고, 생성된 광전하를 집적하는 구간이다.('B'구간은 리셋 트랜지스터(M11) 및 셀렉트 트랜지스터(M41)의 상태와 관계없이 트랜스퍼 트랜지스터(M21)가 다시 턴-온될 때까지 유지된다.)

3) 'C'구간은 리셋 트랜지스터(M11) 및 트랜스퍼 트랜지스터(M21)가 각각 턴-온, 턴-오프 상태로 계속 유지되고, 셀렉트 트랜지스터(M41)가 턴-온됨으로써 센싱 노드(A)에 의해 구동되는 드라이브 트랜지스터(M31) 및 셀렉트 트랜지스터(M41)를 통해 리셋 전압 레벨을 전달하는 구간이다. (reset level transfer 구간)

4) 'D'구간은 리셋 트랜지스터(M11)가 턴-오프됨으로써 'C'구간에서 발생한 리셋 전압 레벨을 안정시키는 구간이다.(reset level settling 구간)

5) 'E'구간은 'D'구간으로부터의 리셋 전압 레벨을 샘플링하는 구간이다.(reset level sampling 구간)

6) 'F'구간은 리셋 트랜지스터(M11) 및 셀렉트 트랜지스터(M41)가 각각 턴-오프, 턴-온 상태로 계속 유지되고, 트랜스퍼 트랜지스터(M21)가 턴-온됨으로써 B구간 동안 포토다이오드(101)에서 집적된 광전하에 의한 데이터 전압 레벨이 센싱 노드(A)에 전달되어 센싱 노드(A)에 의해 구동되는 드라이브 트랜지스터(M31) 및 셀렉트 트랜지스터(M41)에 의해 데이터 전압 레벨을 전달하는 구간이다.(data level transfer 구간)

7) 'G'구간은 트랜스퍼 트랜지스터(M21)가 턴-오프됨으로써 'F'구간에서 발생한 데이터 전압 레벨을 안정시키는 구간이다.(data level settling 구간)

8) 'H'구간은 'G'구간으로부터의 데이터 전압 레벨을 샘플링하는 구간이다.(data level sampling 구간)

'E'구간 및 'H'구간에서 각각 샘플링되는 리셋 레벨 및 데이터 레벨은 도 1의 아날로그-디지털 변환기(30)로 출력되어 디지털로 변환되어지고, 디지털로 변환된 두 값의 차가 포토 다이오드(101)로부터 입력받은 이미지에 대한 CMOS 이미지 센서의 출력 이미지 값이 된다.

상술한 바와 같은 종래의 단위 화소(100) 동작은 다른 모든 단위 화소에서도 동일하다.

이러한 종래의 단위 화소는 CDS 지원을 위해 단위 화소 당 4개의 트랜지스터를 사용함으로써 단위 화소의 사이즈를 증가시키고, 또한 다수의 단위 화소로 이루어진 화소 어레이의 전체 크기를 증가시킴으로써 결과적으로 CMOS 이미지 센서 칩 사이즈를 증가시키는 문제점을 발생한다.

그리고, 정확한 CDS를 위해 각 포토 다이오드의 피닝 전압(pinning voltage)이 리셋 전압 레벨로 되어야 하나, 포토 다이오드의 제조 특성 및 공정 특성에 따라 'A'구간에서 트랜스퍼 트랜지스터(M21) 및 리셋 트랜지스터(M11)를 턴-온, 셀렉트 트랜지스터(M41)를 턴-오프시켜 포토 다이오드(101)를 완전히 공핍시킬 때 포토 다이오드의 피닝 전압이 달라질 수 있고, 또한 도 2의 A 혹은 A2 노드의 전위가 리셋 전압 레벨을 읽어내는 E구간까지의 시간동안 일정하게 유지되어야 하나 외부의 에러로 인해 노드의 피닝 전압이 유지되지 못함으로 인해 종래의 단위 화소에 대한 CDS 동작 시 에러가 발생할 수 있는 여지가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로써, CDS 방식을 지원하되, 화소 어레이를 보다 적은 수의 트랜지스터로 구성하여 전체 CMOS 이미지 센서의 칩 면적을 줄인 CMOS 이미지 센서 및 그 구동 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 M × N의 단위 화소로 어레이된 화소 어레이를 구비한 씨모스 이미지 센서에 있어서, 임의의 제K 라인에 대응하는 상기 단위 화소는 각각, 외부의 피사체 이미지를 촬상한 빛을 흡수하여 전하를 생성 및 축적하는 광전하 생성 수단; 상기 광전하 생성 수단으로부터의 광전하를 전달받는 단일 센싱 노드; 상기 단일 센싱 노드에 연결되며, 제1 제어 신호에 응답하여 상기 광전하 생성 수단을 공핍시키고, 상기 단일 센싱 노드의 리셋 전압 레벨을 출력단으로 전달하는 리셋 트랜지스터; 상기 제K 라인의 단위 화소와 동일 칼럼 상에 존재하는 제K-1 라인에 대한 상기 단위 화소의 제1 제어 신호로부터 기준 전위를 인가받으며, 상기 단일 센싱 노드에 응답하여 소스 폴로우 역할을 수행하는 드라이브 트랜지스터; 및 상기 드라이브 트랜지스터 및 상기 출력단 사이에 연결되어 제2 제어 신호에 응답하여 스위칭으로 어드레싱을 수행하는 셀렉트 트랜지스터를 포함하여 이루어진다.

또한, 상기와 같은 구성을 가진 본 발명의 씨모스 이미지 센서에서의 단위 화소 구동 방법에 있어서, 상기 광전하 생성 수단을 완전히 공핍시키는 제1 단계; 상기 광전하 생성 수단에서 빛을 흡수하여 광전하를 생성 및 집적하는 제2 단계; 상기 리셋 트랜지스터 및 상기 셀렉트 트랜지스터를 각각 턴-오프 및 턴-온시키고, 상기 제K-1 라인에 대한 상기 단위 화소의 제1 제어 신호로부터 기준 전위를 상기 드라이브 트랜지스터의 소스단으로 인가받아 상기 광전하에 의한 상기 단일 센싱 노드의 데이터 전압 레벨을 상기 출력단으로 전달하는 제3 단계; 및 상기 리셋 트랜지스터를 턴-온시켜 상기 단일 센싱 노드를 리셋 전압 레벨로 만들고, 상기 리셋 전압 레벨을 상기 드라이브 트랜지스터 및 상기 셀렉트 트랜지스터를 통해 상기 출력단으로 전달하는 제4 단계를 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명의 일실시예를 상세히 설명한다.

도 4는 본 발명에 따른 화소 어레이의 일실시 구성도로서, 도면에 도시된 바와 같이 M개의 칼럼 × N개의 라인으로 구성된 화소 어레이 중 임의의 칼럼에 대한 제1 및 제2 라인의 단위 화소(210, 220)와, 상기 제1 라인의 단위 화소(210)에 전위 레벨을 공급하기 위해 추가로 구성된 더미 라인의 단위 화소(200)로 이루어진다. M 및 N은 임의의 자연수이다.

여기서, 제1 및 제2 라인의 단위 화소(210, 220)와 더미 라인의 단위 화소(200)는 각각, 포토 다이오드(201, 211, 221)와 3개의 트랜지스터로 각각 구성된다.

구체적인 단위 화소의 구성을 살펴보면, 더미 라인의 단위 화소(200)는 외부의 피사체 이미지를 촬상한 빛을 흡수하여 전하를 생성 및 축적하는 포토 다이오드(201)와, 센싱 노드(S1)와 리셋 제어 신호(Rx_pre) 입력단 사이에 연결되며 리셋 제어 신호(Rx_pre)에 응답하여 포토 다이오드(201)를 완전히 공핍시키거나, 리셋 전압 레벨을 출력 라인(data-out)으로 전달하는 리셋 트랜지스터(RT1)와, 전원전압단과 출력 라인(data-out) 사이에 직렬 연결되며, 게이트단이 센싱 노드(S1)에 연결되어 센싱 노드(S1)의 전위를 전달하는 드라이브 트랜지스터(DT1)와, 게이트단으로 셀렉트 제어 신호(Sx_pre)를 입력받아 드라이브 트랜지스터(DT1)로부터의 센싱 노드(S1) 전위를 출력 라인(data-out)으로 전달하는 셀렉트 트랜지스터(ST1)로 이루어진다.

그리고, 제1 라인의 단위 화소(210)는 더미 라인의 단위 화소(200)와 동일한 구성을 가지되, 드라이브 트랜지스터(DT2)의 소스단에 더미 라인의 단위 화소(200)의 리셋 제어 신호(Rx_pre)가 연결됨으로써 단위 화소(210)의 구동에 필요한 전압 레벨을 전원전압단(Vdd)이 아닌 리셋 제어 신호(Rx_pre)의 레벨로부터 공급받는다.

다음으로, 제2 라인의 단위 화소(220)는 제1 라인의 단위 화소(210)와 동일한 구성을 가지되, 드라이브 트랜지스터(DT3)의 소스단에 제1 라인의 단위 화소(210)의 리셋 제어 신호(Rx1)가 연결됨으로써 단위 화소(220)의 구동에 필요한 전압 레벨을 전원전압단(Vdd)이 아닌 리셋 제어 신호(Rx1)의 레벨로부터 공급받는다.

도 5는 본 발명에 따른 상기 도 4의 화소 어레이에 대한 제어 타이밍도로서, 이를 참조하여 제1 라인의 단위 화소(210) 및 제2 라인의 단위 화소(220)의 구동 방법을 각 구간별로 살펴보면 다음과 같다.

1) 'A1'구간은 '하이' 레벨의 리셋 제어 신호(Rx1)에 의해 리셋 트랜지스터(RT2)가 턴-온되고, 셀렉트 트랜지스터(ST2)는 턴-오프됨으로써 포토 다이오드(211)를 완전히 공핍(fully depletion)시키는 구간이다. ('A1'구간은 다른 트랜지스터의 상태와 관계없이 리셋 트랜지스터(RT2)가 턴-온인 상태동안 유지된다.)

2) 'B1'구간은 턴-온된 리셋 트랜지스터(RT2)가 다시 턴-오프됨으로써 포토 다이오드(211)에서 빛을 흡수하여 광전하를 생성하고, 생성된 광전하를 집적하는 구간이다. ('B1'구간은 다른 트랜지스터의 상태와 관계없이 리셋 트랜지스터(RT2)가 턴-오프인 상태 동안 유지된다.)

3) 'A2'구간은 '하이' 레벨의 리셋 제어 신호(Rx2)에 의해 리셋 트랜지스터(RT3)가 턴-온되고, 셀렉트 트랜지스터(ST3)는 턴-오프됨으로써 포토 다이오드(221)를 완전히 공핍(fully depletion)시키는 구간이다. ('A2'구간은 다른 트랜지스터의 상태와 관계없이 리셋 트랜지스터(RT3)가 턴-온인 상태동안 유지된다.)

4) 'B2'구간은 턴-온된 리셋 트랜지스터(RT3)가 다시 턴-오프됨으로써 포토 다이오드(221)에서 빛을 흡수하여 광전하를 생성하고, 생성된 광전하를 집적하는 구간이다. ('B2'구간은 다른 트랜지스터의 상태와 관계없이 리셋 트랜지스터(RT3)가 턴-오프인 상태 동안 유지된다.)

5) 'C1'구간은 리셋 트랜지스터(RT2)가 턴-오프된 상태에서 포토 다이오드(211)는 계속해서 광전하를 집적하고, 리셋 제어 신호(Rx_pre)의 '하이' 전위 레벨이 드라이브 트랜지스터(DT2)의 드레인단으로 공급되는 구간이다.

6) 'D1'구간은 셀렉트 트랜지스터(ST2)가 턴-온됨으로써 'B1'구간 동안 포토다이오드(211)에서 집적된 광전하에 의한 센싱 노드(S2)의 데이터 전압 레벨이 센싱 노드(S2)에 의해 구동되는 드라이브 트랜지스터(DT2) 및 셀렉트 트랜지스터(ST2)를 통해 출력 라인(data-out)으로 전달되어 일정한 전압 레벨로 안정화되는 구간이다.(data level transfer 및 settling 구간)

7) 'E1'구간은 'D1'구간으로부터의 데이터 전압 레벨을 샘플링하는 구간이다. (data level sampling 구간)

8) 'F1'구간은 '하이' 레벨의 리셋 제어 신호(Rx1)에 의해 리셋 트랜지스터(RT2)가 턴-온됨으로써 센싱 노드(S2) 및 포토 다이오드(211)를 리셋 전압 레벨로 만들고, 그 리셋 전압 레벨을 드라이브 트랜지스터(DT2) 및 셀렉트 트랜지스터(ST2)를 통해 출력 라인(data-out)으로 전달하는 구간이다.(reset level transfer 구간)

9) 'G1'구간은 리셋 트랜지스터(RT2)가 다시 턴-오프됨으로써 F1구간에서 발생한 리셋 전압 레벨을 안정시키는 구간이다. (reset level settling 구간)

10) 'H1'구간은 'G1'구간으로부터의 리셋 전압 레벨을 샘플링하는 구간이다. (reset level sampling 구간)

11) 'C2'구간은 리셋 트랜지스터(RT3)가 턴-오프된 상태에서 포토 다이오드(221)는 계속해서 광전하를 집적하고, 제1 라인 리셋 제어 신호(Rx1)의 '하이' 전위 레벨이 드라이브 트랜지스터(DT3)의 드레인단으로 공급되는 구간이다.

12) 'D2'구간은 셀렉트 트랜지스터(ST3)가 턴-온됨으로써 'B2'구간 동안 포토다이오드(221)에서 집적된 광전하에 의한 센싱 노드(S3)의 데이터 전압 레벨이 센싱 노드(S3)에 의해 구동되는 드라이브 트랜지스터(DT3) 및 셀렉트 트랜지스터(ST3)를 통해 출력 라인(data-out)으로 전달되어 일정한 전압 레벨로 안정화되는 구간이다.(data level transfer 및 settling 구간)

13) 'E2'구간은 'D2'구간으로부터의 데이터 전압 레벨을 샘플링하는 구간이다. (data level sampling 구간)

14) 'F2'구간은 '하이' 레벨의 리셋 제어 신호(Rx2)에 의해 리셋 트랜지스터(RT3)가 턴-온됨으로써 센싱 노드(S3) 및 포토 다이오드(221)를 리셋 전압 레벨로 만들고, 그 리셋 전압 레벨을 드라이브 트랜지스터(DT3) 및 셀렉트 트랜지스터(ST3)를 통해 출력 라인(data-out)으로 전달하는 구간이다.(reset level transfer 구간)

15) 'G2'구간은 리셋 트랜지스터(RT3)가 다시 턴-오프됨으로써 F2구간에서 발생한 리셋 전압 레벨을 안정시키는 구간이다. (reset level settling 구간)

16) 'H2'구간은 'G2'구간으로부터의 리셋 전압 레벨을 샘플링하는 구간이다. (reset level sampling 구간)

'A1' 내지 'H1'구간은 제1 라인의 포토 다이오드(211)로부터 입력받은 이미지에 대한 CMOS 이미지 센서의 출력 이미지 값을 출력하고, 'A2' 내지 'H2'구간은 제2 라인의 포토 다이오드(221)로부터 입력받은 이미지에 대한 CMOS 이미지 센서의 출력 이미지 값을 출력한다.

종래 기술과 마찬가지로, 샘플링 구간인 'E1'구간 및 'H1'구간에서 각각 샘플링되는 제1 라인 단위 화소(210)의 포토 다이오드(211)에 대한 데이터 레벨 및 리셋 레벨이 도 1의 아날로그-디지털 변환기(30)로 출력되어 디지털로 변환되어지고, 디지털로 변환된 두 값의 차가 포토 다이오드(211)로부터 입력받은 이미지에 대한 CMOS 이미지 센서의 출력 이미지 값이 되며, 샘플링 구간인 'E2'구간 및 'H2'구간에서 각각 샘플링되는 제2 라인 단위 화소(220)의 포토 다이오드(221)에 대한 데이터 레벨 및 리셋 레벨이 도 1의 아날로그-디지털 변환기(30)로 출력되어 디지털로 변환되어지고, 디지털로 변환된 두 값의 차가 포토 다이오드(221)로부터 입력받은 이미지에 대한 CMOS 이미지 센서의 출력 이미지 값이 된다.

종래의 2개 단위 화소(도 2의 도면부호 100, 120)로부터 이미지 값을 읽어내는 시간동안 본 발명에 따른 제1 및 제2 라인의 단위 화소로부터 상기와 같은 구성 및 동작에 의해 동일한 이미지 값을 읽어낼 수 있다.

그리고 'D1', 'G1', 'D2', 'G2'구간은 리셋 트랜지스터(RT2, RT3) 및 셀렉트 트랜지스터(ST2, ST3)의 턴-온 또는 턴-오프 과정에서 발생할 수도 있는 센싱 노드(A)의 글리치(glitch)에 의한 오동작을 줄이기 위한 것으로서, 'D1', 'G1', 'D2', 'G2'구간 후 센싱 노드(A)가 안정적인 상태에서 레벨값을 샘플링한다.

상기와 같이 이루어지는 본 발명에 따른 단위 화소의 구동 방법은 트랜스퍼 트랜지스터를 제거한 단위 화

소의 구성에서 CDS 동작을 가능하도록 하기 위해 데이터 레벨을 먼저 읽어 내고, 리셋 레벨을 이후에 읽어낸다는 것에 가장 큰 특징이 있다. 따라서, 종래의 단위 화소 구동 시 문제가 되었던 CDS 에러를 데이터 레벨을 먼저 읽은 후 포토 다이오드를 피닝시켜 피닝 전압을 읽어서 CDS 동작을 수행하기 때문에 CDS 동작 시 에러가 존재하지 않게 된다.

또한, 화소 어레이의 크기를 줄이기 위해 종래의 화소 어레이에서 사용하는 전원전압단 라인(vdd line)을 사용하지 않는 대신, 이전 라인의 리셋 제어 신호를 공유하여 사용한다. 이는 한 번 읽혀진 라인은 집적 이전에 완전히 공핍되어야 하므로 리셋 제어 신호가 전원전압 레벨로 전위될 때 다음 라인의 기준 전위로 사용 가능하다. 즉, 리셋 제어 신호를 공급하는 라인은 화소 어레이의 해당 라인의 리셋 트랜지스터를 제어하는 기능과, 그 다음 라인의 단위 화소에 전위를 공급하는 기능을 함께 수행할 수 있다.

본 발명에 따른 화소 어레이는 상기 일실시예에서 기술한 단위 화소에 한정되는 구조가 아니라, M개 칼럼 × N개 라인의 화소 어레이로 확장하여 구성할 수 있다. 이때, 단위 화소 각각이 리셋 트랜지스터, 드라이버 트랜지스터 및 셀렉트 트랜지스터로 구성되고, 드라이버 트랜지스터의 일측이 그 이전 라인의 리셋 제어 신호에 연결되어 전위를 공급받도록 구성된다. 그리고, 제1 라인의 드라이버 트랜지스터의 드레인단으로 전위 레벨을 공급하기 위한 더미 라인의 단위 화소를 더 구비한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은, 종래의 단위 화소 구성에서 트랜스퍼 트랜지스터를 제거하여 단위 화소를 1개의 포토 다이오드와 3개의 트랜지스터로 새롭게 구성함으로써 CMOS 이미지 센서의 전체 칩 면적을 획기적으로 줄일 수 있는 효과가 있다.

또한, 새로운 단위 화소의 구성으로부터 데이터 레벨을 먼저 읽어 내고, 리셋 레벨을 이후에 읽어내어 CDS 동작을 수행함으로써 종래의 단위 화소 구동 시 문제가 되었던 CDS 에러를 제거할 수 있는 또다른 효과가 있다.

(57) 청구의 범위

청구항 1

M × N(M, N은 임의의 자연수)의 단위 화소로 어레이된 화소 어레이를 구비한 씨모스 이미지 센서에 있어서,

임의의 제K 라인에 대응하는 상기 단위 화소는 각각,

외부의 피사체 이미지를 촬상한 빛을 흡수하여 전하를 생성 및 축적하는 광전하 생성 수단;

상기 광전하 생성 수단으로부터의 광전하를 전달받는 단일 센싱 노드;

상기 단일 센싱 노드에 연결되며, 제1 제어 신호에 응답하여 상기 광전하 생성 수단을 공핍시키고, 상기 단일 센싱 노드의 리셋 전압 레벨을 출력단으로 전달하는 리셋 트랜지스터;

상기 제K 라인의 단위 화소와 동일 칼럼 상에 존재하는 제K-1 라인에 대한 상기 단위 화소의 제1 제어 신호로부터 기준 전위를 인가받으며, 상기 단일 센싱 노드에 응답하여 소스 폴로우 역할을 수행하는 드라이브 트랜지스터; 및

상기 드라이브 트랜지스터 및 상기 출력단 사이에 연결되어 제2 제어 신호에 응답하여 스위칭으로 어드레싱을 수행하는 셀렉트 트랜지스터

를 포함하여 이루어지는 씨모스 이미지 센서.

청구항 2

제 1 항에 있어서, 상기 K는

상기 N보다 작거나 같은 임의의 자연수인 것을 특징으로 하는 씨모스 이미지 센서.

청구항 3

제 1 항에 있어서, 상기 화소 어레이는,

상기 기준 전위를 상기 제1 라인에 어레이된 단위 화소로 인가하기 위한 M개의 더미 화소를 더 포함하여 이루어지는 씨모스 이미지 센서.

청구항 4

제 3 항에 있어서, 상기 M개의 더미 화소는 각각,

상기 단위 화소와 동일한 구성을 가지되, 전원전압단으로부터 상기 기준 전위를 인가받도록 구성됨을 특징으로 하는 씨모스 이미지 센서.

청구항 5

제 1 항에 있어서,

상기 출력단은,

상기 출력단으로부터의 신호를 입력받아 디지털 변환을 수행하는 아날로그-디지털 변환 수단에 연결되는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 6

상호 연관된 이중 샘플링 방식을 지원하고, 외부의 피사체 이미지를 촬상한 빛을 흡수하여 전하를 생성 및 축적하는 광전하 생성 수단; 상기 광전하 생성 수단으로부터의 광전하를 전달받는 단일 센싱 노드; 상기 단일 센싱 노드에 연결되며, 제1 제어 신호에 응답하여 상기 광전하 생성 수단을 공핍시키고, 상기 단일 센싱 노드의 리셋 전압 레벨을 출력단으로 전달하는 리셋 트랜지스터; 상기 제K 라인의 단위 화소와 동일 칼럼 상에 존재하는 제K-1 라인에 대한 상기 단위 화소의 제1 제어 신호로부터 기준 전위를 인가받으며, 상기 단일 센싱 노드에 응답하여 소스 폴로우 역할을 수행하는 드라이브 트랜지스터; 및 상기 드라이브 트랜지스터 및 상기 출력단 사이에 연결되고, 제2 제어 신호에 응답하여 스위칭으로 어드레싱을 수행하는 셀렉트 트랜지스터를 포함하는 단위 화소가 M × N개 어레이된 화소 어레이를 구비한 씨모스 이미지 센서에서의 단위 화소 구동 방법에 있어서,

상기 광전하 생성 수단을 완전히 공핍시키는 제1 단계;

상기 광전하 생성 수단에서 빛을 흡수하여 광전하를 생성 및 집적하는 제2 단계;

상기 리셋 트랜지스터 및 상기 셀렉트 트랜지스터를 각각 턴-오프 및 턴-온시키고, 상기 제K-1 라인에 대한 상기 단위 화소의 제1 제어 신호로부터 기준 전위를 상기 드라이브 트랜지스터의 소스단으로 인가받아 상기 광전하에 의한 상기 단일 센싱 노드의 데이터 전압 레벨을 상기 출력단으로 전달하는 제3 단계; 및

상기 리셋 트랜지스터를 턴-온시켜 상기 단일 센싱 노드를 리셋 전압 레벨로 만들고, 상기 리셋 전압 레벨을 상기 드라이브 트랜지스터 및 상기 셀렉트 트랜지스터를 통해 상기 출력단으로 전달하는 제4 단계

를 포함하여 이루어지는 씨모스 이미지 센서에서의 단위 화소 구동 방법.

청구항 7

제 6 항에 있어서,

상기 제1 단계에서 상기 셀렉트 트랜지스터의 상태와 관계없이 상기 리셋 트랜지스터가 턴-온인 동안에 상기 광전하 생성 수단을 공핍시키는 것을 특징으로 하는 씨모스 이미지 센서에서의 단위 화소 구동 방법.

청구항 8

제 6 항에 있어서,

상기 리셋 트랜지스터 및 상기 셀렉트 트랜지스터의 턴-온 또는 턴-오프 과정에서 발생할 수 있는 상기 단일 센싱 노드의 글리치에 의한 오동작을 줄이기 위해 상기 제3 단계 및 상기 제4 단계 사이에

상기 데이터 전압 레벨을 안정화시키는 제5 단계; 및

상기 제5 단계로부터의 상기 데이터 전압 레벨을 샘플링하는 제6 단계

를 더 포함하는 씨모스 이미지 센서에서의 단위 화소 구동 방법.

청구항 9

제 8 항에 있어서,

상기 제6 단계에서 샘플링되는 상기 데이터 전압 레벨이,

상기 출력단으로부터의 신호를 입력받아 디지털 변환을 수행하는 아날로그-디지털 변환 수단으로 출력되어 디지털로 변환되는 것을 특징으로 하는 씨모스 이미지 센서에서의 단위 화소 구동 방법.

청구항 10

제 6 항에 있어서,

상기 리셋 트랜지스터 및 상기 셀렉트 트랜지스터의 턴-온 또는 턴-오프 과정에서 발생할 수 있는 상기 단일 센싱 노드의 글리치에 의한 오동작을 줄이기 위해 상기 제4 단계 다음에

상기 리셋 전압 레벨을 안정화시키는 제5 단계; 및

상기 제5 단계로부터의 상기 리셋 전압 레벨을 샘플링하는 제6 단계

를 더 포함하는 씨모스 이미지 센서에서의 단위 화소 구동 방법.

청구항 11

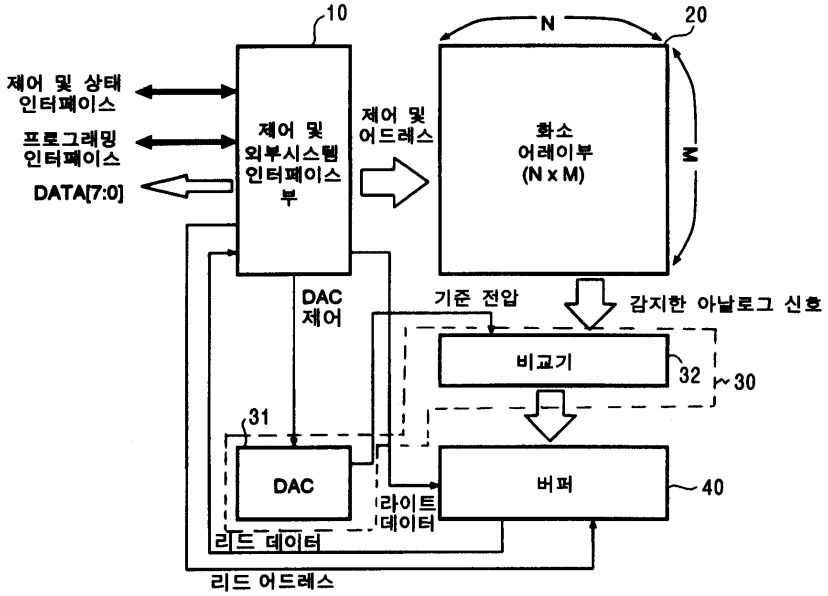
제 10 항에 있어서,

상기 제6 단계에서 샘플링되는 상기 리셋 전압 레벨이,

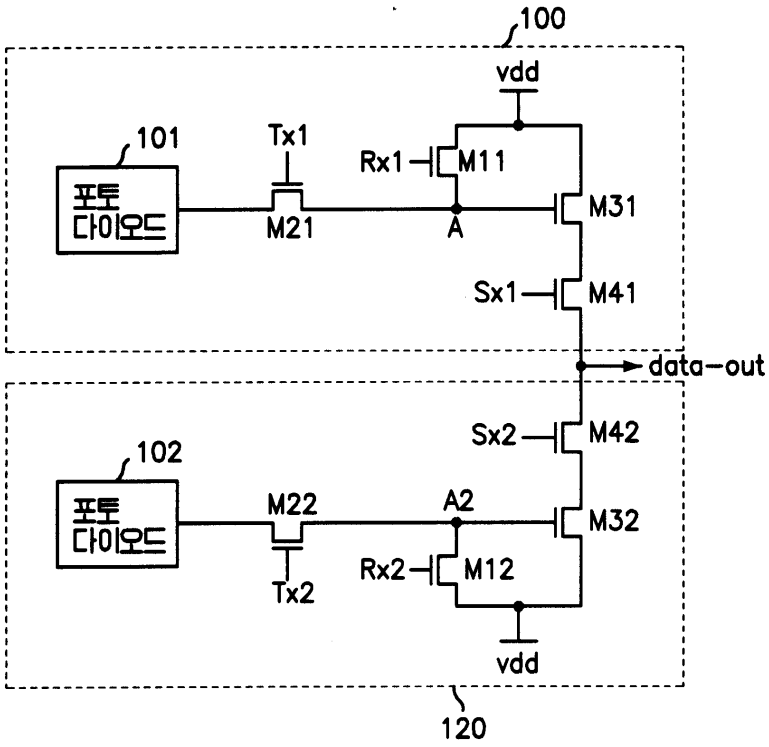
상기 출력단으로부터의 신호를 입력받아 디지털 변환을 수행하는 아날로그-디지털 변환 수단으로 출력되어 디지털로 변환되는 것을 특징으로 하는 씨모스 이미지 센서에서의 단위 화소 구동 방법.

도면

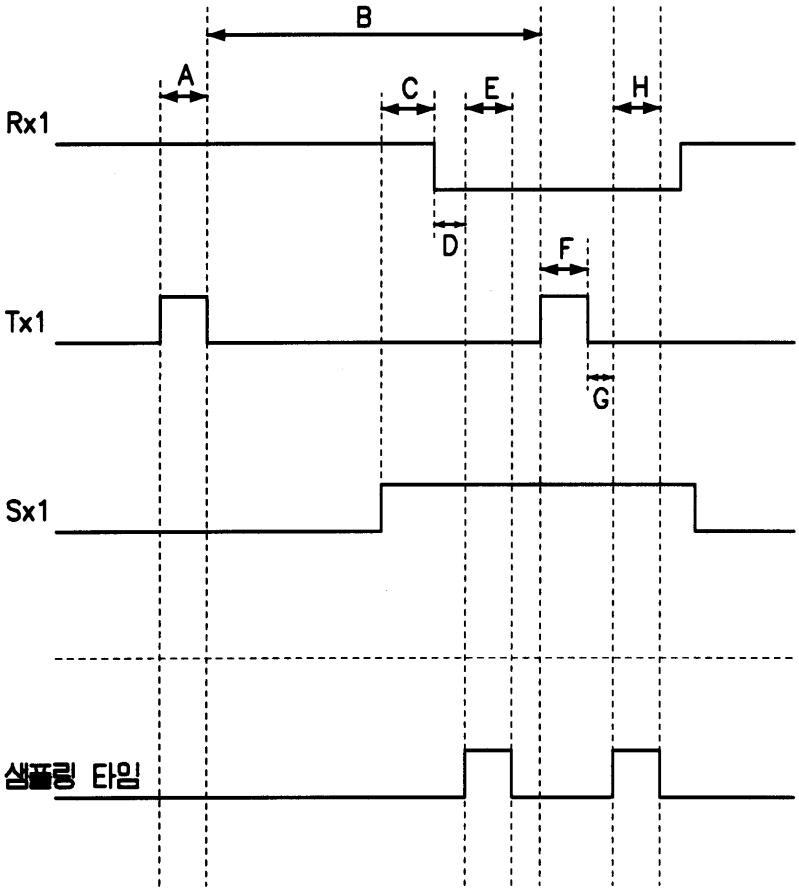
도면1


10
N
20
제어 및 상태
인터페이스
프로그래밍
인터페이스
DATA[7:0]
제어 및
외부시스템
인터페이스
부
제어 및
어드레스
화소
어레이부
(N x M)
M
DAC
제어
기준 전압
감지한 아날로그 신호
비교기
32
30
31
DAC
버퍼
40
라이트
데이터
리드 데이터
리드 어드레스

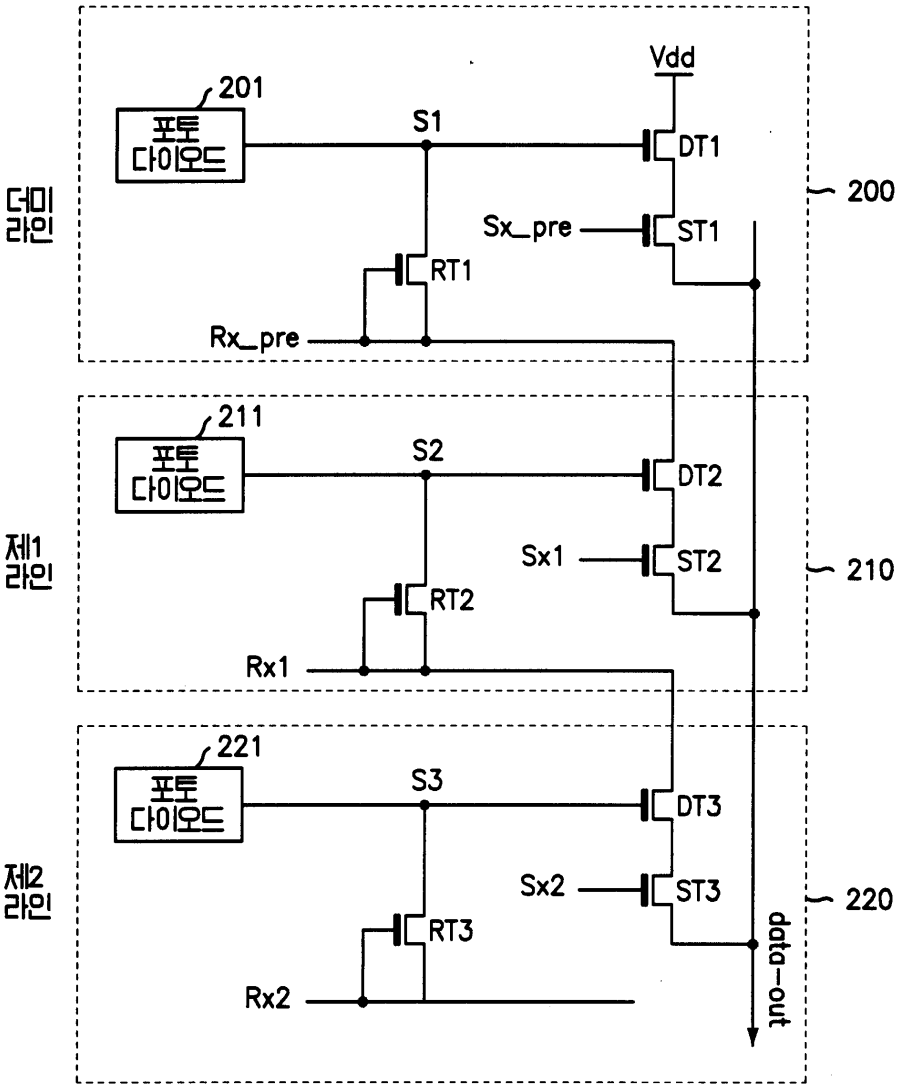
도면2


100
vdd
101
Tx1
Rx1
M11
포토
다이오드
M21
A
M31
Sx1
M41
data-out
Sx2
M42
102
포토
다이오드
M22
A2
M32
Rx2
M12
Tx2
vdd
120

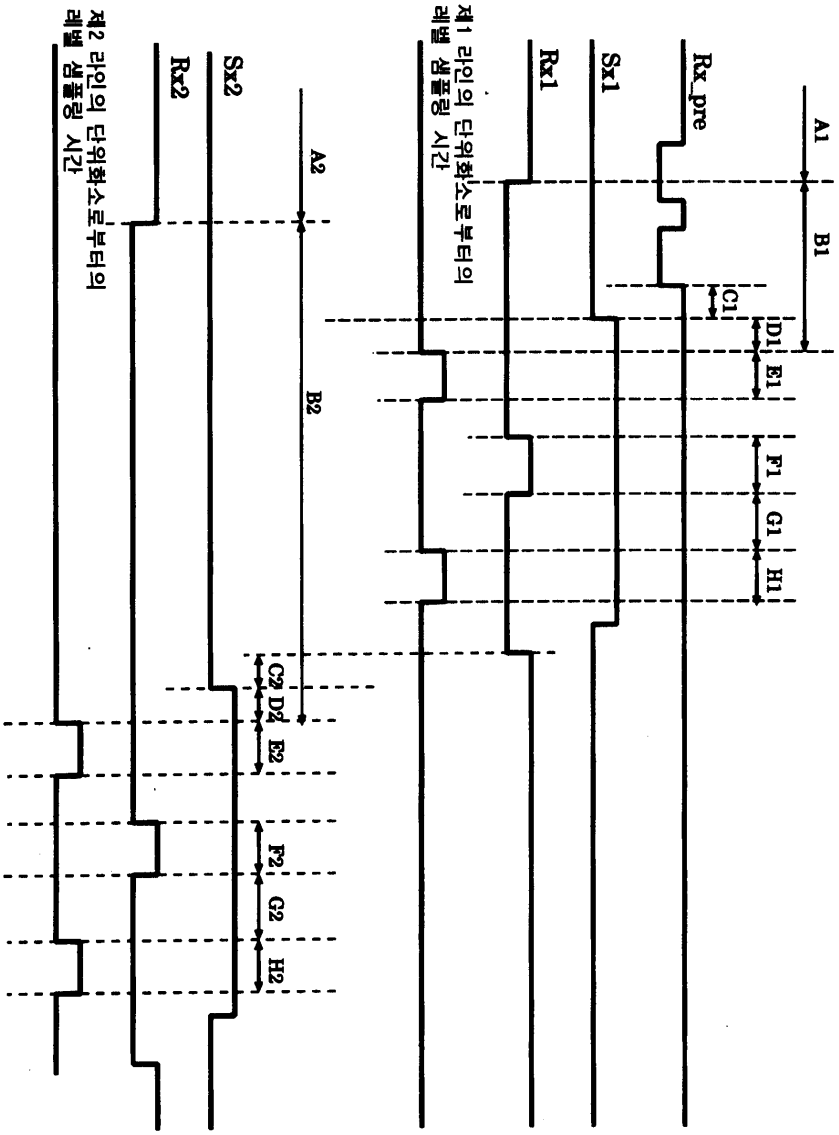
도면3



도면4


Vdd
201
포토
다이오드
S1
DT1
200
더미
라인
Sx_pre
ST1
RT1
Rx_pre
211
포토
다이오드
S2
DT2
제1
라인
Sx1
ST2
210
RT2
Rx1
221
포토
다이오드
S3
DT3
제2
라인
Sx2
ST3
220
RT3
Rx2
data_out

도면5


Rx_pre
Sx1
Rx1
제1 라인의 단위화소로부터의 레벨 샘플링 시간
Sx2
Rx2
제2 라인의 단위화소로부터의 레벨 샘플링 시간
A1
B1
C1
D1
E1
F1
G1
H1
A2
B2
C2
D2
E2
F2
G2
H2