

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 26 日(26.11.2015)



(10) 国際公開番号
WO 2015/178050 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 29/778 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2015/054866
- (22) 国際出願日: 2015 年 2 月 20 日(20.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-105532 2014 年 5 月 21 日(21.05.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 鈴木 貴光(SUZUKI, Takamitsu). 磯部 雅哉(ISOBE, Masaya). 久保 勝(KUBO, Masaru).
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町 8 番 1 号梅

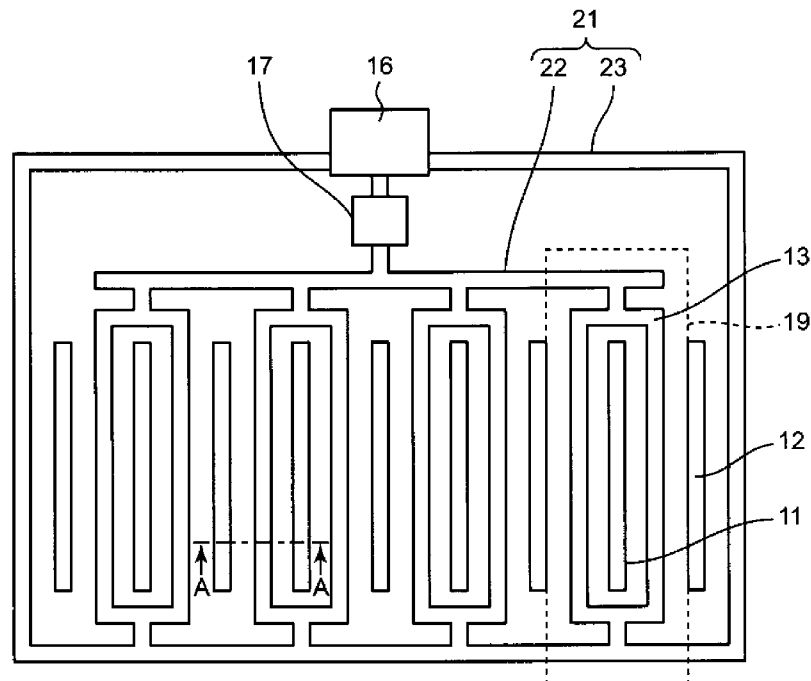
田阪急ビルオフィスタワー青山特許事務所
Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ



(57) Abstract: This field effect transistor (GaN HFET) is provided with: a gate electrode (13); a gate electrode pad (16); a first wiring (22) that connects one end of the gate electrode (13) to the gate electrode pad (16); a second wiring (23) that connects the other end of the gate electrode (13) to the gate electrode pad (16); and a resistor element (17) that is connected to the first wiring (22) and can adjust the impedance of the first wiring (22).

(57) 要約: 電界効果トランジスタ (GaN系HFET) は、ゲート電極(13)と、ゲート電極パッド(16)と、ゲート電極(13)の一端部とゲート電極パッド(16)とを接続する第1の配線(22)と、ゲート電極(13)の他端部とゲート電極パッド(16)とを接続する第2の配線(23)と、第1の配線(22)に接続され、第1の配線(22)のインピーダンスを調整可能な抵抗素子(17)とを備える。

WO 2015/178050 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電界効果トランジスタ

技術分野

[0001] 本発明は、GaN系の電界効果トランジスタに関する。

背景技術

[0002] 従来、GaN系の電界効果トランジスタとしては、特許文献1（特開2010-186925号公報）に記載されているものがある。この電界効果トランジスタは、図5に示すように、ドレイン電極51と、ソース電極52と、ゲート電極53と、ゲート電極パッド54と、ゲート配線55と、抵抗素子56とを備えている。ゲート電極53は、フィンガー状に複数設けられ、各ゲート電極53の一端側に接続されたゲート配線55は、抵抗素子56を介してゲート電極パッド54に接続されている。そして、電界効果トランジスタをスイッチングデバイスとして使用したとき、リングングやサージ電圧が生じるのを抵抗素子56によって抑制するようになっている。

[0003] また、従来、電界効果トランジスタとしては、特許文献2（特公平6-87505号公報）に記載されているものがある。この電界効果トランジスタは、図6に示すように、フィンガー状に形成された複数のゲート電極61と、各ゲート電極61の一端側に接続されたゲート引出し電極部62と、このゲート引出し電極部62に接続されたゲート電極パッド63とを備えている。各ゲート電極61のゲート引出し電極部62側には、安定化抵抗64が挿入されている。この安定化抵抗64によって、電界効果トランジスタの均一動作を図っている。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-186925号公報

特許文献2：特公平6-87505号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特許文献 1 や特許文献 2 の電界効果トランジスタでは、ゲート電極の一端側にのみゲート電極パッドが接続されている。このため、電界効果トランジスタをスイッチングデバイスとして使用したとき、電界効果トランジスタで信号遅延が生じて、均一動作することができない。したがって、リングングやサージ電圧を十分に抑制できず、電界効果トランジスタの安定した動作を実現できないという問題があった。

[0006] そこで、本発明の課題は、リングングやサージ電圧を十分に抑制できて、安定した動作を実現できる電界効果トランジスタを提供することにある。

課題を解決するための手段

[0007] 上記課題を解決するため、本発明の電界効果トランジスタは、
ヘテロ接合を有する G a N 系積層体と、
上記 G a N 系積層体上に第 1 の方向に延在するように形成されたドレイン電極と、
上記 G a N 系積層体上に上記第 1 の方向に延在するように形成されていると共に、上記ドレイン電極に対して、上記第 1 の方向と交差する第 2 の方向に予め定められた間隔をあけて形成されたソース電極と、
平面視において、上記ドレイン電極と上記ソース電極との間に形成されたゲート電極と、
上記 G a N 系積層体上に、上記ゲート電極を覆うように形成された絶縁層と、
上記絶縁層上に形成されたゲート電極パッドと、
上記ゲート電極の一端部と上記ゲート電極パッドとを接続する第 1 の配線と、
上記ゲート電極の他端部と上記ゲート電極パッドとを接続する第 2 の配線と、
上記第 1 の配線および上記第 2 の配線のうちの少なくとも 1 つの配線のインピーダンスを調整可能なインピーダンス調整部と

を備えることを特徴としている。

[0008] また、一実施形態の電界効果トランジスタでは、
上記インピーダンス調整部は、上記第1の配線および上記第2の配線のうちの少なくとも1つの配線に設けられた抵抗素子である。

[0009] また、一実施形態の電界効果トランジスタでは、
上記ドレイン電極、上記ソース電極および上記インピーダンス調整部がオーミックメタルからなる。

[0010] また、一実施形態の電界効果トランジスタでは、
上記インピーダンス調整部は、上記第1の配線および上記第2の配線のうちの少なくとも1つの配線の一部からなる。

[0011] また、一実施形態の電界効果トランジスタでは、
上記ドレイン電極と上記ソース電極とは、
上記第2の方向に互いに間隔をあけて略平行に交互に複数配置されていると共に上記第1の方向にフィンガー状に延在している。

発明の効果

[0012] 本発明の電界効果トランジスタによれば、均一に動作でき、リングングやサージ電圧を十分に抑制できると共に、電界効果トランジスタの安定した動作を実現できる。

図面の簡単な説明

[0013] [図1]図1は本発明の第1実施形態のGaN系の電界効果トランジスタの平面模式図である。

[図2]図2は図1のA-A線断面を示す断面図である。

[図3]図3は本発明の第2実施形態のGaN系の電界効果トランジスタの平面模式図である。

[図4]図4は本発明の第3実施形態のGaN系の電界効果トランジスタの平面模式図である。

[図5]図5は従来のGaN系の電界効果トランジスタの平面模式図である。

[図6]図6は別の従来のGaN系の電界効果トランジスタの平面模式図である

。

発明を実施するための形態

[0014] 以下、本発明を図示の実施の形態により詳細に説明する。

[0015] (第1実施形態)

図1は、本発明の第1実施形態であるGaN系HFEET（ヘテロ接合電界効果トランジスタ）の平面模式図である。また、図2は、図1のA-A線断面を示す断面図である。

[0016] 図2に示すように、この第1実施形態は、Si基板1上に、バッファ層2と、GaN層3と、AlGaN層4とを順に形成している。このGaN層3とAlGaN層4は、ヘテロ接合を有するGaN系積層体5を構成している。GaN層3とAlGaN層4との界面に2DEG（2次元電子ガス）が発生してチャネルが形成されている。なお、上記基板は、Si基板に限らず、サファイヤ基板やSiC基板を用いてもよく、サファイヤ基板やSiC基板上にGaN系積層体5を成長させてもよいし、GaN基板にAlGaN層を成長させる等のように、窒化物半導体からなる基板上にGaN系積層体5を成長させてもよい。また、Si基板1上にバッファ層2を形成しなくてもよい。

[0017] GaN系積層体5上には、保護膜7と、層間絶縁膜8とを順に形成している。保護膜7の材料としては、例えば、ここでは、SiNを用いたが、SiO₂、Al₂O₃などを用いてもよい。また、層間絶縁膜8の材料としては、例えば、ここでは、CVDによるSiO₂膜を用いたが、SOG(Spin On Glass)やBPSG(Boron Phosphorous Silicate Glass)などの絶縁材料を用いてもよい。また、SiN保護膜7の膜厚は、ここでは、一例として、150nmとしたが、20nm～250nmの範囲で設定してもよい。

[0018] 保護膜7および層間絶縁膜8には、保護膜7および層間絶縁膜8を貫通してAlGaN層4に達するリセスが形成され、このリセスにドレインオーミック電極11とソースオーミック電極12とが形成されている。ドレインオーミック電極11とソースオーミック電極12とは、オーミックメタルから

なるオーミック電極であり、具体的には、Ti層、Al層、TiN層が順に積層されたTi/Al/TiN電極である。ここで、Al膜厚は10nmから300nmである。

[0019] ドレインオーミック電極11には、層間絶縁膜8に形成されたビアホールを介してドレイン電極部14が接続されている。ソースオーミック電極12には、層間絶縁膜8に形成されたビアホールを介してソース電極部15が接続されている。ドレイン電極部14とソース電極部15とは、Ti層、AlCu層、TiN層が順に積層されたTi/AlCu/TiN電極としている。ここで、AlCu膜厚は、1000nmから3000nmである。

[0020] ドレインオーミック電極11とソースオーミック電極12との間の保護膜7には、開口が形成されている。この開口およびその近傍には、ゲート絶縁膜9とゲート電極13とが形成されている。このゲート電極13を層間絶縁膜8が覆っている。層間絶縁膜8上には、ゲート電極パッド（図示しない）が形成されている。ゲート絶縁膜9は、SiN膜である。ゲート電極13は、TiNからなる。

[0021] 図1に示すように、ドレインオーミック電極11とソースオーミック電極12とは、第1の方向にフィンガー状に延在していると共に、上記第1の方向と略直交する第2の方向に互いに予め定められた間隔をあけて略平行に交互に複数配置されている。なお、図1では、層間絶縁膜8、ドレイン電極部14およびソース電極部15を省略して描いている。

[0022] ゲート電極13は、平面視において、フィンガー上のドレインオーミック電極11とフィンガー状のソース電極12との間で上記第1の方向に延在すると共に、ドレインオーミック電極11の周囲を囲むように環状に延在している。

[0023] ゲート電極13の上記第1の方向の両端部は、それぞれゲート電極接続配線21を介してゲート電極パッド16に接続されている。ゲート電極パッド16は、ゲート電極13の上記第1の方向の一端側に配置されている。ゲート電極接続配線21は、第1の配線22と第2の配線23とを有している。

ゲート電極接続配線 21 は、一例として、Ti 層、AlCu 層、TiN 層が順に積層された Ti / AlCu / TiN 電極である。

[0024] ドレインオーミック電極 11 と、このドレインオーミック電極 11 を囲むゲート電極 13 と、第 1 の配線 22 の一部と、第 2 の配線 23 の一部とは、ゲートフィンガー 19 を構成している。GaN 系 H F E T は、上記第 2 の方向に複数配置されたゲートフィンガー 19 を有している。

[0025] 第 1 の配線 22 は、各ゲート電極 13 の上記第 1 の方向の一端部にそれぞれ接続される一方、ゲート電極パッド 16 に接続され、各ゲート電極 13 の一端部とゲート電極パッド 16 とを電氣的に接続している。第 1 の配線 22 には、インピーダンス調整部の一例としての抵抗素子 17 が 1 つ接続されている。

[0026] 第 2 の配線 23 は、各ゲート電極 13 の上記第 1 の方向の他端部にそれぞれ接続される一方、ゲート電極パッド 16 に接続され、各ゲート電極 13 の他端部とゲート電極パッド 16 とを電氣的に接続している。

[0027] 抵抗素子 17 は、各ゲート電極 13 の一端部とゲート電極パッド 16 との間に位置している。抵抗素子 17 は、オーミックメタルからなっており、具体的には、ドレインオーミック電極 11、及びソースオーミック電極 12 と同一層である Ti 層、Al 層、TiN 層が順に積層された Ti / Al / TiN 電極である。抵抗素子 17 は、抵抗値を調整可能な調整抵抗であり、抵抗素子 17 を含む第 1 の配線 22 のインピーダンスを調整できるようになっている。具体的には、抵抗素子 17 のシート抵抗値は、抵抗素子 17 を含む第 1 の配線 22 の CR 時定数と、第 2 の配線 23 の CR 時定数とが略同一となるように設定されている。抵抗素子 17 のシート抵抗値は、例えば、ゲート電極接続配線 21 のシート抵抗値の約 10 倍である。

[0028] この実施形態の GaN 系 H F E T によれば、抵抗素子 17 は、抵抗素子 17 を含む第 1 の配線 22 のインピーダンスを調整できるようになっている。このため、ゲート信号に対する第 1 の配線 22 のインピーダンスを抵抗素子 17 によって調整して、第 1 の配線 22 の CR 時定数と、第 2 の配線 23 の

C R時定数とを略同一にすることができる。これにより、G a N系H F E Tで信号遅延が生じるのを防止できる。

[0029] したがって、第1の配線22のインピーダンスを抵抗素子17で調整するだけの簡単な構成で、G a N系H F E Tが均一に動作でき、リングングやサージ電圧を十分に抑制できると共に、G a N系H F E Tの安定した動作を実現できる。

[0030] また、この実施形態では、ドレインオーミック電極11、ソースオーミック電極12および抵抗素子17が同じオーミックメタルからなるので、ドレイン電極11、ソース電極12および抵抗素子17を同じ工程で形成できる。このため、抵抗素子17を設けるために別の工程を追加したり、マスキングを行ったりする必要がなくて製作コストを低減できる。

[0031] また、この実施形態では、上記フィンガー状に延在している複数のドレインオーミック電極11とソースオーミック電極12とを備えている。このため、G a N系H F E Tに大電流を流すことができ、大電流を流すときでも、均一に動作でき、リングングやサージ電圧を十分に抑制できると共に、G a N系H F E Tの安定した動作を実現できる。

[0032] (第2実施形態)

図3は、上記第2実施形態のG a N系H F E Tの平面模式図である。上記第1実施形態と相違する点を説明すると、この第2実施形態では、ゲート電極接続配線221の第1の配線222に2つの抵抗素子217、217が接続されている。なお、この第2実施形態において、上記第1実施形態と同一の符号は、上記第1実施形態と同じ構成であるため、その説明を省略する。

[0033] 図3に示すように、ゲート電極接続配線221の第1の配線222の両端が、それぞれゲート電極接続配線221の第2の配線223の一部を介してゲート電極パッド16に接続されている。第1の配線222の両端部222A、222Bには、それぞれ抵抗素子217、217が接続されている。抵抗素子217、217のシート抵抗値は、第1の配線222のC R時定数と、第2の配線223のC R時定数とが略同一となるように設定されている。

[0034] この実施形態のGaN系HFEETによれば、第1の配線222の一部と第2の配線223の一部とが重複している。このため、第1の配線222と第2の配線223とが重複していない場合に比べて、第1の配線222のCR時定数と第2の配線223のCR時定数との差をより小さくすることができて、GaN系HFEETの信号遅延が生じるのをより確実に防止できる。したがって、GaN系HFEETをより均一に動作させることができて、リングングやサージ電圧を抑制できる。

[0035] (第3実施形態)

図4は、上記第3実施形態のGaN系HFEETの平面模式図である。上記第1実施形態と相違する点を説明すると、この第3実施形態では、ゲート電極接続配線321の第1の配線322には抵抗素子が接続されておらず、第1の配線322の両端部322A、322Bがインピーダンス調整部を構成している。なお、この第3実施形態において、上記第1実施形態と同一の符号は、上記第1実施形態と同じ構成であるため、その説明を省略する。

[0036] 図4に示すように、ゲート電極接続配線321の第1の配線322は、両端がそれぞれゲート電極接続配線321の第2の配線323に接続されている。第1の配線322の両端部322A、322Bは、折れ曲がって蛇行するように形成されている。これら第1の配線322の両端部322A、322Bの抵抗等により、第1の配線322のCR時定数と、第2の配線323のCR時定数とが略同一となるように設定されている。すなわち、第1の配線322の両端部322A、322Bがインピーダンス調整部317を構成している。

[0037] この実施形態のGaN系HFEETによれば、第1の配線322の両端部322A、322Bがインピーダンス調整部317を構成しているから、インピーダンス調整部として別途抵抗素子などを設ける必要がない。このため、抵抗素子などを設けるために別の工程を追加したり、チップの面積を大きくしたり、マスキングを行ったりする必要がないので、GaN系HFEETの製作コストを低減できる。

- [0038] なお、上記第1～第3実施形態では、複数のフィンガー状のドレインオーミック電極と複数のフィンガー状のソースオーミック電極とを備えていたが、これに限らず、くし形のドレインオーミック電極とくし形のソースオーミック電極とを備えていてもよい。
- [0039] また、上記第1、第2実施形態では、第1の配線22，222に抵抗素子17，217が接続されていたが、これに限らず、第2の配線にも抵抗素子が接続されていてもよいし、第1の配線に抵抗素子を接続せず、第2の配線にのみ抵抗素子が接続されていてもよい。
- [0040] また、上記第3実施形態では、第1の配線322の両端部322A，322Bがインピーダンス調整部317を構成していたが、これに限らず、第2の配線の一部がインピーダンス調整部を構成していてもよいし、第1の配線の一部がインピーダンス調整部を構成せず、第2の配線の一部のみがインピーダンス調整部を構成していてもよい。
- [0041] また、上記第1、第2実施形態では、第1の配線22，222に抵抗素子17，217が接続されていたが、これに限らず、第1の配線にコンデンサなどの配線のCR時定数を調整できる受動素子を接続してもよい。
- [0042] また、上記第1～第3実施形態では、GaN系HFEETは、上記第2の方向に複数配置されたゲートフィンガー19を有していたが、これに限らず、1つのゲートフィンガーを有していてもよい。
- [0043] この発明の具体的な実施の形態について説明したが、この発明は上記実施形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。
- [0044] 本発明および実施形態を纏めると、次のようになる。
- [0045] 本発明の電界効果トランジスタは、
ヘテロ接合を有するGaN系積層体5と、
上記GaN系積層体5上に第1の方向に延在するように形成されたドレイン電極11と、
上記GaN系積層体5上に上記第1の方向に延在するように形成されてい

ると共に、上記ドレイン電極 11 に対して、上記第 1 の方向と交差する第 2 の方向に予め定められた間隔をあけて形成されたソース電極 12 と、

平面視において、上記ドレイン電極 11 と上記ソース電極 12 との間に形成されたゲート電極 13 と、

上記 GaN 系積層体 5 上に、上記ゲート電極 13 を覆うように形成された絶縁層 8 と、

上記絶縁層 8 上に形成されたゲート電極パッド 16 と、

上記ゲート電極 13 の一端部と上記ゲート電極パッド 16 とを接続する第 1 の配線 22, 222, 322 と、

上記ゲート電極 13 の他端部と上記ゲート電極パッド 16 とを接続する第 2 の配線 23, 223, 323 と、

上記第 1 の配線 22, 222, 322 および上記第 2 の配線 23, 223, 323 のうちの少なくとも 1 つの配線のインピーダンスを調整可能なインピーダンス調整部 17, 217, 317 とを備えることを特徴としている。

[0046] 本発明の電界効果トランジスタによれば、上記インピーダンス調整部 17, 217, 317 は、上記第 1 の配線 22, 222, 322 および上記第 2 の配線 23, 223, 323 のうちの少なくとも 1 つの配線のインピーダンスを調整できるようになっている。このため、インピーダンス調整部 17, 217, 317 によってゲート信号に対する第 1 の配線 22, 222, 322 および第 2 の配線 23, 223, 323 の抵抗や寄生容量などに起因するインピーダンスを調整して、第 1 の配線 22, 222, 322 のインピーダンスと第 2 の配線 23, 223, 323 のインピーダンスとを略同一にして、電界効果トランジスタで信号遅延が生じるのを防止できる。

[0047] したがって、電界効果トランジスタが均一に動作でき、リングングやサージ電圧を十分に抑制できると共に、電界効果トランジスタの安定した動作を実現できる。

[0048] また、一実施形態の電界効果トランジスタでは、

上記インピーダンス調整部 1 7, 2 1 7 は、上記第 1 の配線 2 2, 2 2 2 および上記第 2 の配線 2 3, 2 2 3 のうちの少なくとも 1 つの配線に設けられた抵抗素子である。

[0049] 上記実施形態によれば、上記インピーダンス調整部 1 7, 2 1 7 は、上記第 1 の配線 2 2, 2 2 2 および上記第 2 の配線 2 3, 2 2 3 のうちの少なくとも 1 つの配線に設けられた抵抗素子である。このため、この抵抗素子によって第 1 の配線 2 2, 2 2 2 のインピーダンスと第 2 の配線 2 3, 2 2 3 のインピーダンスとが略同一になるように簡単な構造でインピーダンスを調整できる。

[0050] また、一実施形態の電界効果トランジスタでは、
上記ドレイン電極 1 1、上記ソース電極 1 2 および上記インピーダンス調整部 1 7, 2 1 7 がオーミックメタルからなる。

[0051] 上記実施形態によれば、上記ドレイン電極 1 1、上記ソース電極 1 2 および上記インピーダンス調整部 1 7, 2 1 7 がオーミックメタルからなるので、ドレイン電極 1 1、ソース電極 1 2 およびインピーダンス調整部 1 7, 2 1 7 を同じ工程で形成できる。このため、インピーダンス調整部 1 7, 2 1 7 を形成するために別の工程を追加したり、マスキングを行ったりする必要がなく、製作コストを低減できる。

[0052] また、一実施形態の電界効果トランジスタでは、
上記インピーダンス調整部 3 1 7 は、上記第 1 の配線 3 2 2 および上記第 2 の配線 3 2 3 のうちの少なくとも 1 つの配線の一部からなる。

[0053] 上記実施形態によれば、上記第 1 の配線 3 2 2 および上記第 2 の配線 3 2 3 のうちの少なくとも 1 つの配線の一部が上記インピーダンス調整部 3 1 7 を構成している。このため、インピーダンス調整部として別途抵抗素子などを設ける必要がない。このため、抵抗素子などを設けるために別の工程を追加したり、チップの面積を大きくしたり、マスキングを行ったりする必要がないので、Ga N 系 H F E T の製作コストを低減できる。

[0054] また、一実施形態の電界効果トランジスタでは、

上記ドレイン電極 1 1 と上記ソース電極 1 2 とは、

上記第 2 の方向に互いに間隔をあけて略平行に交互に複数配置されていると共に上記第 1 の方向にフィンガー状に延在している。

[0055] 上記実施形態によれば、上記フィンガー状に延在している複数のドレイン電極 1 1 とソース電極 1 2 とを備えている。このため、電界効果トランジスタに大電流を流すことができ、大電流を流すときでも、均一に動作でき、リングングやサージ電圧を十分に抑制できると共に、電界効果トランジスタの安定した動作を実現できる。

符号の説明

[0056] 5 Ga N 系積層体
 8 層間絶縁膜
 1 1 ドレインオーミック電極
 1 2 ソースオーミック電極
 1 3 ゲート電極
 1 6 ゲート電極パッド
 1 7, 2 1 7 抵抗素子
 3 1 7 インピーダンス調整部
 2 2, 2 2 2, 3 2 2 第 1 の配線
 2 3, 2 2 3, 3 2 3 第 2 の配線

請求の範囲

[請求項1]

ヘテロ接合を有するGaN系積層体(5)と、

上記GaN系積層体(5)上に第1の方向に延在するように形成されたドレイン電極(11)と、

上記GaN系積層体(5)上に上記第1の方向に延在するように形成されていると共に、上記ドレイン電極(11)に対して、上記第1の方向と交差する第2の方向に予め定められた間隔をあけて形成されたソース電極(12)と、

平面視において、上記ドレイン電極(11)と上記ソース電極(12)との間に形成されたゲート電極(13)と、

上記GaN系積層体(5)上に、上記ゲート電極(13)を覆うように形成された絶縁層(8)と、

上記絶縁層(8)上に形成されたゲート電極パッド(16)と、

上記ゲート電極(13)の一端部と上記ゲート電極パッド(16)とを接続する第1の配線(22, 222, 322)と、

上記ゲート電極(13)の他端部と上記ゲート電極パッド(16)とを接続する第2の配線(23, 223, 323)と、

上記第1の配線(22, 222, 322)および上記第2の配線(23, 223, 323)のうちの少なくとも1つの配線のインピーダンスを調整可能なインピーダンス調整部(17, 217, 317)とを備えることを特徴とする電界効果トランジスタ。

[請求項2]

請求項1に記載の電界効果トランジスタにおいて、

上記インピーダンス調整部(17, 217)は、上記第1の配線(22, 222)および上記第2の配線(23, 223)のうちの少なくとも1つの配線に設けられた抵抗素子であることを特徴とする電界効果トランジスタ。

[請求項3]

請求項2に記載の電界効果トランジスタにおいて、

上記ドレイン電極(11)、上記ソース電極(12)および上記インピ

ーダンス調整部(17, 217)がオーミックメタルからなることを特徴とする電界効果トランジスタ。

[請求項4]

請求項1に記載の電界効果トランジスタにおいて、

上記インピーダンス調整部(317)は、上記第1の配線(322)および上記第2の配線(323)のうちの少なくとも1つの配線の一部からなることを特徴とする電界効果トランジスタ。

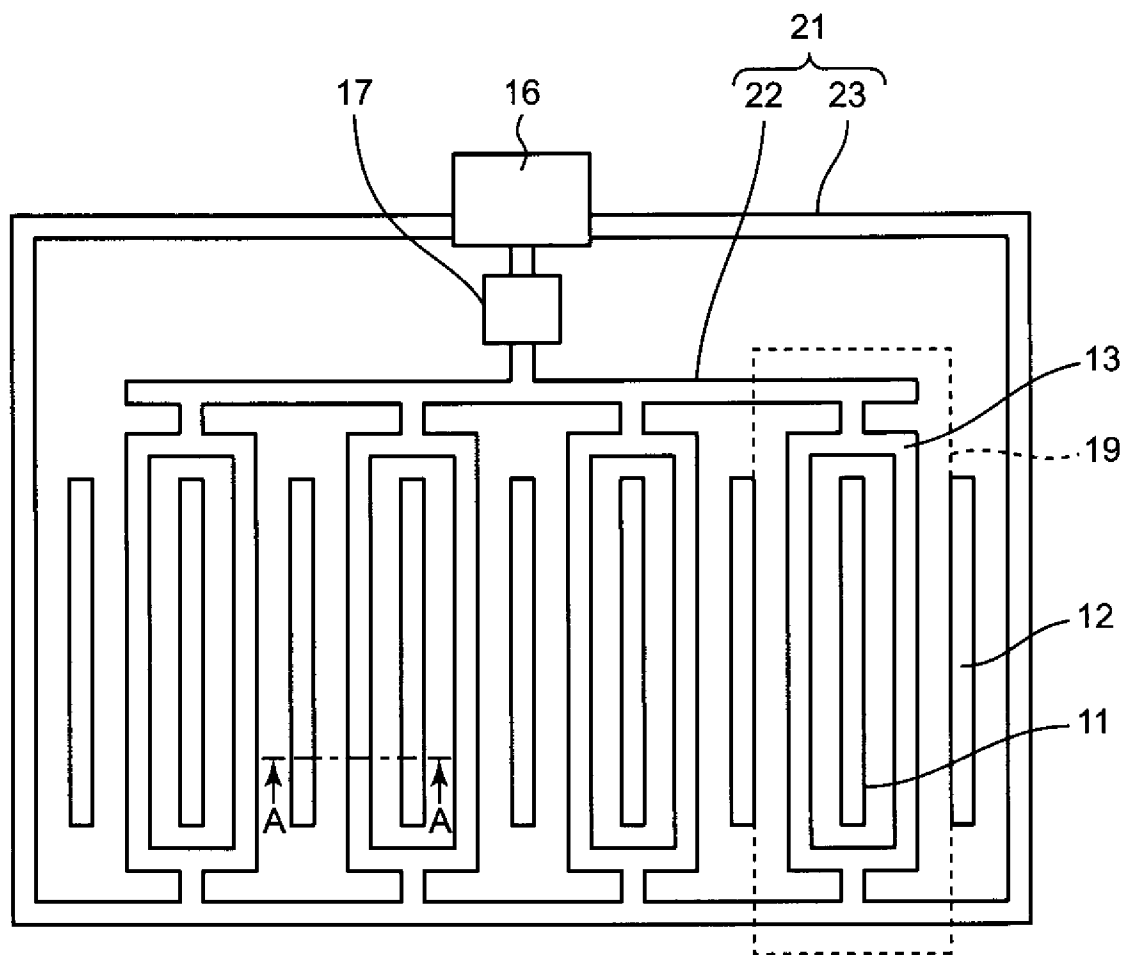
[請求項5]

請求項1から4のいずれか1つに記載の電界効果トランジスタにおいて、

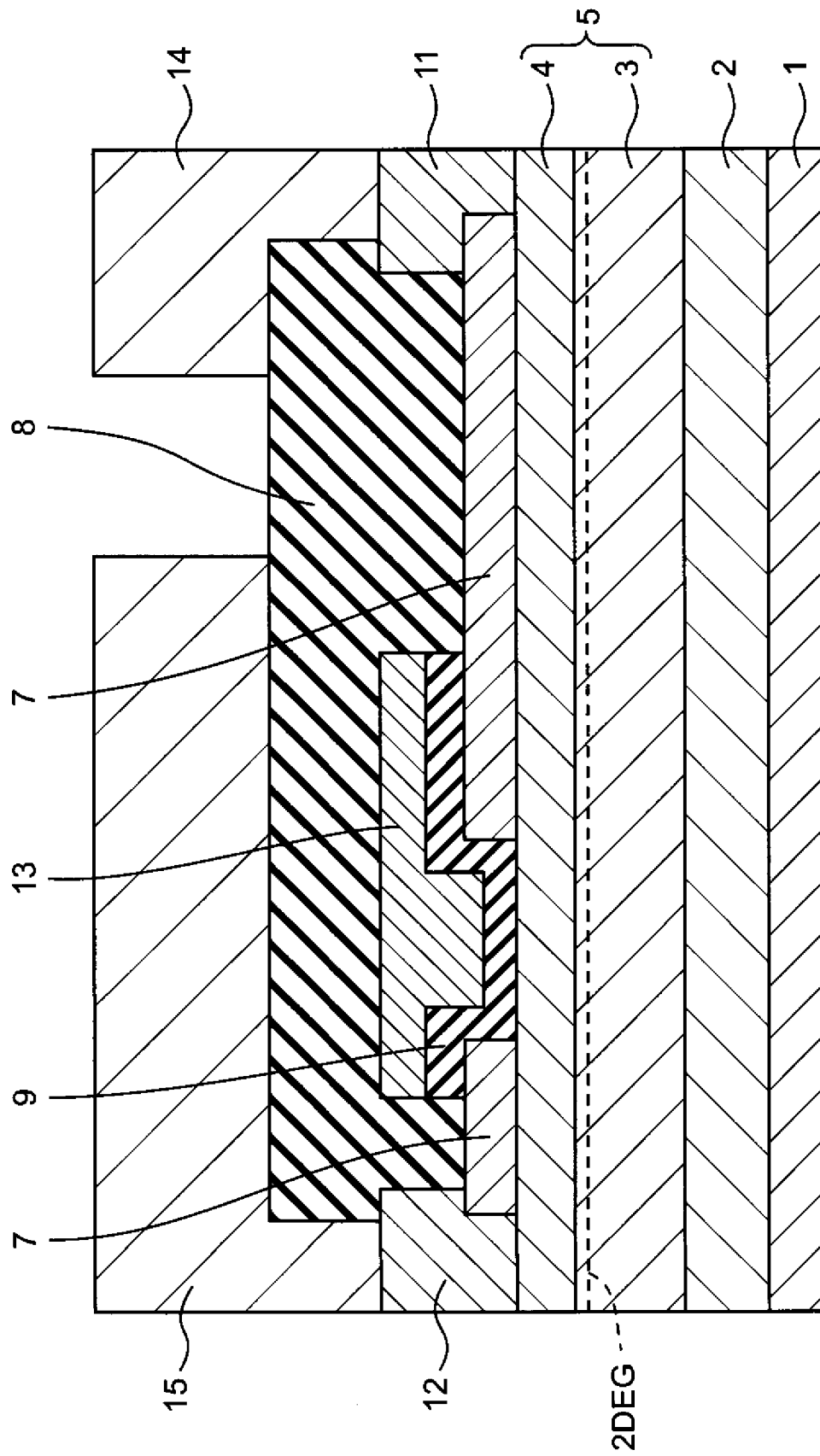
上記ドレイン電極(11)と上記ソース電極(12)とは、

上記第2の方向に互いに間隔をあけて略平行に交互に複数配置されていると共に上記第1の方向にフィンガー状に延在していることを特徴とする電界効果トランジスタ。

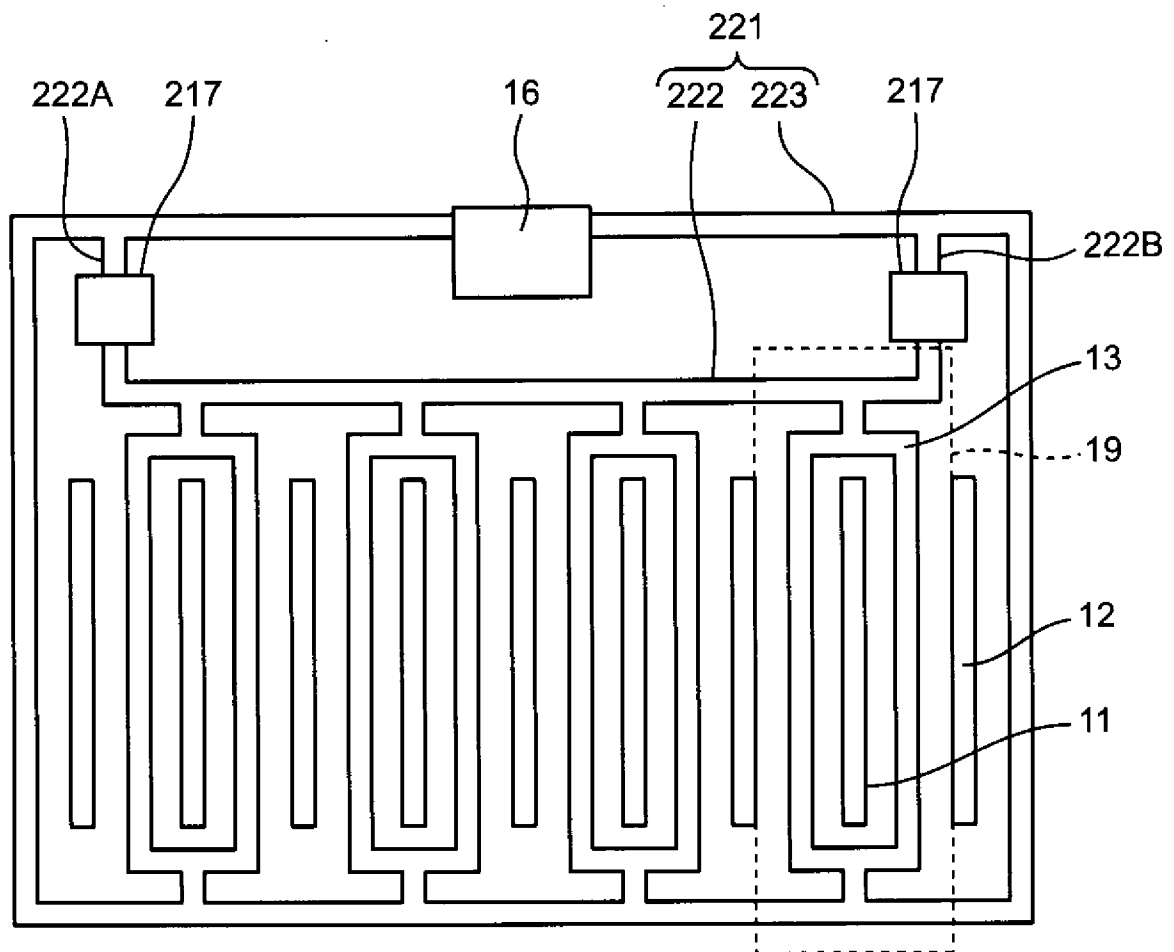
[図1]



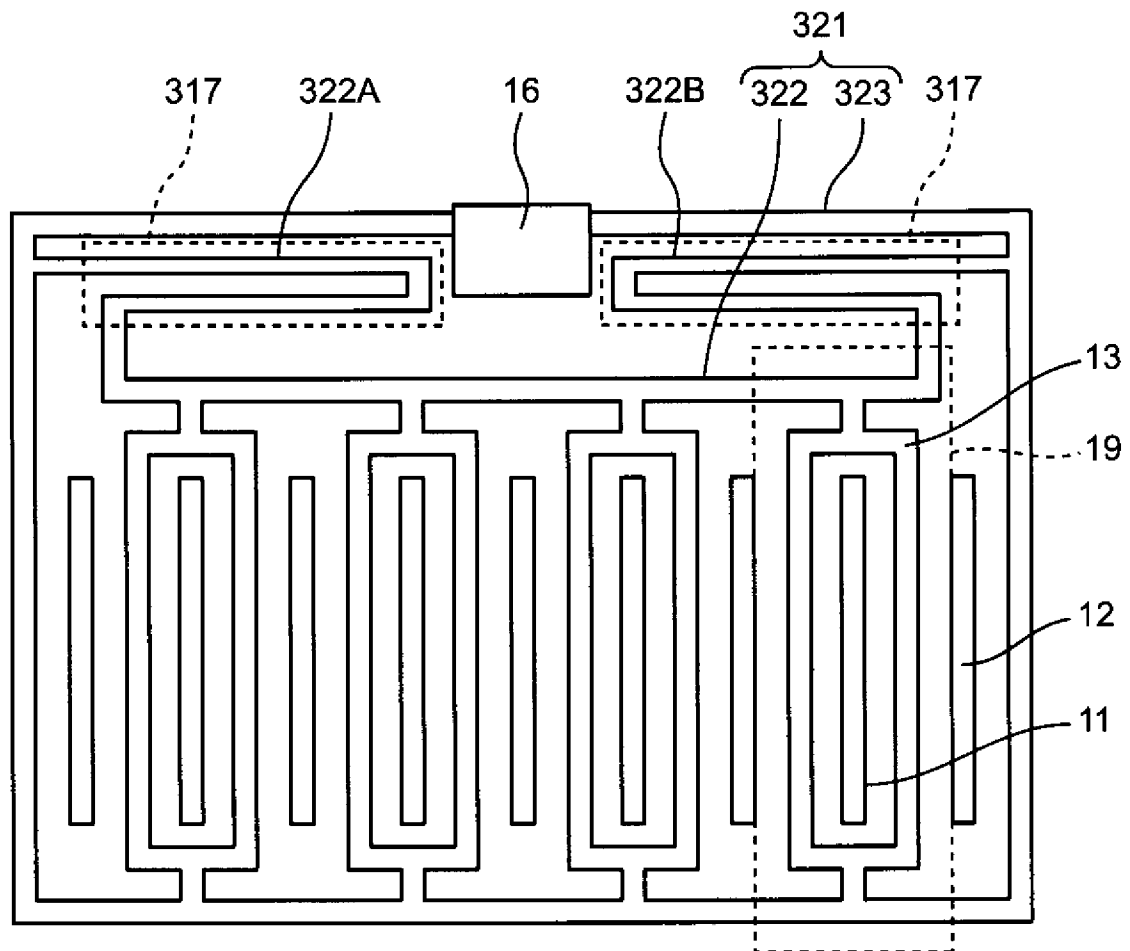
[図2]



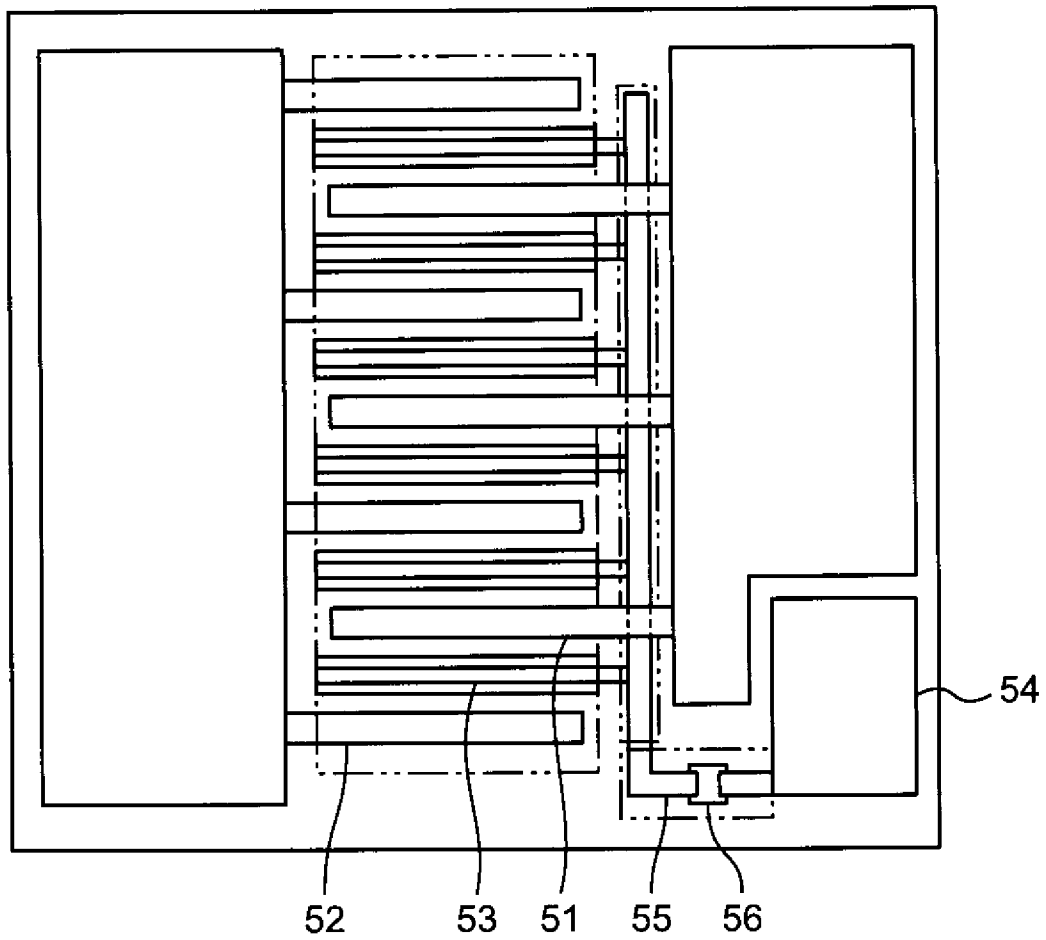
[図3]



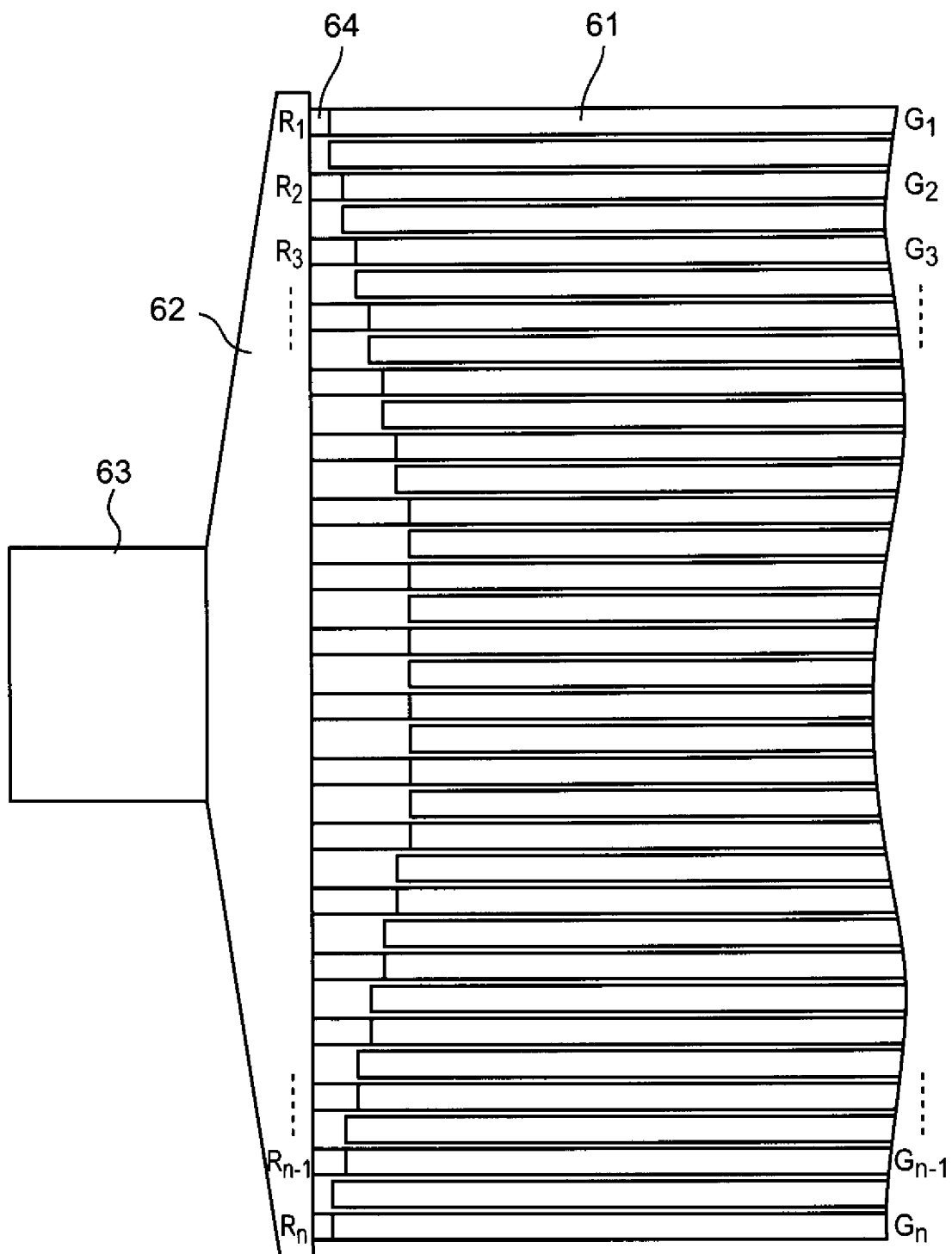
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/054866

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i,
H01L29/78
(2006.01)i, H01L29/786(2006.01)i, H01L29/812(2006.01)i

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/336, H01L29/778, H01L29/78, H01L29/786, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/113779 A1 (NEC Corp.), 07 October 2010 (07.10.2010), paragraphs [0024] to [0039], [0059]; fig. 3 to 4 & US 2012/0012908 A1	1-5
Y	JP 5-304176 A (Mitsubishi Electric Corp.), 16 November 1993 (16.11.1993), paragraphs [0012] to [0013]; fig. 4 to 5 (Family: none)	1-5
Y	JP 4-103138 A (Mitsubishi Electric Corp.), 06 April 1992 (06.04.1992), page 1, lower right column, line 13 to page 2, lower right column, line 11; fig. 10 to 12 & US 5170235 A & EP 472357 A2 & DE 69111528 T2	2, 3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 April 2015 (10.04.15)

Date of mailing of the international search report
21 April 2015 (21.04.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/054866

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-8063 A (NEC Corp.), 10 January 1997 (10.01.1997), paragraphs [0030] to [0035]; fig. 14 to 19 (Family: none)	3
A	JP 7-226488 A (Nippon Telegraph and Telephone Corp.), 22 August 1995 (22.08.1995), paragraphs [0012] to [0016]; fig. 1 to 2 (Family: none)	1-5
A	JP 5-304175 A (NEC Corp.), 16 November 1993 (16.11.1993), paragraphs [0011] to [0019]; fig. 1 to 3 & US 5345194 A & EP 524620 A2 & DE 69231115 T2	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/338, H01L21/336, H01L29/778, H01L29/78, H01L29/786, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/113779 A1（日本電気株式会社）2010.10.07, 段落[0024]-[0039], [0059], 図 3-4 & US 2012/0012908 A1	1-5
Y	JP 5-304176 A（三菱電機株式会社）1993.11.16, 段落[0012]-[0013], 図 4-5（ファミリーなし）	1-5

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 4 . 2 0 1 5

国際調査報告の発送日

2 1 . 0 4 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5 8 9 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 4-103138 A (三菱電機株式会社) 1992. 04. 06, 第 1 頁下右欄第 13 行目－第 2 頁下右欄第 11 行目、第 10-12 図 & US 5170235 A & EP 472357 A2 & DE 69111528 T2	2, 3
Y	JP 9-8063 A (日本電気株式会社) 1997. 01. 10, 段落[0030]-[0035], 図 14-19 (ファミリーなし)	3
A	JP 7-226488 A (日本電信電話株式会社) 1995. 08. 22, 段落[0012]-[0016], 図 1-2 (ファミリーなし)	1-5
A	JP 5-304175 A (日本電気株式会社) 1993. 11. 16, 段落[0011]-[0019], 図 1-3 & US 5345194 A & EP 524620 A2 & DE 69231115 T2	1-5