

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号

特開2018-190840

(P2018-190840A)

(43) 公開日 平成30年11月29日(2018.11.29)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/60 (2006.01)	H O 1 L 21/60 3 1 1 Q	5 F 0 3 3
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 S	5 F 0 4 4
H O 1 L 21/768 (2006.01)	H O 1 L 23/12 F	
H O 1 L 23/522 (2006.01)		
H O 1 L 23/12 (2006.01)		

審査請求 未請求 請求項の数 17 O L (全 18 頁)

(21) 出願番号 特願2017-92553 (P2017-92553)
 (22) 出願日 平成29年5月8日(2017.5.8)

(出願人による申告) 平成25年度 独立行政法人新エネルギー・産業技術総合開発機構 次世代スマートデバイス開発プロジェクト 車載用障害物センシングデバイスの研究開発に関わる委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 110001128
 特許業務法人ゆうあい特許事務所
 (72) 発明者 亀岡 紘
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 村上 嘉浩
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 秦 武廣
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

最終頁に続く

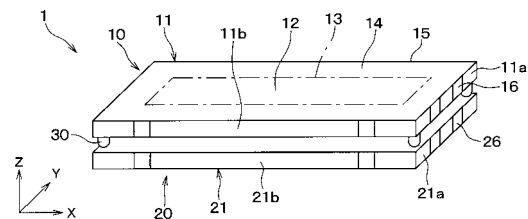
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体素子を形成できる領域が狭くなることを抑制できる半導体装置およびその製造方法を提供する。

【解決手段】2つの基板11、21を備え、2つの基板11、21のうちの一方の裏面が他方の表面に接合された半導体装置であって、2つの基板11、21には、基板11、21の側面から観察することができるアライメントマーク16、26が形成されており、2つの基板11、21は、2つの基板11、21のうちの一方に形成されたアライメントマークが他方に形成されたアライメントマークに対応するように接合されている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

2つの基板（11、21）を備え、2つの前記基板のうち一方の裏面が他方の表面に接合された半導体装置であって、

2つの前記基板には、前記基板の側面から観察することができるアライメントマーク（16、26）が形成されており、

2つの前記基板は、2つの前記基板のうち一方に形成された前記アライメントマークが他方に形成された前記アライメントマークに対応するように接合されている半導体装置。

【請求項 2】

前記基板は、半導体素子が形成された素子領域（12、22）と、前記素子領域を囲む外周部（13、14、15、23、24、25）とを備えており、

前記アライメントマークは、前記外周部に形成されている請求項 1 に記載の半導体装置。

10

【請求項 3】

前記アライメントマークは、前記基板のダイシングライン（15、25）上に形成されており、前記基板の側面に露出している請求項 2 に記載の半導体装置。

【請求項 4】

前記アライメントマークは、前記基板の内部に形成されており、

前記基板は、赤外光を透過する材料で構成されている請求項 2 に記載の半導体装置。

【請求項 5】

前記アライメントマークは、前記基板のスクライブライン（14、24）に形成されている請求項 4 に記載の半導体装置。

20

【請求項 6】

前記アライメントマークは、前記素子領域を囲むシールリング領域（13、23）に形成されている請求項 4 に記載の半導体装置。

【請求項 7】

2つの前記基板は、表面の大きさが互いに等しい請求項 1 ないし 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

2つの前記基板は、表面の大きさが互いに異なる請求項 1 ないし 6 のいずれか 1 つに記載の半導体装置。

30

【請求項 9】

前記アライメントマークは、前記基板を貫通する貫通孔とされている請求項 1 ないし 8 のいずれか 1 つに記載の半導体装置。

【請求項 10】

前記アライメントマークは、内部に金属が充填されている請求項 9 に記載の半導体装置。

【請求項 11】

2つの前記基板の表面には、それぞれ配線層（19、29）が形成されており、

2つの前記基板のうち一方の基板の表面に形成された前記配線層は、該基板の表面において離されて配置された少なくとも2つの領域を含んでおり、

前記2つの領域は、該基板に形成された前記アライメントマーク、および、他方の基板に形成された前記配線層を介して、電氣的に接続されている請求項 10 に記載の半導体装置。

40

【請求項 12】

2つの前記基板のうち一方に形成された前記アライメントマークは、他方に形成された2つの前記アライメントマークに挟まれた領域に対応している請求項 1 ないし 11 のいずれか 1 つに記載の半導体装置。

【請求項 13】

前記アライメントマークは、1つの前記基板に3つ以上形成されており、等間隔に並ん

50

でいる請求項 1 ないし 1 2 のいずれか 1 つに記載の半導体装置。

【請求項 1 4】

前記アライメントマークは、1 つの前記基板に 3 つ以上形成されており、不等間隔に並んでいる請求項 1 ないし 1 2 のいずれか 1 つに記載の半導体装置。

【請求項 1 5】

2 つの基板 (1 1、2 1) を備え、2 つの前記基板のうち一方の裏面が他方の表面に接合された半導体装置の製造方法であって、

2 つの前記基板に、前記基板の側面から観察することができるアライメントマーク (1 6、2 6) を形成することと、

2 つの前記基板を互いに対向させて配置することと、

2 つの前記基板に形成された前記アライメントマークを 2 つの前記基板の側面からカメラ (5 0、6 0) で観察しながら、2 つの前記基板に形成された前記アライメントマークが互いに対応するように 2 つの前記基板の位置を調節し、2 つの前記基板を接合することと、を備える半導体装置の製造方法。

【請求項 1 6】

2 つの前記基板は、表面の大きさが互いに異なっており、

前記接合することでは、2 つの前記基板のうち一方の基板に前記カメラの焦点を合わせて該基板に形成された前記アライメントマークを観察し、他方の基板に前記カメラの焦点を合わせて該基板に形成された前記アライメントマークを観察する請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】

前記アライメントマークを形成することでは、前記基板をエッチングすることにより、あるいは、前記基板をレーザ加工することにより、前記アライメントマークを形成する請求項 1 5 または 1 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置およびその製造方法に関するものである。

【背景技術】

【0 0 0 2】

複数の半導体チップが積層された構成や、基板と半導体チップとが積層された構成の半導体装置の製造では、半導体チップを精度よく位置合わせして接合することが重要である。例えば特許文献 1 では、基板の表面と半導体チップの表面にアライメントマークを形成し、このアライメントマークを半導体チップの表面側からカメラで観察し、基板と半導体チップに形成されたアライメントマークが重なるように位置合わせする方法が提案されている。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 1 2 - 2 3 8 7 7 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

位置合わせを精度よく行うためには、カメラから見たときのアライメントマークの寸法が、ある程度大きいことが必要とされる。そのため、特許文献 1 に記載のように、基板を表面から観察して位置合わせをする場合には、基板の表面におけるアライメントマークの寸法を大きくする必要がある。そして、基板の大きさが決められている場合には、基板の表面におけるアライメントマークの寸法を大きくすることにより、半導体素子を形成できる領域が狭くなる。

【0 0 0 5】

10

20

30

40

50

本発明は上記点に鑑みて、半導体素子を形成できる領域が狭くなることを抑制できる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するため、請求項1に記載の発明では、2つの基板(11、21)を備え、2つの基板のうち一方の裏面が他方の表面に接合された半導体装置であって、2つの基板には、基板の側面から観察することができるアライメントマーク(16、26)が形成されており、2つの基板は、2つの基板のうち一方に形成されたアライメントマークが他方に形成されたアライメントマークに対応するように接合されている。

【0007】

これによれば、アライメントマークを基板の側面から観察することができるので、基板の表面におけるアライメントマークの寸法を大きくする必要がない。したがって、アライメントマークを素子領域の外側に形成することが可能となり、素子領域のうち、実際に半導体素子を形成できる領域が狭くなることを抑制できる。

【0008】

また、請求項15に記載の発明では、2つの基板(11、21)を備え、2つの基板のうち一方の裏面が他方の表面に接合された半導体装置の製造方法であって、2つの基板に、基板の側面から観察することができるアライメントマーク(16、26)を形成することと、2つの基板を互いに対向させて配置することと、2つの基板に形成されたアライメントマークを2つの基板の側面からカメラ(50、60)で観察しながら、2つの基板に形成されたアライメントマークが互いに対応するように2つの基板の位置を調節し、2つの基板を接合することと、を備える。

【0009】

これによれば、アライメントマークを基板の側面から観察するので、基板の表面におけるアライメントマークの寸法を大きくする必要がない。したがって、アライメントマークを素子領域の外側に形成することが可能となり、素子領域のうち、実際に半導体素子を形成できる領域が狭くなることを抑制できる。

【0010】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

【0011】

【図1】第1実施形態にかかる半導体装置の斜視図である。

【図2】上側のチップのアライメントマーク近傍の平面図である。

【図3】上側のチップのアライメントマーク近傍の断面図である。

【図4】下側のチップの斜視図である。

【図5】半導体装置の製造工程を示す平面図である。

【図6】半導体装置の製造工程を示す断面図である。

【図7】半導体装置の製造工程を示す斜視図である。

【図8】半導体装置の製造工程を示す側面図である。

【図9】半導体装置の製造工程を示す側面図である。

【図10】半導体装置の製造工程を示す平面図である。

【図11】第2実施形態にかかる半導体装置の斜視図である。

【図12】半導体装置の製造工程を示す平面図である。

【図13】半導体装置の製造工程を示す側面図である。

【図14】第3実施形態にかかる半導体装置の斜視図である。

【図15】半導体装置の製造工程を示す平面図である。

【図16】第4実施形態にかかる半導体装置の斜視図である。

【図17】半導体装置の製造工程を示す側面図である。

【図18】半導体装置の製造工程を示す平面図である。

10

20

30

40

50

【図 19】第 5 実施形態にかかる半導体装置の斜視図である。
【図 20】半導体装置の製造工程を示す側面図である。
【図 21】半導体装置の製造工程を示す平面図である。
【図 22】第 6 実施形態にかかる半導体装置の斜視図である。
【図 23】第 7 実施形態にかかる半導体装置の斜視図である。
【図 24】第 8 実施形態にかかる半導体装置の斜視図である。
【図 25】半導体装置の製造工程を示す側面図である。
【図 26】半導体装置の製造工程を示す平面図である。
【図 27】他の実施形態にかかる半導体装置の平面図である。
【図 28】他の実施形態にかかる半導体装置の平面図である。
【図 29】他の実施形態にかかる半導体装置の平面図である。
【図 30】他の実施形態にかかる半導体装置の平面図である。
【図 31】他の実施形態にかかる半導体装置の平面図である。
【図 32】他の実施形態にかかる半導体装置の平面図である。
【図 33】他の実施形態にかかる半導体装置の平面図である。
【図 34】他の実施形態にかかる半導体装置の平面図である。
【発明を実施するための形態】

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

(第 1 実施形態)

第 1 実施形態について説明する。本実施形態の半導体装置は、2 つの半導体チップが積層された構成とされている。図 1 に示すように、半導体装置 1 は、チップ 10 と、チップ 20 と、を備えており、チップ 10 とチップ 20 は、接合部 30 を介して接合されている。本実施形態では、接合部 30 は、金属バンプで構成されている。

【0014】

チップ 10 は、Si 等で構成された基板 11 に半導体素子が形成されたものである。基板 11 は、半導体素子が形成された素子領域 12 と、素子領域 12 を囲む外周部とに分かれており、この外周部は、素子領域 12 を囲むシールリング領域 13 と、シールリング領域 13 を囲むスクライプライン 14 とに分かれている。接合部 30 は、基板 11 の裏面を後述する基板 21 の表面に接合している。

【0015】

シールリング領域 13 は、Si 等で構成されるウェハからチップ 10 を切り出すダイシングカットの際に生じたクラックが素子領域 12 に到達することを抑制するためのものである。スクライプライン 14 は、チップ 10 を切り出す際にレーザ加工される部分であり、スクライプライン 14 の中のダイシングライン 15 においてウェハが分割される。

【0016】

また、基板 11 には、アライメントマーク 16 が形成されている。アライメントマーク 16 は、チップ 10 とチップ 20 とを接合する際の位置合わせに用いられるものであり、基板 11 の側面から観察することができるように、基板 11 の厚さ方向に延設されている。本実施形態では、アライメントマーク 16 は、ダイシングライン 15 上に形成されており、基板 11 の側面に露出している。これにより、基板 11 の側面からアライメントマーク 16 を観察することが可能とされている。基板 11 と後述する基板 21 は、アライメントマーク 16 が後述するアライメントマーク 26 に対応するように接合されている。

【0017】

図 1 に示すように、基板 11 は矩形板状とされている。そして、基板 11 の 4 つの側面のうち互いに対向する 2 つの側面 11a にそれぞれ 2 つのアライメントマーク 16 が形成されている。また、他の 2 つの側面 11b にもそれぞれ 2 つのアライメントマーク 16 が形成されている。基板 11 の厚さ方向を Z 方向とし、Z 方向に垂直で側面 11b に平行な

方向を X 方向とし、Z 方向に垂直で側面 1 1 a に平行な方向を Y 方向とする。

【0018】

基板 1 1 の詳細な構成について説明する。図 2、図 3 に示すように、基板 1 1 の表面には、A 1 等で構成された複数の配線層 4 1 と、 SiO_2 等で構成された複数の絶縁層 4 2 が積層されている。絶縁層 4 2 には、絶縁層 4 2 を貫通して、配線層 4 1 同士、あるいは、配線層 4 1 と基板 1 1 とを接続するビア 4 3 が形成されている。そして、最上層の配線層 4 1 と絶縁層 4 2 の表面には、保護膜 4 4 が形成されている。

【0019】

なお、図 2 では、保護膜 4 4 の図示を省略しており、配線層 4 1、絶縁層 4 2、ビア 4 3 については、最下層の絶縁層 4 2 と、最下層の絶縁層 4 2 に形成されたビア 4 3 と、最下層の絶縁層 4 2 の表面に形成された配線層 4 1 のみを図示している。また、図 2 は断面図ではないが、図を見やすくするために、配線層 4 1 にハッチングを施してある。

【0020】

配線層 4 1、絶縁層 4 2 は、素子領域 1 2 に加えてシールリング領域 1 3、スクライブライン 1 4 にも形成されている。シールリング領域 1 3 に形成された配線層 4 1 は、ダイシングカットの際に生じたクラックの進行を抑制するためのものである。スクライブライン 1 4 に形成された配線層 4 1 は、チップ 1 0 の表面、ここでは保護膜 4 4 の表面を平坦化するためのものである。

【0021】

基板 1 1 の裏面には、 SiO_2 等で構成された絶縁膜 4 5 が形成されている。また、基板 1 1 には、基板 1 1 を厚さ方向に貫通する複数の TSV 4 6 が形成されている。具体的には、TSV 4 6 は、基板 1 1 に加えて、絶縁膜 4 5 と、基板 1 1 の表面に形成された絶縁層 4 2 とを貫通し、この絶縁層 4 2 の表面に形成された配線層 4 1 に至るように形成されており、TSV 4 6 の壁面には絶縁膜 4 7 が形成されている。そして、TSV 4 6 の内部には Cu 等の金属が充填されて金属層 4 8 が形成されている。

【0022】

本実施形態では、TSV 4 6 は、素子領域 1 2 とスクライブライン 1 4 とに形成されている。具体的には、スクライブライン 1 4 の TSV 4 6 は、ウェハ状の基板 1 1 におけるダイシングライン 1 5 上に形成される。そして、ダイシングライン 1 5 上に形成された TSV 4 6 は、ダイシングカットによって一部が欠けており、内部に充填された金属層 4 8 が露出している。複数の TSV 4 6 のうち、基板 1 1 の側面 1 1 a、1 1 b に露出した TSV 4 6 によって、アライメントマーク 1 6 が構成されている。

【0023】

チップ 2 0 は、チップ 1 0 と同様の構成とされており、図 4 に示すように、Si 等で構成された基板 2 1 を備えている。基板 2 1 は、図示しない半導体素子が形成された素子領域 2 2 と、素子領域 1 2 を囲む外周部とに分かれており、この外周部は、素子領域 2 2 を囲むシールリング領域 2 3 と、シールリング領域 2 3 を囲むスクライブライン 2 4 とに分かれている。

【0024】

そして、基板 2 1 の表面には図示しない配線層、絶縁層、保護膜が積層されており、絶縁層には、配線層同士、あるいは、配線層と基板 2 1 とを接続するビアが形成されている。また、基板 2 1 には、基板 1 1 と同様に TSV が形成されており、ダイシングライン 2 5 上に配置され、ダイシングカットによって一部が欠けた TSV によってアライメントマーク 2 6 が構成されている。アライメントマーク 2 6 は、アライメントマーク 1 6 と同様に、基板 2 1 の側面から観察することができるよう形成されている。

【0025】

図 4 に示すように、基板 2 1 は矩形板状とされている。そして、基板 2 1 の 4 つの側面のうち互いに対向する 2 つの側面 2 1 a にそれぞれ 2 つのアライメントマーク 2 6 が形成されている。また、他の 2 つの側面 2 1 b にもそれぞれ 2 つのアライメントマーク 2 6 が形成されている。図 1 に示すように、本実施形態では、基板 1 1 の表面と基板 2 1 の表面

10

20

30

40

50

は同じ大きさとされている。そして、基板 2 1 は、側面 2 1 a が側面 1 1 a に平行となり、側面 2 1 b が側面 1 1 b に平行となるように配置されている。

【 0 0 2 6 】

半導体装置 1 の製造方法について説明する。まず、ウェハ状の基板 1 1 を用意し、イオン注入等を用いて図示しない半導体素子を形成した後、熱酸化、C V D (Chemical Vapor Deposition) 法等により絶縁層 4 2 を形成する。そして、絶縁層 4 2 の一部をエッチングにより除去してビア 4 3 を形成し、スパッタリングによりビア 4 3 の内部に金属層を形成する。また、スパッタリングにより絶縁層 4 2 の表面にも金属層を形成し、この金属層の一部をエッチングにより除去して配線層 4 1 を形成する。このような工程を繰り返して複数の配線層 4 1、絶縁層 4 2 を積層した後、最上層の配線層 4 1 および絶縁層 4 2 の表面に保護膜 4 4 を形成する。

10

【 0 0 2 7 】

また、基板 1 1 の裏面に熱酸化等により絶縁膜 4 5 を形成した後、絶縁膜 4 5、基板 1 1、絶縁層 4 2 の一部をエッチングにより除去して、絶縁膜 4 5、基板 1 1、絶縁層 4 2 を貫通して配線層 4 1 に至る T S V 4 6 を形成する。そして、T S V 4 6 の壁面に熱酸化等により絶縁膜 4 7 を形成し、T S V 4 6 の底面に形成された絶縁膜 4 7 をエッチングにより除去した後、スパッタリングを用いて T S V 4 6 の内部に金属を充填し、金属層 4 8 を形成する。

【 0 0 2 8 】

このとき、図 5、図 6 に示すように、複数の T S V 4 6 のうちの一部をダイシングライン 1 5 上に形成する。そして、ダイシングライン 1 5 においてウェハを分割するダイシングカットを行い、チップ 1 0 を形成する。一部の T S V 4 6 をダイシングライン 1 5 上に形成しているので、ダイシングカットにより、基板 1 1 の側面にアライメントマーク 1 6 が露出する。本実施形態では、側面 1 1 a、側面 1 1 b にそれぞれ 2 つのアライメントマーク 1 6 が露出するように T S V 4 6 を形成する。

20

【 0 0 2 9 】

このようにしてチップ 1 0 を製造した後、チップ 1 0 の裏面に接合部 3 0 を形成する。また、チップ 1 0 と同様の方法でチップ 2 0 を製造し、側面 2 1 a、側面 2 1 b にアライメントマーク 2 6 を露出させる。このようにチップ 1 0 およびチップ 2 0 を製造し、接合部 3 0 を形成した後、チップ 1 0 とチップ 2 0 の接合を行う。

30

【 0 0 3 0 】

本実施形態では、チップ 1 0 とチップ 2 0 の接合の際に、チップ 1 0 およびチップ 2 0 を側面から観察してチップ 1 0 とチップ 2 0 の位置合わせを行う。具体的には、図 7 に示すように、基板 1 1、2 1 を互いに対向させて配置し、カメラ 5 0 によって、側面 1 1 a、2 1 a に露出したアライメントマーク 1 6、2 6 を X 方向から観察する。また、カメラ 6 0 によって、側面 1 1 b、2 1 b に露出したアライメントマーク 1 6、2 6 を Y 方向から観察する。なお、このとき、チップ 1 0 およびチップ 2 0 に可視光を当てて観察してもよいし、赤外光を当てて観察してもよい。

【 0 0 3 1 】

このように観察を行いながら、図 8 に示すように、側面 1 1 a に形成されたアライメントマーク 1 6 の位置と、側面 2 1 a に形成されたアライメントマーク 2 6 の位置とが Y 方向において等しくなるように、チップ 1 0 とチップ 2 0 の Y 方向の位置を調節する。なお、図 8、および、後述する図 9、図 1 3、図 1 7、図 2 0 では、接合部 3 0 の図示を省略している。

40

【 0 0 3 2 】

また、図 9 に示すように、側面 1 1 b に形成されたアライメントマーク 1 6 の位置と、側面 2 1 b に形成されたアライメントマーク 2 6 の位置とが X 方向において等しくなるように、チップ 1 0 とチップ 2 0 の X 方向の位置を調節する。

【 0 0 3 3 】

これにより、図 1 0 に示すように、対応するアライメントマーク 1 6、2 6 が Z 方向か

50

ら見て同じ位置となるように、チップ１０とチップ２０の位置が調節される。この状態で、熱圧着により接合部３０を介してチップ１０とチップ２０とを接合することで、半導体装置１を製造することができる。

【００３４】

このように、本実施形態では、アライメントマーク１６、２６を基板１１、２１の厚さ方向に延設し、さらに、基板１１、２１の側面に露出させることで、各アライメントマークを基板１１、２１の側面から観察することを可能としている。

【００３５】

そのため、アライメントマーク１６、２６を基板１１、２１の表面または裏面から観察する場合とは異なり、基板１１、２１の表面におけるアライメントマーク１６、２６の寸法を大きくする必要がない。

【００３６】

したがって、アライメントマーク１６、２６を素子領域１２、２２の外側に形成することが可能となり、素子領域１２、２２のうち、実際に半導体素子を形成できる領域が狭くなることを抑制できる。

【００３７】

また、基板１１、２１の表面または裏面からアライメントマーク１６、２６を観察する必要がないので、アライメントマーク１６、２６の上部に可視光や赤外光を遮断する層を形成することができる。例えば、アライメントマーク１６、２６の上部に、金属配線層や、ホウ素、リン等をイオン注入したイオン注入層等を形成することができる。したがって、チップ１０、チップ２０の設計の自由度が向上する。

【００３８】

また、本実施形態では、アライメントマーク１６をＴＳＶ４６で構成しているので、素子領域１２のＴＳＶ４６と共通の工程でアライメントマーク１６を形成することができる。そのため、アライメントマーク１６を形成するための追加コストが低減され、半導体装置１の製造コストの増加を抑制することができる。

【００３９】

（第２実施形態）

第２実施形態について説明する。第２実施形態は、第１実施形態に対してアライメントマーク１６、２６の配置を変更したものであり、その他については第１実施形態と同様であるため、第１実施形態と異なる部分についてのみ説明する。

【００４０】

本実施形態では、アライメントマーク１６、２６が基板１１、２１の内部に形成されている。具体的には、図１１に示すように、アライメントマーク１６、２６は、スクライブライン１４、２４のうちダイシングライン１５、２５よりもシールリング領域１３、２３に近い内側の部分に形成されたＴＳＶで構成されている。

【００４１】

本実施形態では、Ｓｉ等の赤外光を透過する材料で基板１１、２１を構成し、アライメントマーク１６、２６の内部に金属を充填する。そして、側面１１ａ、１１ｂ、２１ａ、２１ｂに赤外光を照射してこれらの側面からアライメントマーク１６、２６を観察し、チップ１０とチップ２０の位置合わせを行う。これにより、図１２に示すように、対応するアライメントマーク１６、２６がＺ方向から見て同じ位置となるように、チップ１０とチップ２０の位置が調節される。

【００４２】

アライメントマーク１６、２６が基板１１、２１の内部に形成された本実施形態においても、このように基板１１、２１の側面からの観察でチップ１０とチップ２０の位置合わせを行うことができる。したがって、第１実施形態と同様に、半導体素子を形成できる領域が狭くなることを抑制できる。

【００４３】

また、本実施形態では、Ｓｉ等の赤外光を透過する材料で基板１１、２１を構成し、ア

10

20

30

40

50

ライメントマーク１６、２６の内部に金属を充填している。したがって、図１３に示すように、基板１１、２１の表面に赤外光を遮断するイオン注入層１７、２７、配線層１８、２８が形成されていても、アライメントマーク１６、２６を基板１１、２１の側面から観察することができる。したがって、第１実施形態と同様に、チップ１０、チップ２０の設計の自由度が向上する。

【００４４】

（第３実施形態）

第３実施形態について説明する。第３実施形態は、第２実施形態に対してアライメントマーク１６、２６の配置を変更したものであり、その他については第２実施形態と同様であるため、第２実施形態と異なる部分についてのみ説明する。

10

【００４５】

本実施形態では、図１４に示すように、アライメントマーク１６、２６がシールリング領域１３、２３に形成されている。このような構成においても、第２実施形態と同様にチップ１０とチップ２０の位置合わせを行い、図１５に示すように、対応するアライメントマーク１６、２６がＺ方向から見て同じ位置となるように、チップ１０とチップ２０の位置を調節することが可能である。したがって、半導体素子を形成できる領域が狭くなることを抑制できる。また、チップ１０、チップ２０の設計の自由度が向上する。

【００４６】

（第４実施形態）

第４実施形態について説明する。第４実施形態は、第１実施形態に対して基板１１の大きさを変更したものであり、その他については第１実施形態と同様であるため、第１実施形態と異なる部分についてのみ説明する。

20

【００４７】

本実施形態では、基板１１と基板２１とが互いに異なる大きさとされている。具体的には、基板１１の表面と基板２１の表面とが互いに異なる大きさとされており、図１６に示すように、基板１１の表面がＸ方向およびＹ方向の両方において基板２１の表面よりも小さくされている。

【００４８】

本実施形態では、カメラ５０の焦点を基板１１の側面１１ａに合わせてアライメントマーク１６を観察し、その位置を取得した後、カメラ５０の焦点を基板２１の側面２１ａに合わせてアライメントマーク２６を観察し、その位置を取得する。そして、図１７に示すように、対応するアライメントマーク１６、２６のＹ方向の位置が互いに等しくなるように、基板１１および基板２１の位置を調節する。

30

【００４９】

同様に、カメラ６０の焦点を側面１１ｂに合わせてアライメントマーク１６の位置を取得した後、カメラ６０の焦点を側面２１ｂに合わせてアライメントマーク２６の位置を取得する。そして、対応するアライメントマーク１６、２６のＸ方向の位置が互いに等しくなるように、基板１１および基板２１の位置を調節する。

【００５０】

これにより、図１８に示すように、対応するアライメントマーク１６、２６のＸ方向またはＹ方向の位置が互いに等しくなるように、チップ１０の基板１１とチップ２０の基板２１の位置が調節される。

40

【００５１】

基板１１と基板２１の大きさが異なる場合、表面または裏面からアライメントマーク１６、２６を観察し、各アライメントマークが重なるように位置合わせを行う方法では、アライメントマークの配置に制約が生じる。例えば、基板１１が基板２１よりも小さい場合には、基板１１のアライメントマーク１６に合わせて、基板２１のアライメントマーク２６を基板２１のうちダイシングライン２５よりも内側の部分に形成する必要がある。そのため、素子領域２２において半導体素子を形成することができる領域が狭くなるおそれがある。

50

【0052】

これに対して、本実施形態では、アライメントマーク16、26を基板11、21の側面から観察することが可能であり、アライメントマーク26を基板21のうちダイシングライン25よりも内側の部分に形成する必要がない。したがって、素子領域22において半導体素子を形成できる領域が狭くなることを抑制できる。

【0053】

(第5実施形態)

第5実施形態について説明する。第5実施形態は、第1実施形態に対してアライメントマーク16、26の位置関係を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

10

【0054】

図19に示すように、本実施形態では、1つのアライメントマーク16に対して2つのアライメントマーク26が形成されている。すなわち、側面11a、側面11bにそれぞれ2つのアライメントマーク16が形成されているのに対して、側面21a、側面21bにはそれぞれ4つのアライメントマーク26が形成されている。そして、アライメントマーク16は、2つのアライメントマーク26で挟まれた領域に対応するように配置されている。

【0055】

本実施形態では、カメラ50で側面11a、21aを観察し、図20に示すように、アライメントマーク16が2つのアライメントマーク26で挟まれた領域に対応するように、チップ10、チップ20の位置を調節する。このとき、カメラ50で測定したアライメントマーク16と2つのアライメントマーク26との距離を用いて、アライメントマーク16が2つのアライメントマーク26の中央に位置するように、チップ10、チップ20の位置を調節する。

20

【0056】

同様に、カメラ60で側面11b、21bを観察し、アライメントマーク16が2つのアライメントマーク26で挟まれた領域に対応するように、チップ10、チップ20の位置を調節する。このとき、カメラ60で測定したアライメントマーク16と2つのアライメントマーク26との距離を用いて、アライメントマーク16が2つのアライメントマーク26の中央に位置するように、チップ10、チップ20の位置を調節する。

30

【0057】

これにより、図21に示すように、Z方向から見て、各アライメントマーク16が、対応する2つのアライメントマーク26の中央に配置される。

【0058】

このように、本実施形態では、1つのアライメントマーク16と、このアライメントマーク16を挟む2つのアライメントマーク26との距離を用いて、チップ10とチップ20とを位置合わせする。これにより、位置合わせの精度を向上させることができる。

【0059】

(第6実施形態)

第6実施形態について説明する。第6実施形態は、第1実施形態に対してアライメントマーク16、26の数を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

40

【0060】

本実施形態では、アライメントマーク16は側面11a、側面11bそれぞれに3つ以上形成されている。そして、側面11a、側面11bそれぞれにおいて、3つ以上形成されたアライメントマーク16は等間隔に並んでいる。同様に、側面21a、側面21bそれぞれにおいて、アライメントマーク26が3つ以上形成され、等間隔に並んでいる。

【0061】

具体的には、図22に示すように、側面11a、21aに3つのアライメントマーク16、26が形成されており、側面11b、21bに6つのアライメントマーク16、26

50

が形成されている。そして、側面 1 1 a において隣り合う 2 つのアライメントマーク 1 6 の間隔、および、側面 1 1 b において隣り合う 2 つのアライメントマーク 1 6 の間隔は、共に P 1 とされている。また、側面 2 1 a、2 1 b においても、隣り合う 2 つのアライメントマーク 2 6 の間隔は P 1 とされている。

【0062】

このように、3 つ以上のアライメントマーク 1 6、2 6 を等間隔で並べることにより、第 1 実施形態に比べてチップ 1 0 とチップ 2 0 との位置合わせが容易になる。

【0063】

(第 7 実施形態)

第 7 実施形態について説明する。第 7 実施形態は、第 6 実施形態に対してアライメントマーク 1 6、2 6 の配置を変更したものであり、その他については第 6 実施形態と同様であるため、第 6 実施形態と異なる部分についてのみ説明する。

【0064】

図 2 3 に示すように、本実施形態では、アライメントマーク 1 6、2 6 が不等間隔で並んでいる。すなわち、アライメントマーク 1 6 は、基板 1 1 の 1 つの側面に 3 つ以上形成されている。そして、3 つのアライメントマーク 1 6 のうち、中央に位置する 1 つのアライメントマーク 1 6 から、このアライメントマーク 1 6 の一方側に位置するアライメントマーク 1 6 までの距離と、他方側に位置するアライメントマーク 1 6 までの距離とが互いに異なっている。また、アライメントマーク 2 6 も同様に配置されている。

【0065】

具体的には、アライメントマーク 1 6、2 6 は、側面 1 1 a、2 1 a に 3 つ形成されており、側面 1 1 b、2 1 b に 6 つ形成されている。そして、側面 1 1 a に形成された隣り合う 2 つのアライメントマーク 1 6 の間隔を P 1 1、P 1 2 とすると、P 1 1 および P 1 2 は互いに異なる値とされている。また、側面 2 1 a に形成された隣り合う 2 つのアライメントマーク 2 6 の間隔は P 1 1、P 1 2 とされている。

【0066】

また、側面 1 1 b、2 1 b に形成された隣り合う 2 つのアライメントマーク 1 6、2 6 の間隔を端から順に P 2 1、P 2 2、P 2 3、P 2 4、P 2 5 とすると、P 2 1、P 2 2、P 2 3、P 2 4、P 2 5 は互いに異なる値とされている。

【0067】

アライメントマーク 1 6、2 6 の設計上の位置と実際の位置との間には、ずれが生じる。例えば、設計上の位置と実際の位置との間に $2\ \mu\text{m}$ のずれが生じ、アライメントマーク 1 6、2 6 を $10\ \mu\text{m}$ の等間隔で配置するように設計しても、実際の間隔は $12\ \mu\text{m}$ となる。同様に、 $P11 = 10\ \mu\text{m}$ 、 $P12 = 20\ \mu\text{m}$ となるように設計しても、実際には $P11 = 12\ \mu\text{m}$ 、 $P12 = 22\ \mu\text{m}$ となる。また、 $P21 = 10\ \mu\text{m}$ 、 $P22 = 20\ \mu\text{m}$ 、 $P23 = 30\ \mu\text{m}$ 、 $P24 = 40\ \mu\text{m}$ 、 $P25 = 50\ \mu\text{m}$ となるように設計しても、実際には $P21 = 12\ \mu\text{m}$ 、 $P22 = 22\ \mu\text{m}$ 、 $P23 = 32\ \mu\text{m}$ 、 $P24 = 42\ \mu\text{m}$ 、 $P25 = 52\ \mu\text{m}$ となる。

【0068】

しかしながら、上記のようにアライメントマーク 1 6、2 6 を不等間隔で並べることで、設計上の位置と実際の位置とのずれ量 ΔP を算出することができる。

【0069】

具体的には、側面 1 1 a、2 1 a に形成されたアライメントマーク 1 6、2 6 の実際の位置の差を δ とし、カメラ 5 0 で観察した 3 つのアライメントマーク 1 6 の間隔と、アライメントマーク 1 6、2 6 の位置の差との比を $x1$ 、 $x2$ とすると、 $x1 = (P11 + \Delta P) / \delta$ 、 $x2 = (P12 + \Delta P) / \delta$ となる。そして、これら 2 つの式から、ずれ量 ΔP および差 δ を求めることができる。側面 1 1 b、2 1 b に形成されたアライメントマーク 1 6、2 6 についても、同様にずれ量を算出することができる。

【0070】

このように、アライメントマーク 1 6、2 6 を不等間隔で配置することにより、設計上

の位置と実際の位置とのずれ量 ΔP を算出することができる。そして、算出したずれ量 ΔP を用いて、チップ10とチップ20とを精度よく位置合わせすることができる。

【0071】

(第8実施形態)

第8実施形態について説明する。第8実施形態は、第6実施形態に対して基板11、21の表面に配線層を追加したものであり、その他については第6実施形態と同様であるため、第6実施形態と異なる部分についてのみ説明する。

【0072】

図24に示すように、本実施形態では、基板11のうちスクライブライン14の表面に形成された配線層19と、基板21のうちスクライブライン24の表面に形成された配線層29とによって、デージーチェーンが組まれている。すなわち、配線層19は、基板11の表面において離された状態で配置された少なくとも2つの領域を含んでおり、この2つの領域は、基板11に形成されたアライメントマーク16、接合部30、および、基板21に形成された配線層29を介して、電氣的に接続されている。

【0073】

具体的には、3つ並んだアライメントマーク16のうち、中央のアライメントマーク16は、隣り合う一方のアライメントマーク16と配線層19を介して接続されており、他方のアライメントマーク16と配線層29および接合部30を介して接続されている。なお、アライメントマーク16と接合部30は、基板11の裏面に形成された図示しない配線層によって接続されている。

【0074】

そして、側面11bに並んだ6つのアライメントマーク16のうち、両端のアライメントマーク16は、間に配置された4つのアライメントマーク16と、配線層19、配線層29、接合部30とを介して、互いに接続されている。また、両端のアライメントマーク16は、配線層29、接合部30を介して、側面11aに形成されたアライメントマーク16と接続されている。そして、側面11aのアライメントマーク16の上部に形成された配線層19には、電圧計70の端子が接続されるようになっている。

【0075】

本実施形態においても、図25、図26に示すように、第1実施形態と同様にチップ10とチップ20の位置合わせを行う。そして、Z方向から見てアライメントマーク16、26の位置が同じになるようにチップ10、チップ20が配置されると、両端のアライメントマーク16の導通によって位置合わせの確認をすることができる。したがって、チップ10とチップ20との位置合わせの精度が向上し、歩留まりが向上する。

【0076】

(他の実施形態)

なお、本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0077】

例えば、上記第1～第8実施形態では、アライメントマーク16、26として基板11、21を貫通する貫通孔であるTSVを用いている。しかしながら、アライメントマーク16、26は基板11、21の側面から観察できるように基板11、21の厚さ方向に延設されていればよく、アライメントマーク16、26が基板11、21を貫通していなくてもよい。

【0078】

また、アライメントマーク16、26をダイシングライン15、25に形成する場合には、アライメントマーク16、26の内部に金属を充填しなくてもよい。ただし、アライメントマーク16、26の観察を容易にするためには、アライメントマーク16、26の内部に金属を充填することが好ましい。

【0079】

また、図27、図28に示すように、上記第2、3実施形態において、第4実施形態の

ように基板 1 1 と基板 2 1 の大きさが互いに異なっていてもよい。また、図 2 9、図 3 0 に示すように、上記第 2、3 実施形態において、第 5 実施形態のように、2 つのアライメントマーク 2 6 で挟まれた領域に対応する位置にアライメントマーク 1 6 を配置してもよい。

【0080】

また、上記第 2、3 実施形態において、第 6 実施形態のように、3 つ以上のアライメントマーク 1 6、2 6 を等間隔で並べてもよい。また、上記第 2、3 実施形態において、第 7 実施形態のように、アライメントマーク 1 6、2 6 を不等間隔で配置してもよい。

【0081】

また、上記第 8 実施形態において、配線層 2 9 がアライメントマーク 2 6 と離されていてもよい。第 4 実施形態のように基板 1 1 と基板 2 1 の大きさが互いに異なる場合には、図 3 1 に示すように、配線層 2 9 とアライメントマーク 2 6 を離して、基板 2 1 のうち基板 1 1 と重なる部分に配線層 2 9 を形成すればよい。

【0082】

また、図 3 2 に示すように、上記第 2 実施形態において、第 8 実施形態のように、配線層 1 9 と配線層 2 9 とによってデジチェーンが組み立てられていてもよい。また、上記第 3 実施形態において、第 8 実施形態のように、配線層 1 9 と配線層 2 9 とによってデジチェーンが組み立てられていてもよい。

【0083】

また、基板 1 1 と基板 2 1 のうち一方ではダイシングラインにアライメントマークが形成され、他方ではスクライプラインまたはシールリング領域にアライメントマークが形成されていてもよい。また、基板 1 1 と基板 2 1 のうち一方ではスクライプラインにアライメントマークが形成され、他方ではシールリング領域にアライメントマークが形成されていてもよい。

【0084】

また、図 3 3 に示すように、上記第 2、第 4、第 8 実施形態を組み合わせ、大きさが互いに異なるチップ 1 0、2 0 のスクライプライン 1 4、2 4 にアライメントマーク 1 6、2 6 を形成し、配線層 1 9、2 9 によってデジチェーンを組んでもよい。この場合、図 3 3 に示すように、配線層 2 9 がチップ 2 0 の素子領域 2 2 に形成されていてもよい。また、配線層 2 9 がシールリング領域 2 3 に形成されていてもよい。

【0085】

また、図 3 4 に示すように、大きさが互いに異なるチップ 1 0、2 0 のスクライプライン 1 4、シールリング領域 2 3 にアライメントマーク 1 6、2 6 を形成し、配線層 1 9、2 9 によってデジチェーンを組んでもよい。この場合、図 3 4 に示すように、配線層 2 9 がチップ 2 0 の素子領域 2 2 に形成されていてもよい。また、配線層 2 9 がシールリング領域 2 3 に形成されていてもよい。

【0086】

また、上記第 1 実施形態ではダイシングカットの前にアライメントマーク 1 6、2 6 を形成したが、ダイシングカットの後にアライメントマーク 1 6、2 6 を形成してもよい。

【0087】

また、上記第 1 実施形態では、1 つの T S V を分割して 2 つのチップのアライメントマークとしたが、スクライプラインに一方のチップのアライメントマークとなる T S V と他方のチップのアライメントマークとなる T S V を別々に形成してもよい。

【0088】

また、基板 1 1、2 1 をレーザ加工することにより、アライメントマーク 1 6、2 6 を構成する T S V を形成してもよい。アライメントマーク 1 6、2 6 をレーザ加工で形成する場合、レーザを用いたダイシングカットと共通の工程でアライメントマーク 1 6、2 6 を形成することができる。そのため、アライメントマーク 1 6、2 6 を形成するための追加コストが低減され、半導体装置 1 の製造コストの増加を抑制することができる。

【0089】

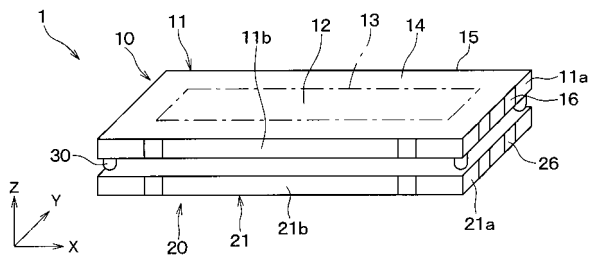
また、上記第 1 ～ 7 実施形態において、接合部 30 を接着剤、ダイアタッチフィルム等で構成してもよい。

【符号の説明】

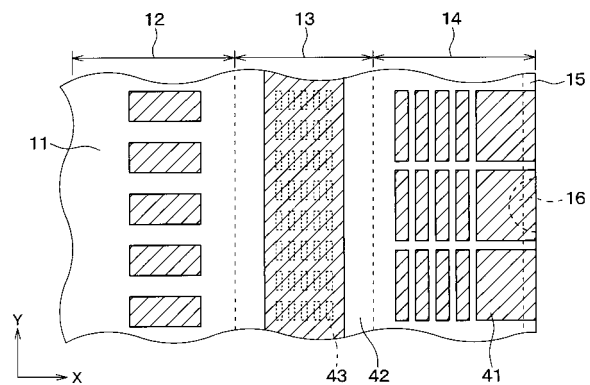
【0090】

- 11 基板
- 16 アライメントマーク
- 21 基板
- 26 アライメントマーク
- 50 カメラ
- 60 カメラ

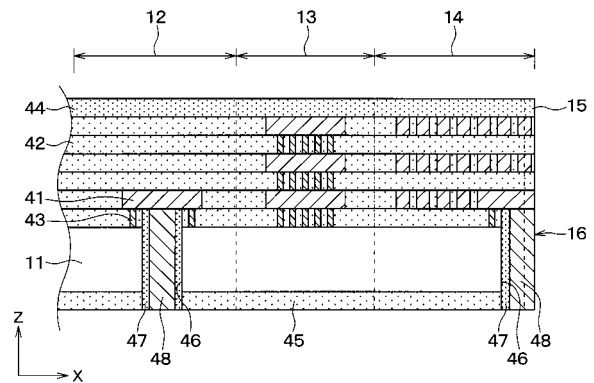
【図 1】



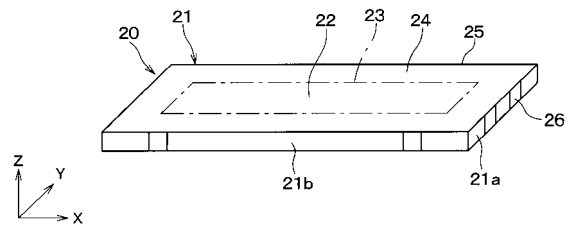
【図 2】



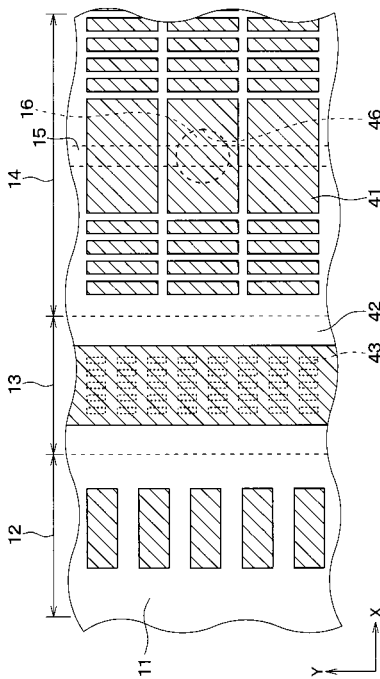
【図 3】



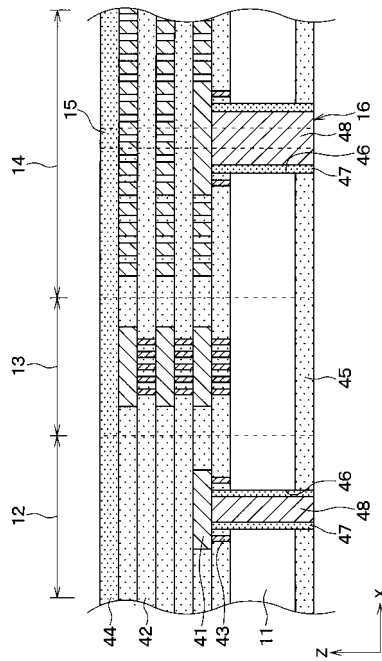
【図 4】



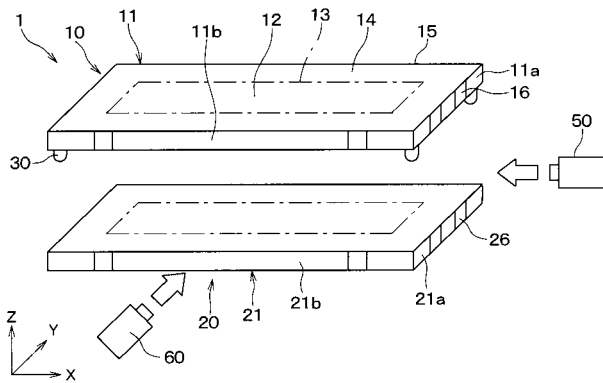
【図 5】



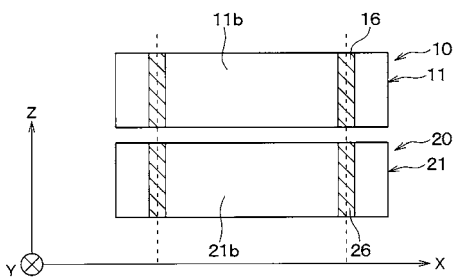
【図 6】



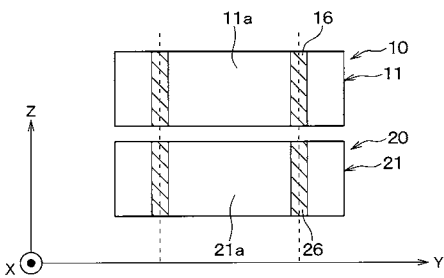
【図 7】



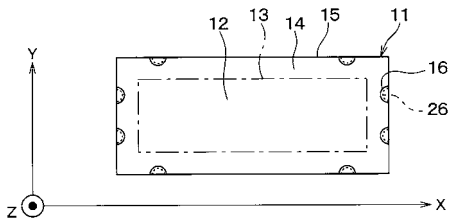
【図 9】



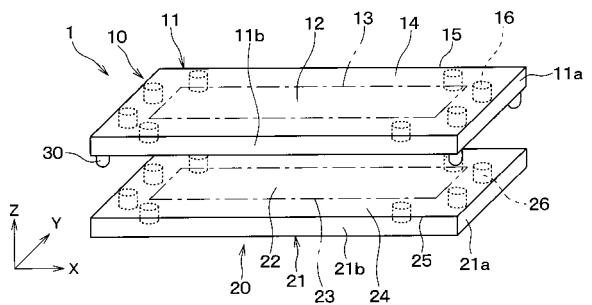
【図 8】



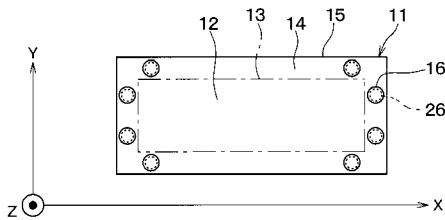
【図 10】



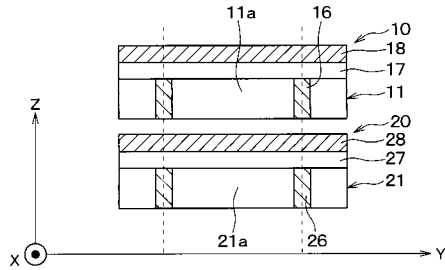
【図 11】



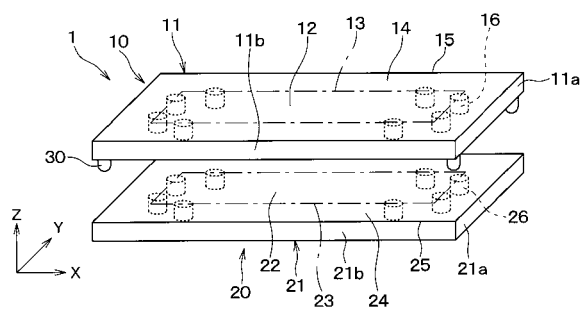
【図 1 2】



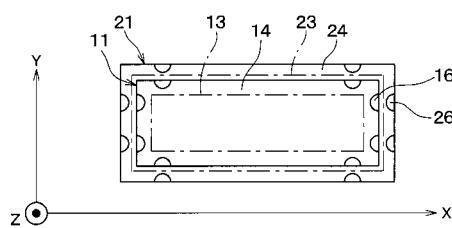
【図 1 3】



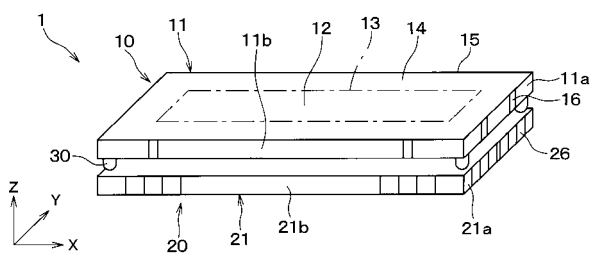
【図 1 4】



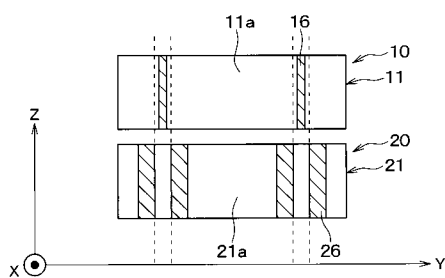
【図 1 8】



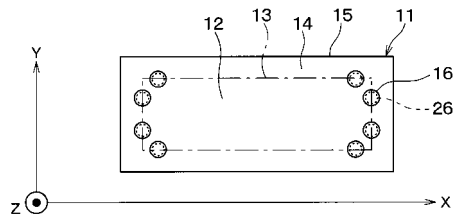
【図 1 9】



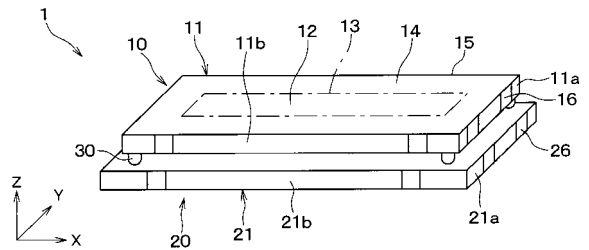
【図 2 0】



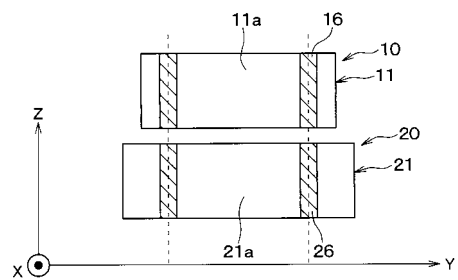
【図 1 5】



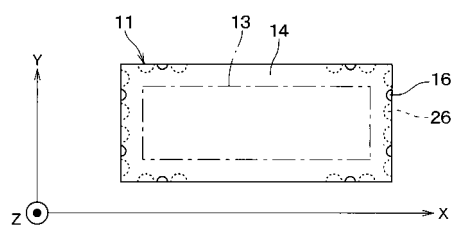
【図 1 6】



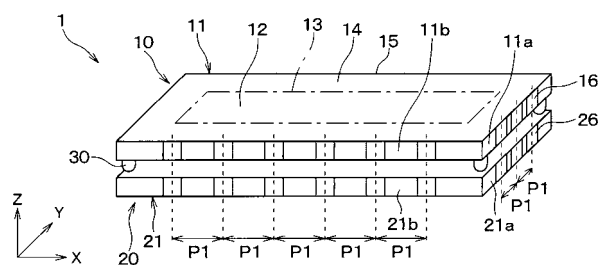
【図 1 7】



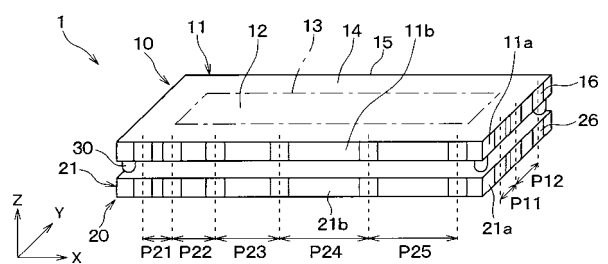
【図 2 1】



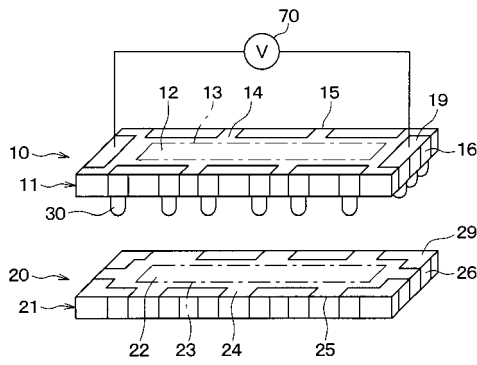
【図 2 2】



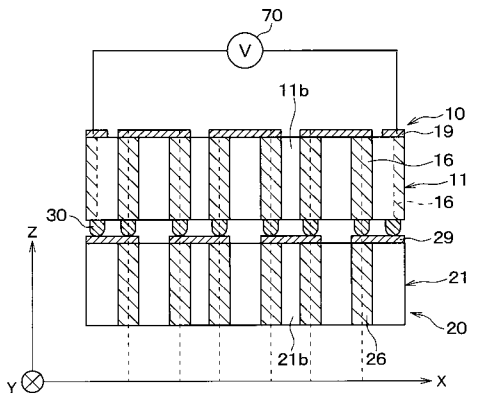
【図 2 3】



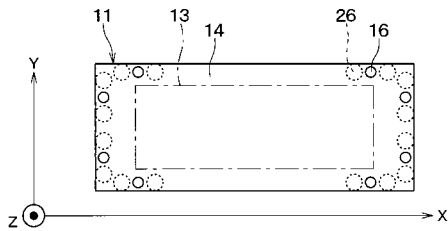
【図 2 4】



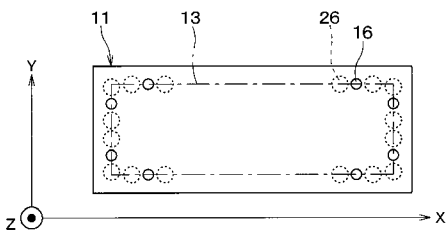
【図 2 5】



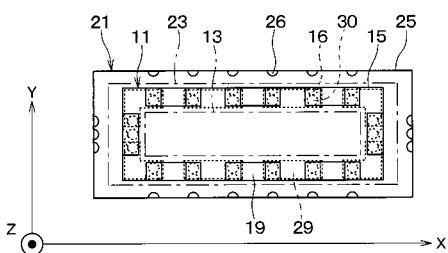
【図 2 9】



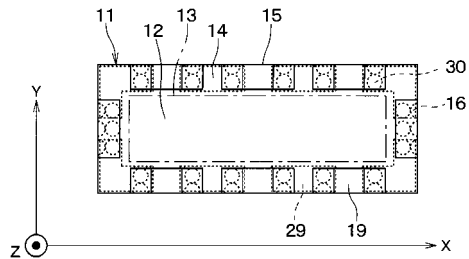
【図 3 0】



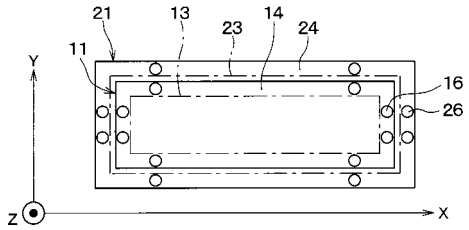
【図 3 1】



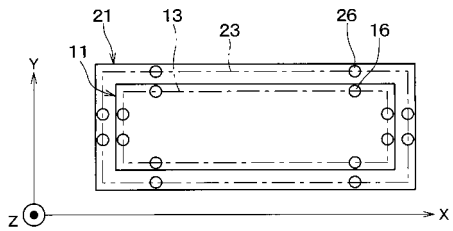
【図 2 6】



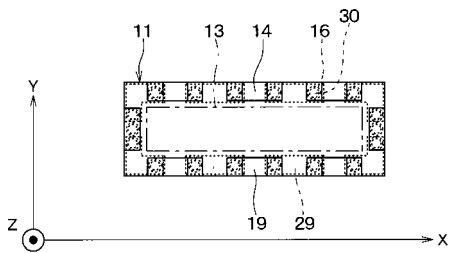
【図 2 7】



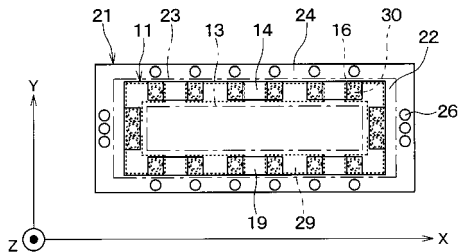
【図 2 8】



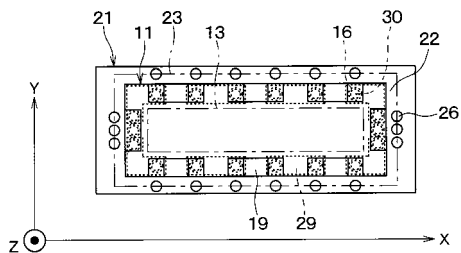
【図 3 2】



【図 3 3】



【図 3 4】



フロントページの続き

F ターム(参考) 5F033 JJ11 MM30 PP15 QQ09 QQ37 QQ53 QQ73 QQ76 RR04 SS11
SS25 SS27 TT07 VV00
5F044 DD06 DD17 DD18