



(12) 发明专利

(10) 授权公告号 CN 102782821 B

(45) 授权公告日 2016. 01. 13

(21) 申请号 201180010647. 7

(22) 申请日 2011. 02. 10

(30) 优先权数据

12/713, 264 2010. 02. 26 US

(85) PCT国际申请进入国家阶段日

2012. 08. 23

(86) PCT国际申请的申请数据

PCT/US2011/024310 2011. 02. 10

(87) PCT国际申请的公布数据

W02011/106165 EN 2011. 09. 01

(73) 专利权人 伊斯曼柯达公司

地址 美国纽约

(72) 发明人 L·W·塔特 S·F·纳尔逊

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 陈松涛 韩宏

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/786(2006. 01)

(56) 对比文件

JP 平 2-140863 U, 1990. 11. 26, 说明书第 5 页第 1-7 段、第 6 页第 1 段至第 11 页第 1 段及附图 1-2.

US 2009/0194826 A1, 2009. 08. 06, 说明书第

76-100 段及附图 5-6B.

US 5547883 A, 1996. 08. 20, 说明书第 3 栏第 25 行至第 4 栏第 35 行及附图 4a-5c.

US 6018176 A, 2000. 01. 25, 说明书第 4 栏第 35 行至第 5 栏第 54 行及附图 4-5f.

DE 4437068 A1, 1995. 11. 23, 说明书第 5 栏第 44 行至第 6 栏第 41 行及附图 2a-4.

US 5780911 A, 1998. 07. 14, 说明书第 3 栏第 23 行至第 5 栏第 54 行及附图 2-5f.

JP 特开 2010-40580 A, 2010. 02. 18, 说明书第 117-120 段及附图 7.

CN 1591899 A, 2005. 03. 09, 全文.

审查员 肖箫

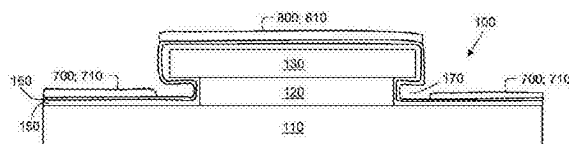
权利要求书1页 说明书8页 附图5页

(54) 发明名称

包括凹进轮廓的垂直晶体管

(57) 摘要

一种晶体管包括衬底、导电材料层和电绝缘材料层。衬底、导电材料层和电绝缘材料层中的一个或多个的至少一部分限定出凹进轮廓。



1. 一种晶体管,包括:

衬底;

第一导电材料层;

电绝缘材料层,所述第一导电材料层位于所述衬底与所述电绝缘材料层之间,所述电绝缘材料层被确定大小并定位,以延伸超过所述第一导电材料层,以使得所述电绝缘材料层产生相对于所述第一导电材料层的凹进轮廓;

与所述凹进轮廓相符的半导体材料层;以及

与所述半导体材料层接触的第二导电材料层。

2. 根据权利要求 1 所述的晶体管,所述电绝缘材料层是第一电绝缘材料层,还包括:

与所述凹进轮廓相符的第二电绝缘材料层。

3. 根据权利要求 2 所述的晶体管,其中

所述半导体材料层与接触所述第二电绝缘材料层的所述凹进轮廓相符。

4. 根据权利要求 1 所述的晶体管,其中,所述衬底是柔性的。

5. 根据权利要求 1 所述的晶体管,其中,所述电绝缘材料层和所述第一导电材料层限定出所述凹进轮廓。

6. 一种驱动半导体器件的方法,包括:

提供晶体管,所述晶体管包括:

衬底;

第一导电材料层;

电绝缘材料层,所述第一导电材料层位于所述衬底与所述电绝缘材料层之间,所述电绝缘材料层被确定大小并定位,以延伸超过所述第一导电材料层,以使得所述电绝缘材料层产生相对于所述第一导电材料层的凹进轮廓;

位于所述电绝缘材料层上的第二导电材料层;以及

位于所述衬底上的第三导电材料层;

在所述第二导电材料层与所述第三导电材料层之间施加电压;以及

对所述第一导电材料层施加电压,以电连接所述第二导电材料层和所述第三导电材料层。

包括凹进轮廓的垂直晶体管

技术领域

[0001] 本发明总体上涉及半导体器件，具体地，涉及晶体管器件。

背景技术

[0002] 在半导体处理技术中，借助结合了选择性蚀刻处理的光刻法来对相对于晶片表面是水平的平面衬底表面进行构图。在集成电路的处理中，在晶片或衬底表面上形成具有显著形貌的起伏。通常，这类起伏包括相对于衬底表面倾斜或垂直的表面。随着集成电路的尺寸不断缩小，越来越有必要形成垂直或倾斜的器件表面，以便在其垂直范围上从功能上区分这些器件，同时仍保持图案对准。这些类型的半导体器件的示例包括深沟式电容器、叠层电容器和垂直晶体管。

[0003] 当前，使用常规光刻技术，不可能将图案直接设置在相对于衬底表面垂直的壁上。通常，使用适合的填料来完成这类垂直壁构图，所述填料在部分地填入沟槽中时用作壁的位于下面的部分的掩模，同时允许处理填料以上的壁。例如，当要在填料以下的垂直壁上仅沉积氧化物时，首先在起伏的整个表面上沉积或产生氧化物。最初用适合的填料完全填充起伏或沟槽。随后，使填料凹进回到正好覆盖预期的氧化物的深度。在去除氧化物的未覆盖区域之后，去除剩余的填料。

[0004] 可替换地，当要仅在垂直壁的上部区域中沉积或产生氧化物时，首先在整个起伏图案的整个表面上提供蚀刻停止层，例如，氮化物层。将易于受定向蚀刻影响的不同材料，例如多晶硅，用于填充起伏，并进行蚀刻，直至回到最终垂直氧化物的预期覆盖深度。在从壁的未填充区域去除蚀刻停止层后，在未覆盖的区域中使用热工艺沉积或产生氧化物。接下来，各向异性地蚀刻氧化物，这从水平方向去除沉积的氧化物。这之后是去除填料，随后去除蚀刻停止层。

[0005] 存在可以用于在衬底起伏的垂直或倾斜表面上沉积薄膜的沉积工艺。然而，其难以控制所沉积的层的厚度。通常，随着起伏深度的增大，例如，随着垂直或倾斜壁的长度增大，覆盖层的厚度减小。这样，在起伏的长度上，使用这些类型的沉积工艺沉积的层在深度上具有相对大的差别。这些类型的沉积工艺包括等离子体增强化学气相沉积法(PECVD)和使用四乙基原硅酸酯(TEOS)的氧化硅的限制扩散沉积工艺。

[0006] 由此，当前正需要提供包括被构图的垂直或倾斜器件表面的半导体器件架构。当前还需要提供能够在无需高分辨率对准容限的情况下，处理半导体器件的小器件特征的制造技术。

发明内容

[0007] 根据本发明的一个方面，一种晶体管包括衬底、导电材料层和电绝缘材料层。衬底、导电材料层和电绝缘材料层中的一个或多个的至少一部分限定出凹进轮廓。

[0008] 根据本发明的另一个方面，电绝缘材料层是第一电绝缘材料层，并且所述晶体管包括与所述凹进轮廓相符的第二电绝缘材料层。在本发明的另一个方面中，半导体材料层

与接触所述第二电绝缘材料层的凹进轮廓相符。

[0009] 根据本发明的另一个方面,电绝缘材料层和导电材料层限定出凹进轮廓。

[0010] 根据本发明的另一个方面,一种驱动半导体器件的方法,包括提供晶体管,该晶体管包括衬底、第一导电材料层和电绝缘材料层,所述电绝缘材料层包括与所述导电材料层相关的凹进轮廓;位于所述电绝缘材料层上的第二导电材料层;以及位于所述衬底上的第三导电材料层;在所述第二导电材料层与所述第三导电材料层之间施加电压;以及对所述第一导电材料层施加电压,以电连接所述第二导电材料层和所述第三导电材料层。

附图说明

[0011] 在以下的本发明的优选实施例的详细说明中,参照了附图,在其中:

[0012] 图 1 是垂直晶体管的示意性截面图;

[0013] 图 2 至 8 是与制造图 1 所示的垂直晶体管的方法的示例性实施例相关的处理步骤的示意性截面图;

[0014] 图 9 是示出图 1 所示的垂直晶体的性能转移特性的曲线图;以及

[0015] 图 10 是示出图 1 所示的垂直晶体的性能 I_d-V_d 曲线特性的曲线图。

具体实施方式

[0016] 本说明书将具体涉及构成根据本发明的器件的一部分的元件,或者与该器件更直接合作的元件。应理解,没有具体示出或说明的元件可以采取本领域技术人员公知的各种形式。

[0017] 参照图 1,示出了垂直晶体管 100 的示意性截面图。晶体管 100 包括衬底 110、(第一)导电材料层 120 和(第一)电绝缘材料层 130。晶体管 100 还包括另一个(第二)电绝缘材料层 150、半导体材料层 160、(多个)电极 700 和电极 800。

[0018] 导电层 120 位于衬底 110 与绝缘层 130 之间。导电层 120 的第一表面与衬底 110 的第一表面接触,而导电层 120 的第二表面与绝缘层 130 的第一表面接触。绝缘材料层 130 常常称为电介质材料层。衬底 110 常常称为支撑,可以是刚性的或者柔性的。

[0019] 对绝缘层 130、导电层 120、衬底 100 或其组合适当地确定尺寸(大小)、定位,或者相对于至少一个其他层或衬底确定尺寸并定位,以在晶体管 100 中产生凹进轮廓 170。这样,可以说,绝缘层 130、导电层 120、衬底 100 中的一个或多个的至少一部分限定出晶体管 100 的凹进轮廓 170。凹进轮廓 170 遮挡至少一些导电层 120 以避免使用定向(或视线)沉积(或涂层)工艺沉积(或涂覆)的材料。凹进轮廓 170 允许至少一些导电层 120 对于使用共形(conformal)沉积(或涂层)工艺沉积的材料是可达到的。例如,电绝缘材料层 130 和导电材料层 120 可以限定出凹进轮廓 170。

[0020] 如图 1 所示,由电绝缘材料层 130 和导电材料层 120 之一或二者的部分来限定出凹进轮廓 170。对绝缘层 130 确定大小并定位,以延伸超过导电层 120,以使得绝缘层 130 产生相对于导电层 120 的凹进轮廓 170。可替换地表述,对导电层 120 确定大小并定位,以便在绝缘层 130 终止之前终止(如图 1 所示,在左右两个方向上),以使得导电层 120 产生相对于绝缘层 130 的凹进轮廓 170。

[0021] 绝缘材料层 150 与晶体管 100 的凹进轮廓 170 相符。绝缘材料层 150 包括第一和

第二表面,第一表面与绝缘层 130、导电层 120 和衬底 110 的部分表面接触。半导体材料层 160 与晶体管 100 的凹进轮廓 170 相符。半导体层 160 包括第一和第二表面,并且第一表面与绝缘层 150 的第二表面接触。半导体层 160 的第二表面的相异的(或单独的、不同的)部分与(多个)电极 700 和电极 800 接触。

[0022] (多个)电极 700 包括另一个(第二)导电材料层 710。电极 800 包括另一个(第三)导电材料层 810。在晶体管 100 的不同位置处彼此间隔开地定位(多个)电极 700 和电极 800。第二和第三导电材料层 710、810 可以是相同的材料层。当这完成时,(多个)电极 700 和电极 800 被包括在同一导电材料层的相异部分中,或者是材料层 710 或者是材料层 810。可替换地,第二和第三导电材料层 710、810 可以是相异的(不同的)材料层。

[0023] 导电层 120 用作晶体管 100 的栅极。在晶体管 100 的一些示例性实施例中,(多个)电极 700 用作晶体管 100 的漏极,电极 800 用作晶体管 100 的源极。在晶体管 100 的其他示例性实施例中,(多个)电极 700 用作源极,而电极 800 用作漏极。

[0024] 以如下方式驱动半导体器件。在提供晶体管 100 后,在第二导电材料层 710 与第三导电材料层 810 之间施加电压。还向第一导电材料层 120 施加电压,以电连接第二导电材料层 710 和第三导电材料层 810。

[0025] 晶体管 100 的凹进轮廓 170 允许晶体管的半导体材料沟道的尺寸与导电层 120 的厚度相关联,导电层 120 用作晶体管 100 的栅极。有利地,本发明的该架构减小了在包括小沟道的晶体管制造过程中对高分辨率或极精确的对准特征的依赖。

[0026] 参照图 2 至 8,示出了与制造晶体管 100 的方法的示例性实施例相关联的处理步骤的示意性截面图。

[0027] 一般说来,以以下方式制造晶体管 100。提供衬底 110,其依次包括导电材料层 120 和电绝缘材料层 130。抗蚀剂材料层 140 在电绝缘材料层 130 之上。对抗蚀剂材料层 140 进行构图,以暴露一部分电绝缘材料层 130。去除电绝缘材料层 130 的暴露部分,以暴露一部分导电材料层 120。去除导电材料层 120 的暴露部分。继续去除导电材料层 120,以生成凹进轮廓 170。如图 1 所示,通过去除一些导电材料层 120,同时保留一些电绝缘层 130 来生成凹进轮廓 170。在此情况下,可以说相对于电绝缘材料层 130,在导电材料层 120 中生成凹进轮廓 170。如果有必要,在去除光致抗蚀剂层 140 后,使用第二电绝缘材料层 150 来共形地覆盖衬底 110 和剩余的暴露的材料层 120、130。使用半导体材料层 160 来共形地覆盖第二电绝缘材料层 150。将导电材料层 710 或者 810 或者二者定向沉积在半导体材料层 160 上。

[0028] 可以在电绝缘材料层 130 上沉积抗蚀剂材料层 140,并在相同的处理步骤中对其进行构图。可以使用液态蚀刻剂以去除电绝缘材料 130 的暴露部分,以暴露一部分导电材料层 120。可以将用于去除电绝缘材料层 130 的暴露部分相同的液态蚀刻剂用于去除导电材料层 120 的暴露部分,以在导电材料层 120 中生成凹进轮廓 170。

[0029] 在一些示例性实施例中,衬底 110 可以包括多于一个材料层。在一些示例中可以包括附加的材料层,以在制造过程期间改进或保持衬底 110 的结构完整性。当衬底 110 包括多于一个材料层时,例如,第一层和第二层,制造方法可以包括去除衬底 110 的第二层。

[0030] 返回参照图 2,示出了在材料处理之前晶体管 100 材料层的示意性截面图。用于形成垂直晶体管器件的制造过程以衬底 110 开始,该衬底 110 整体上不导电或者与衬底的至

少相邻于导电层 120 的部分有关的局部上不导电(如图 2 所示的衬底 110 的顶部),以使得不发生晶体管 100 的电气短路。将导电层 120 施加或沉积在衬底 110 上。导电层 200 用作晶体管 100 的栅极,并由其厚度(如图 2 所示的纵向上)限定按其厚度的栅极的长度。将电介质不导电层 130 施加或涂覆到导电层 120 上。不导电层 130 是没有图案的均匀层。将抗蚀剂层 140 施加到电介质不导电层 130。对抗蚀剂 400 进行构图。

[0031] 衬底 110 不与任何层或处理方法明显地相互作用。衬底 110 常常称为支撑,可以用于在制造、测试和 / 或使用期间支撑薄膜晶体管(也称为 TFT)。本领域技术人员将意识到,为商品化的实施例选择的支撑可以与为用于测试或筛选的实施例选择的不同。在一些实施例中,衬底 110 不为 TFT 提供任何必要的电气功能。本文中此类衬底 110 称为“非参与型支撑”。有用的衬底材料包括有机或无机材料。例如,衬底 110 可以包括无机玻璃、陶瓷箔、聚合物材料、填充聚合物材料、镀膜金属箔、丙烯酸树脂、环氧树脂类、聚酰胺、聚碳酸酯、聚酰亚胺、聚酮、聚(氧 -1,4- 亚苯氧基 -1,4- 亚苯基羰基 -1,4- 亚苯基)(有时称为聚(醚醚酮)或 PEEK)、聚降冰片烯、聚苯醚、聚(萘二羧酸乙二酯)(PEN)、聚(对苯二甲酸乙二酯)(PET)、聚(醚砜)(PES)、聚(苯硫醚)(PPS)和纤维强化塑料(FRP)。衬底 110 的厚度可以改变,通常在约 100 μm 到约 1cm。

[0032] 在本发明的一些示例性实施例中可以使用柔性支撑或衬底 110。使用柔性衬底 110 允许卷绕处理,其可以是连续的,相对于平坦或刚性的支撑,提供了规模和制造的经济性。所选的柔性支撑优选能够由单手用较小力量围绕直径小于约 50cm 的,更优选地直径 25cm,以及最优选地直径 10cm 的,圆柱形的圆周卷绕,而不会变形或者破裂。优选的柔性支撑可以自身卷绕。另外的柔性支撑的示例包括诸如不锈钢的薄金属箔,只要箔被绝缘层涂覆以电绝缘薄膜晶体管即可。如果不在意柔软性,那么衬底可以是由包括玻璃和硅的材料制成的晶片或者薄片。

[0033] 在一些示例性实施例中,衬底 110 可以包括临时支撑或支撑层,例如,当出于例如制造、运输、测试或者储存的暂时目的而期望有附加的结构支撑时。在这些示例性实施例中,可以将衬底 110 可分离地粘接或机械地贴附到临时支撑上。例如,在晶体管制造过程中,可以将柔性聚合物支撑临时粘接到刚性玻璃支撑上,以提供增加的结构刚性。在制造过程完成后,可以从柔性聚合物支撑去除玻璃支撑。

[0034] 导电层 120 通常称为导体,可以是允许导电层 120 用作栅极的任何适合的导电材料。本领域中已知的各种栅极材料也是适合的,包括金属、退化掺杂半导体、导电聚合物和可印刷的材料,如碳墨、银环氧树脂、或者可烧结金属纳米粒子悬浮液。例如,栅极电极可以包括掺杂硅或者金属、如铝、铬、金、银、镍、铜、钨、钽、铂、钌和钛。栅极电极材料还可以包括透明导体,如氧化铟锡(ITO)、ZnO、SnO₂、或 In₂O₃。也可以使用导电聚合物,如聚苯胺、聚(3,4- 乙烯二氧噻吩)/ 聚(苯乙烯磺酸盐)(PEDOT:PSS)。另外,可以使用这些材料的合金、组合物和多个层。

[0035] 可以使用化学气相沉积、溅射、蒸发、掺杂或溶解处理,将栅极电极沉积在衬底 110 上。在本发明的一些实施例中,相同的材料可以提供栅极电极功能,也可以提供衬底 110 的支撑功能,只要衬底 110 还包括用以电绝缘晶体管 100 的绝缘层。例如,掺杂硅可以用作栅极电极并支撑 TFT。

[0036] 栅极电极的厚度(如图 2 所示的纵向)可以变化,通常从约 100 到约 10000nm。由

于厚度限定了栅极长度,厚度通常比共形涂覆的材料厚度厚两倍,以便减小电气短路的可能性。

[0037] 如图 2 所示,将不导电层 130 均匀涂覆在导电层 120 上。适合用于不导电层 130 的示例性材料包括锗酸盐、钽酸盐、钛酸盐、锆酸盐、氧化铝、二氧化硅、氧化钽、氧化钛、氮化硅、钛酸钡、锡锗钛酸盐、锆钛酸钡、硒化锌、硫化锌。另外,可以将这些示例的合金、组合物和多个层用于不导电层 130,通常称为栅极电介质。这些材料中,氧化铝、氮化硅和硒化锌是优选的。另外,可以使用诸如聚酰亚胺、聚乙烯醇、聚(4-乙基苯酚)、聚酰亚胺和聚(偏二氟乙烯)、聚苯乙烯及其替代衍生物材料、聚(乙基苯基)及替代衍生物和聚(甲基丙烯酸甲酯)之类的聚合物。

[0038] 使用抗蚀剂 400 涂覆不导电层 130。对抗蚀剂 400 进行构图。抗蚀剂 400 可以是本领域已知的常规光致抗蚀剂,诸如聚合物正性抗蚀剂或者负性抗蚀剂。通过以对于衬底 110 的低分辨率(>1mm)对准的掩模对抗蚀剂 400 进行曝光,并显影以产生抗蚀剂的图案。在另一个示例性实施例中,使用印刷工艺来完成抗蚀剂 400 的构图,诸如以构图方式直接印刷抗蚀剂而不使用掩模的苯胺印刷或喷墨印刷。

[0039] 返回参照图 3 到 5,示出了在材料处理期间及之后的晶体管 100 材料层的示意性截面图。在图 3 中,通过构图的抗蚀剂 400 来蚀刻通常称为非导体的不导电层 130。蚀刻剂可以是任何去除不导电材料而基本上不损害抗蚀剂 400 或底层的导电层 120 的有机或无机材料。随后使用适合的蚀刻剂去除导体 120,该蚀刻剂去除导体 120,但对衬底 110 或上覆的非导体 130 影响很小。这样,所选的蚀刻剂常常取决于衬底 110、导体 120 或者非导体 130。蚀刻剂与抗蚀剂 400 的相互作用和此时抗蚀剂 400 的损失通常无关紧要,因为非导体 130 现在用作掩模。如图 3 所示,使用的(多个)蚀刻过程蚀刻掉部分导体 120 和非导体 130,以使得导体 120 和非导体 130 具有相同的图案。

[0040] 如图 4 所示,继续导体 120 的选择性蚀刻,直到形成图 4 所示的凹进轮廓 170。当导体 120 的蚀刻完成时,非导体 130 突出于产生凹进轮廓 170 的导体 120 之上,凹进轮廓 170 足以遮蔽(导体 120 或者衬底 110 的)至少一些下层表面以避免被设置在衬底 110 上的定向(或视线)涂层源(如图 4 所示)涂覆。换句话说,导体 120 悬挂在非导体 130 之下。当完成半导体器件时,剩余的导体 120 用作栅极导体。

[0041] 此时,如果有必要,则去除抗蚀剂 400。如果需要,可以对材料层叠置体执行温和的清洗,只要清洗处理不去除凹进轮廓 170 即可。图 5 示出已经生成凹进轮廓 170 之后和去除抗蚀剂之后的半导体器件的截面图。

[0042] 返回参照图 6 和 7,示出了在通常称为绝缘体的电介质不导电材料和半导体材料的共形涂覆之后的半导体器件的示意性截面图。在图 6 中,随后使用共形涂层沉积工艺在衬底 110 和由材料层 120 及 130 构成的形貌特征上共形涂覆电介质不导电材料 150。使用共形涂层工艺涂覆不导电材料 150 有助于保留凹进轮廓 170。不导电材料 150 常常称为栅极电介质。适合的不导电材料包括锗酸盐、钽酸盐、钛酸盐、锆酸盐、氧化铝、二氧化硅、氧化钽、氧化钛、氮化硅、钛酸钡、锡锗钛酸盐、锆钛酸钡。由于电介质材料将栅极导体与要涂覆的半导体材料分隔开,至少在凹进轮廓 170 和栅极所在的区域中以一致或均匀的厚度提供共形涂覆的材料是重要的。

[0043] 用于完成共形涂层的优选工艺包括原子层沉积(ALD)或其衍生工艺之一,诸如空

间 ALD (S-ALD) 或等离子体增强 ALD (PEALD), 因为这些工艺可以在变化很大的形貌上产生厚度均匀的涂层。以下更详细地讨论 ALD 和 S-ALD。

[0044] 在图 7 中, 随后使用共形涂层沉积工艺涂覆半导体材料 160, 这有助于保留凹进轮廓 170。这个共形涂层工艺可以是先前用于涂覆电介质材料的同一工艺。可替换地, 该共形涂层工艺可以是不同的。由于当栅极 120 通电时半导体材料 160 用作电极 700 和 800 之间的沟道, 至少在凹进轮廓 170 和栅极所在的区域中, 更优选地, 在包括凹进轮廓 170 和栅极所在的区域的电极 700 与电极 800 之间的区域中, 以一致或均匀的厚度提供共形涂覆的材料是重要的。用于共形涂层的优选工艺包括原子层沉积 (ALD) 或其各种衍生工艺之一, 诸如空间 ALD (S-ALD)。该工艺在变化很大的形貌上产生厚度均匀的涂层。以下更详细地讨论 ALD 和 S-ALD。

[0045] 常常称为半导体的半导体材料层 160 可以是任何类型的半导体, 只要可以使用诸如 ALD 之类的共形涂层工艺沉积或涂覆该半导体材料。适合的半导体材料的示例包括氧化锌、硫族元素化锌、硫族元素化镉、磷族元素化镓、氮化铝、或硅。

[0046] 可以任选地以其他材料掺杂半导体, 以增大或减小导电性。在一些示例性实施例中, 期望得到耗尽型器件, 因此可以通过使用掺杂剂来增加载流子。当半导体是氧化锌时, 例如使用铝掺杂剂增大了电子载流子密度。在这一配置中, 栅极通常用于通过使其相对于漏极和源极为负来关断器件。

[0047] 补偿掺杂剂也可以用于耗尽本征载流子密度。当半导体是氧化锌时, 已经发现使用氮来减小电子载流子密度, 使其 n- 型程度降低。在这一配置中, 可以使半导体以累加态操作, 以便当施加正栅极电压时开启晶体管。常常在生长过程期间作为化合物来添加这些掺杂剂, 但也可以在使用诸如离子注入和热扩散之类的工艺施加半导体层之后添加这些掺杂剂。

[0048] 返回参照图 8, 示出了在导电材料的定向涂覆期间半导体器件的示意性截面图。在已经沉积半导体层 160 以后, 使用定向 (或视线) 沉积工艺沉积源极和漏极电极 700 和 800, 该沉积工艺不在凹进轮廓 170 中沉积或涂覆材料。适合的定向沉积工艺的示例包括热蒸发、电子束蒸发、溅射或激光剥蚀。通过不导电层 130 相对于导电材料层 120 的突出而投射的阴影部来保留电极 700 与电极 800 之间的有效沟道间隙。

[0049] 返回参照图 1, 示出了沉积电极 700 与电极 800 以后的晶体管 100。可以从电极 700 和电极 800 中选择晶体管 100 的漏极和源极, 该选择通常基于预期的器件的应用和特性。如图 1 所示, 电极 800 在由非导体 130 和导体 120 形成的台面顶部, 而电极 700 不在。这样, 电极 700 和电极 800 位于不同的平面。可以使用常规技术, 例如本领域中公知的层平整化和通孔连通来完成任何必需的互连。

[0050] 衬底 110、导电层 120、不导电层 130、不导电层 150、半导体层 160 或者其组合可以包括一层或多层, 只要层的功能方面保持不变。附加的层, 例如平整化层、阻挡层、粘结层可以包含在半导体器件中, 只要保持上述层的功能。

[0051] 原子层沉积 (ALD) 是用于产生具有被认为是一致的、均匀的乃至精确的厚度的涂层的工艺。ALD 产生被认为是共形甚至是高度共形的材料层的涂层。一般说来, ALD 工艺通过在真空室内在两种或多种通常称为前体的反应材料之间交替来完成衬底涂覆。涂覆第一种前体以与衬底进行反应。从真空室中去除多余的第一种前体。随后涂覆第二种前体以与

衬底进行反应。从真空室中去除多余的第二种前体,并重复该过程。

[0052] 近来,已经开发出无需真空室的新的 ALD 工艺。该工艺通常称为 S-ALD,在美国专利 No. 7, 413, 982、美国专利 No. 7, 456, 429、美国专利公开 No. 2008/0166884 和美国专利公开 No. 2009/0130858 中的至少一篇中描述了该工艺,其公开内容通过参考并入本文中。S-ALD 产生具有被认为是一致的、均匀的甚至精确的厚度的涂层。S-ALD 产生被认为是共形,甚至高度共形的材料层的涂层。当与其它涂层技术相比时,S-ALD 适宜于低温涂覆环境,并提供使用较高流动性材料的能力。另外,S-ALD 适宜于网式涂覆(web coating),使得其对于大规模生产操作具有吸引力。即使一些网式涂覆操作会遭受到对准的难题,例如,网络追踪或拉伸难题,但本发明的架构减小了对制造过程中高分辨率或者极精确的对准特征物的依赖。因此,S-ALD 非常适合于制造本发明。

[0053] 实验结果

[0054] 经由在由热氧化层覆盖的 62.5mm^2 的硅衬底上溅射来沉积 600nm 的铬层。在其上,使用美国专利 No. 7, 413, 982 中描述的 S-ALD 工艺和美国专利 No. 7, 456, 429 中描述的 S-ALD 器件,以有机金属前体三甲基铝和具有惰性载体气体氮的水,在 200 摄氏度下涂覆 120nm 的氧化铝层。

[0055] 通过在 115 摄氏度下在热板上以 1000rpm 旋涂 Microposit S1805 抗蚀剂(Rohm and Haas Electronic Materials LLC, Marlborough, MA)60 秒,随后通过包含线路的玻璃/铬接触掩模在 Cobilt 掩模对准器(Computervision Corporation, Sunnyvale, CA 的 Cobilt 型 CA-419)上暴露 70 秒,形成光致抗蚀剂的构图层,在此仅使用硅衬底的边缘作为低分辨率或粗略对准。随后将样品在 Microposit MF-319 显影剂(Rohm and Haas Electronic Materials LLC, Marlborough, MA)中显影 60 秒,并在 DI 水中冲洗 5 分钟。

[0056] 在 60 摄氏度下以浓缩磷酸对不导电的氧化铝蚀刻 6.5 分钟。使用包括具有 8% 乙酸的氯化铈(ceric ammonium chloride)的 0.6M 溶液的铬蚀刻来蚀刻铬。在 13.3 分钟内,可见地蚀刻穿透暴露的铬。经由 2 分钟的继续蚀刻来完成底切蚀刻。随后将衬底在 DI 水中冲洗 5 分钟,用丙酮冲洗以去除光致抗蚀剂,随后在 HPLC 级的异丙醇中冲洗,并给与干燥。

[0057] 随后按照上述的,使用 S-ALD 设备和工艺,以额外的 120nm 厚度的氧化铝共形涂覆衬底。随后使用前体二乙基锌和浓缩的氨溶液及作为载体气体的氮,以 25nm 的氧化锌层涂覆衬底。

[0058] 通过蒸发涂覆电极。通过包括垂直于衬底并与衬底上的每一条线完全交叉的方孔的阴影掩模来蒸发铝。铝具有 70nm 的厚度。

[0059] 通过使用探针台接触线顶部的铝、线一侧上的铝和用作栅极的铬栅极金属来完成晶体管的测试。参照图 9,示出了示出晶体管的性能转移特性的曲线图。如在图 9 中所见的,在 20 伏的漏极电压时,漏极电流相对于栅极电压是恒定的。还示出了在所有栅极电压下,栅极电流都具有极小的泄漏。还可以见到,从在 -2 伏的栅极的约 10^{-11}amp 的小电流到 10 伏的栅极的约一毫安培范围内,漏极电流对栅极电压都具有极好的响应。参照图 10,示出了示出晶体管的性能 I_d-V_d 曲线特性的曲线图。如图 10 中所见的,漏极电流相对漏极电压对于栅极电压反应极为灵敏。器件的测试结果还表明对于 20V 的漏极电压和 10V 的栅极电压,大于 10^7 的相当可观的导通 / 截止。

- [0060] 部件列表
- [0061] 100 :晶体管
- [0062] 110 :衬底
- [0063] 120 :导体
- [0064] 130 :非导体
- [0065] 140 :抗蚀剂
- [0066] 150 :栅极电介质
- [0067] 160 :半导体
- [0068] 170 :凹进轮廓
- [0069] 700 :电极
- [0070] 710 :第二导电材料层
- [0071] 800 :电极
- [0072] 810 :第三导电材料层

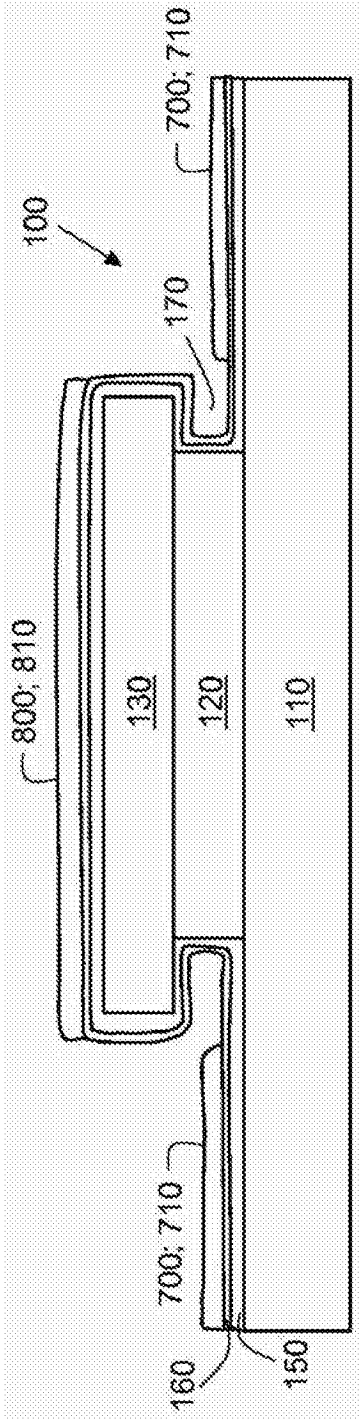


图 1

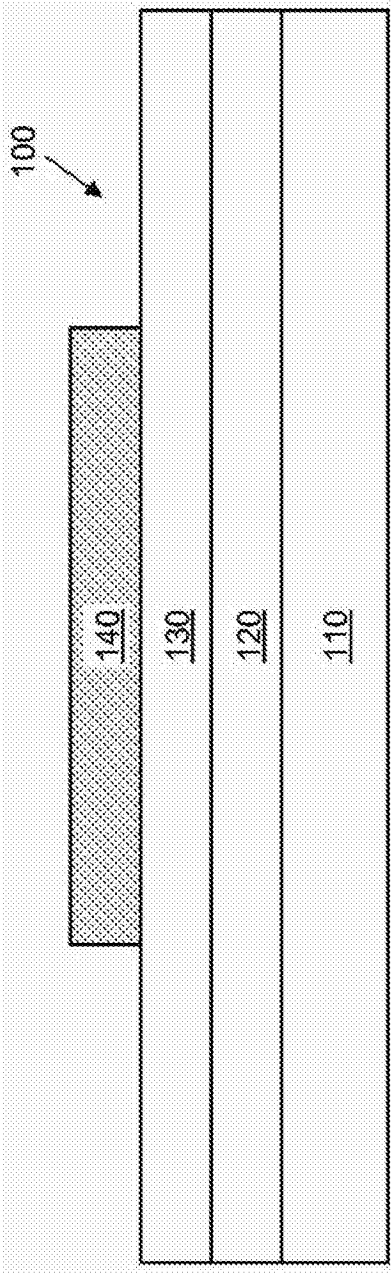


图 2

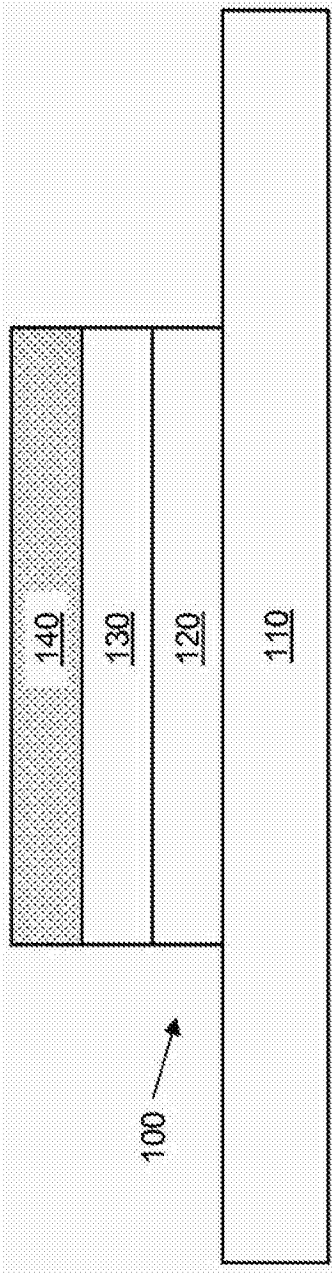


图 3

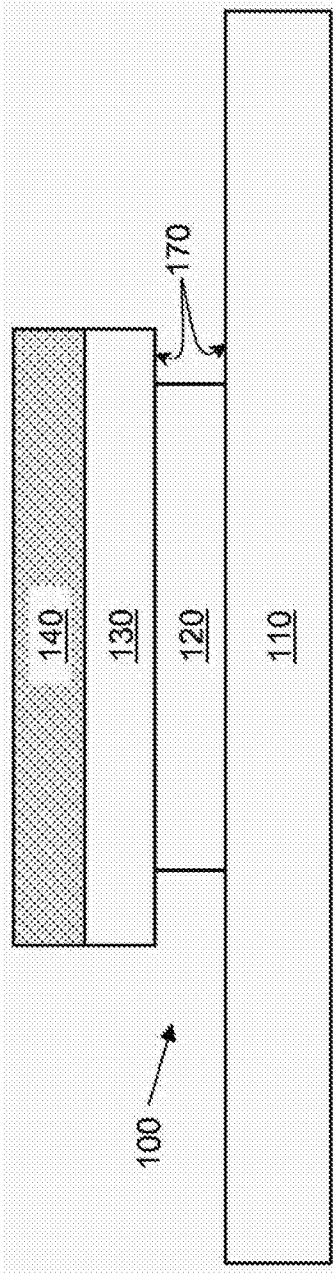


图 4

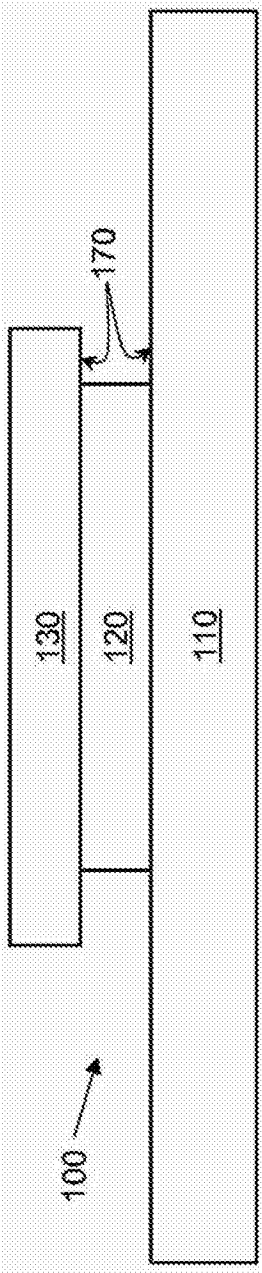


图 5

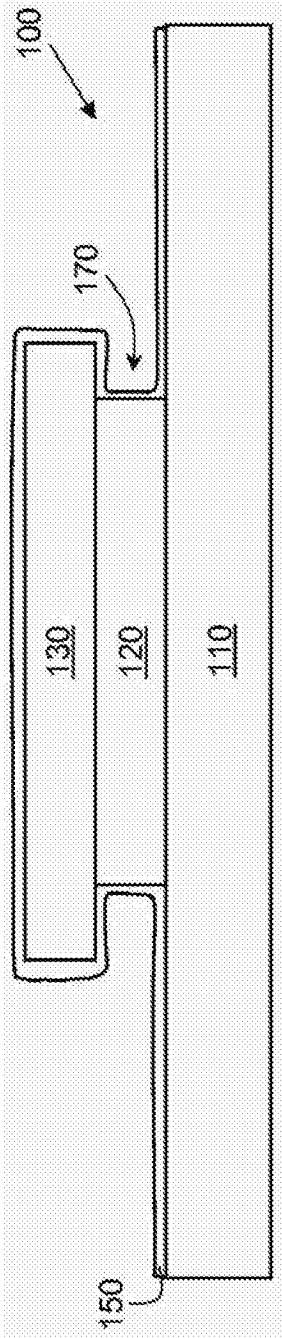


图 6

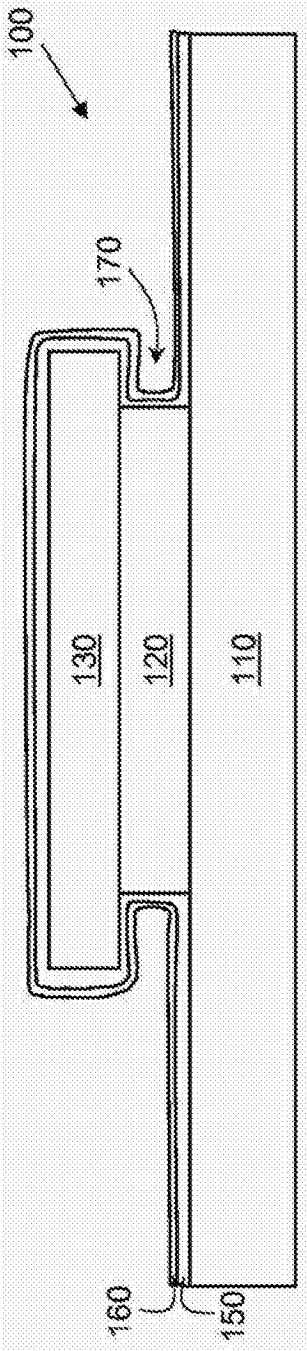


图 7

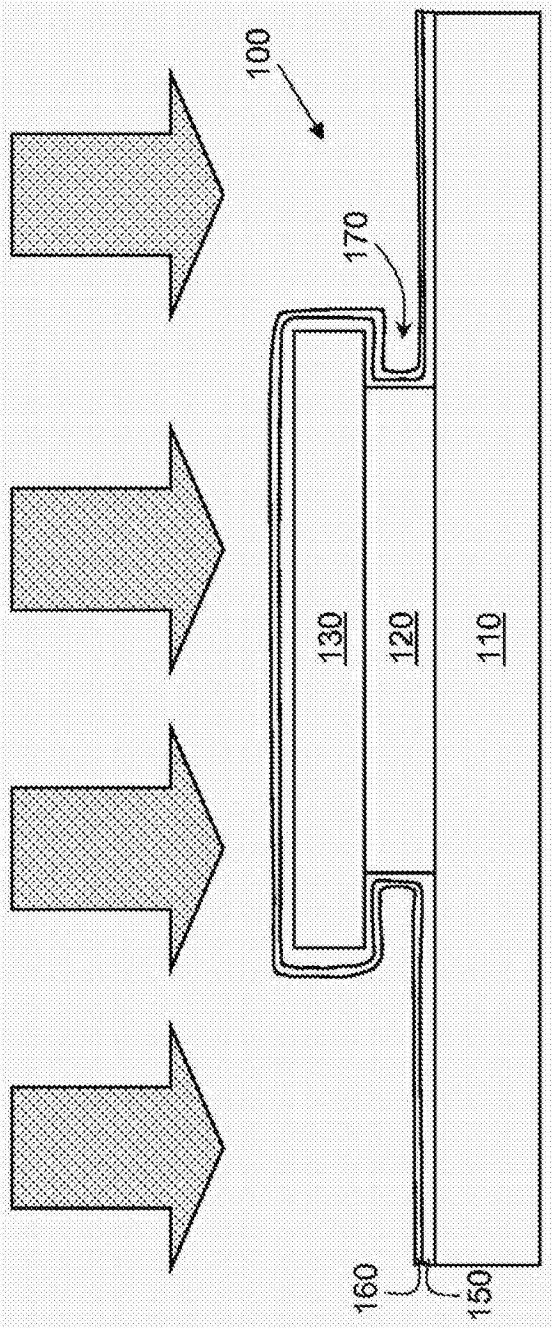


图 8

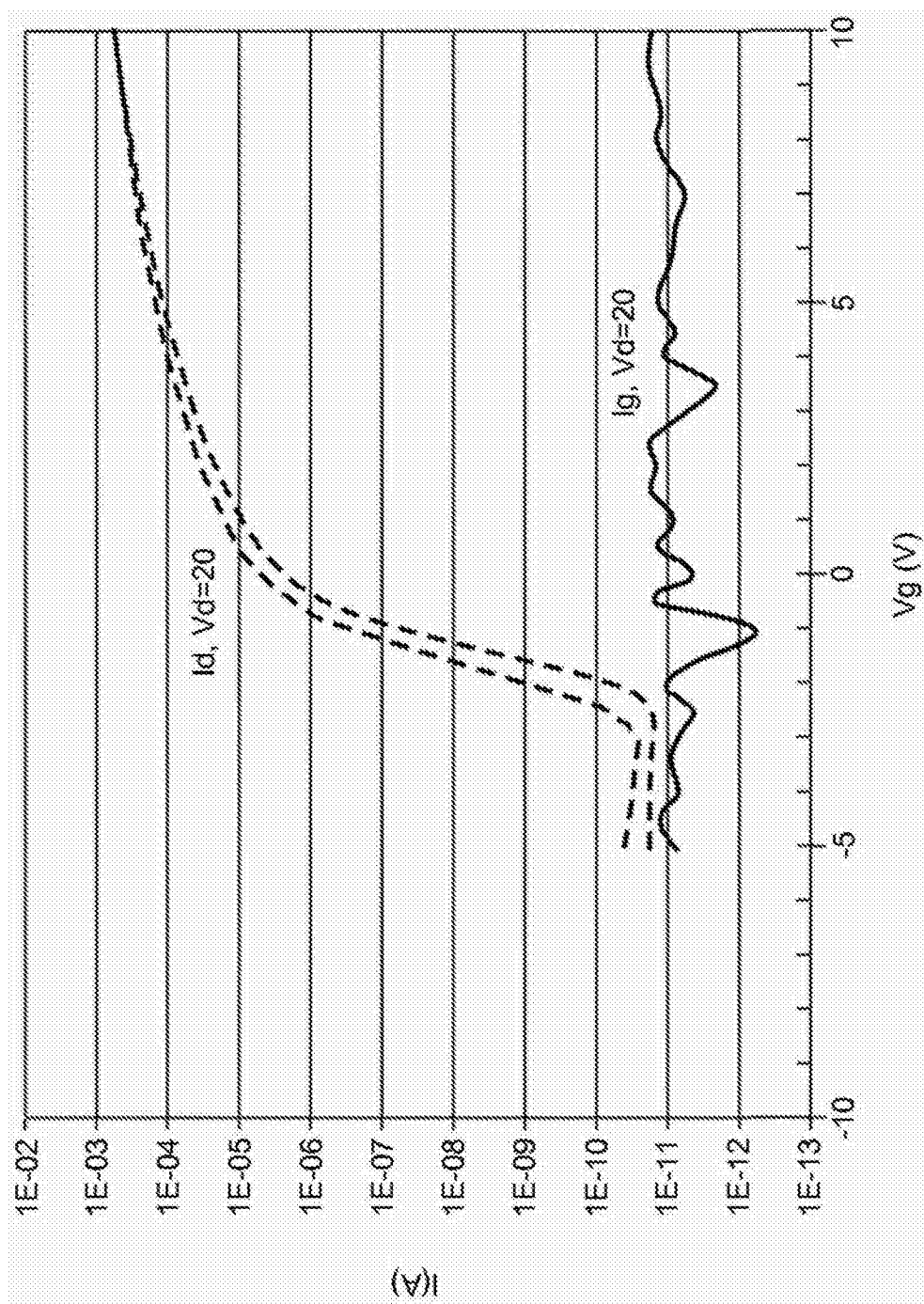


图 9

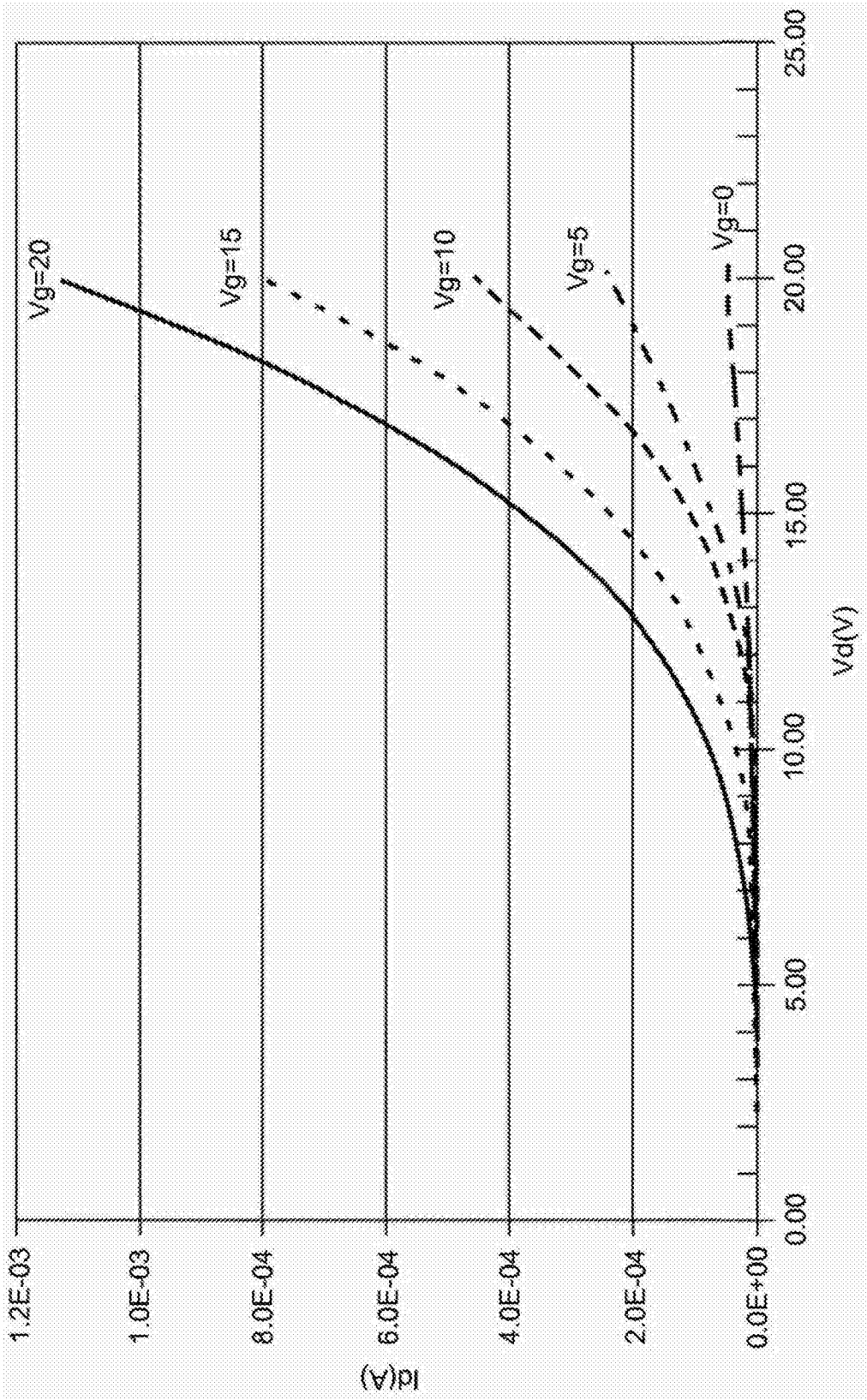


图 10