

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 10 月 18 日 (18.10.2018)



(10) 国际公布号
WO 2018/188152 A1

- (51) 国际专利分类号:
H01L 21/77 (2017.01) *H01L 27/12* (2006.01)
- (21) 国际申请号: PCT/CN2017/084788
- (22) 国际申请日: 2017 年 5 月 18 日 (18.05.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710245925.6 2017 年 4 月 14 日 (14.04.2017) CN
- (71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 王 勐 (WANG, Meng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: METHOD FOR MANUFACTURING TFT ARRAY SUBSTRATE

(54) 发明名称: TFT阵列基板的制作方法

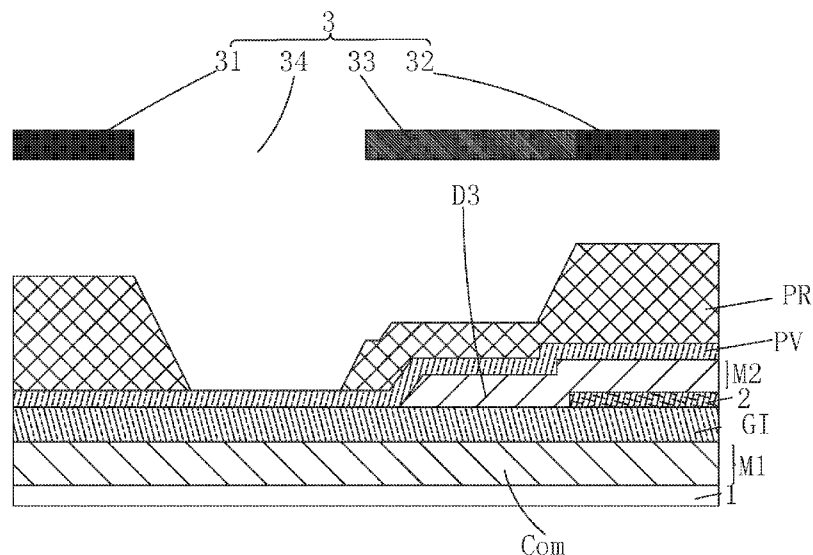


图8

(57) Abstract: Provided is a method for manufacturing a TFT array substrate. The method comprises: taking a half-tone mask plate (3) as a tool for exposure, so that a drain electrode (D3) of a discharging TFT (T3) in a second metal layer (M2) and an upper part of a climbing position thereof reserve a thin layer of a photoresistor (PR); and the reserved thin layer of the photoresistor (PR) protecting a gate insulation layer (GI) under the climbing position of the drain electrode (D3) of the discharging TFT (T3) in a subsequent dry-etching process, preventing the gate insulation layer (GI) from having the problems of over-etching and undercutting at the climbing position of the drain electrode (D3) of the discharging TFT (T3) because of material differences, reducing the risk of a conductive thin film (9) fracturing, enabling the bridging between the drain electrode (D3) of the discharging TFT (T3) and a common voltage line (Com) to

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

be reliable, and not reducing the aperture ratio, and thereby improving the display effect of a panel and enhancing the product yield.

(57) 摘要: 一种TFT阵列基板的制作方法, 以半色调掩膜板(3)为工具进行曝光, 使得第二金属层(M2)中放电TFT(T3)的漏极(D3)及其爬坡处的上方保留薄层的光阻(PR), 在后续的干法蚀刻过程中被保留的薄层的光阻(PR)对位于放电TFT(T3)的漏极(D3)的爬坡处以下的栅极绝缘层(GI)进行保护, 避免栅极绝缘层(GI)在放电TFT(T3)的漏极(D3)的爬坡处因材质差异发生过蚀刻及底切问题, 降低导电薄膜(9)破膜的风险, 使得放电TFT(T3)的漏极(D3)与公共电压线(Com)之间的桥接可靠, 且不会损失开口率, 从而改善面板的显示效果, 提高产品良率。

TFT 阵列基板的制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种 TFT 阵列基板的制作方法。

5

背景技术

薄膜晶体管液晶显示器（Thin Film Transistor Liquid Crystal Display, TFT-LCD）能够显示高清、连续、细腻的画面，越来越受消费者青睐。

10 现有市场上的 TFT-LCD 通常包括壳体、设于壳体内部的液晶面板及设于壳体内部的背光模组。液晶面板由一彩色滤光片（Color Filter, CF）基板、一薄膜晶体管阵列基板（Thin Film Transistor Array Substrate, TFT Array Substrate）以及一配置于两基板间的液晶层（Liquid Crystal Layer）所构成，其工作原理是通过在两片玻璃基板上施加驱动电压来控制液晶层的液晶分子的旋转，将背光模组的光线折射出来产生画面。

15 TFT-LCD 要显示连续、细腻的高清晰画面，需要像素（Pixel）间做亮暗连贯性变化。两个连续变化的像素可以通过给像素在相同时间内充入不同电量来使得上下电极或驱动电极间压差不一致，从而使液晶偏转角度不一致，光透过率不一致，达到亮暗连续变化的要求。现有技术通常通过拉低不同像素的电位来实现在相同充电时间内不同像素的充电饱和度不同、
20 充电电荷不同、电位不一致的效果。

如图 1 所示，以 3 个 TFT 为驱动单元的设计方式已经普遍应用于控制单个像素的充电饱和度，其中第一金属层中的栅极线 G 用于开启第一充电 TFT T1、第二充电 TFT T2、与放电 TFT T3，第一充电 TFT T1 与第二充电 TFT T2 这两个 TFT 主要将第二金属层中的数据线 D 传输的数据信号写入对
25 应的两个相邻像素进行充电，放电 TFT T3 直接电性连接第二充电 TFT T2 的漏极与电位较低的公共电压线 Com，将与第二充电 TFT T2 电性连接的像素的电荷导出以拉低该像素的电位，其中，所述放电 TFT T3 的漏极 D3 位于第二金属层，公共电压线 Com 位于第一金属层。这样设计的优点在于：可以在不牺牲开口率的前提下有效地拉低两相邻像素其中之一的电位。

30 请同时参阅图 2 与图 3，结合图 1，为了实现放电 TFT T3 的漏极 D3 与公共电压线 Com 之间的桥接，即第二金属层 M2 与第一金属层 M1 的桥接，现有的 TFT 阵列基板设置有过孔 V'，所述过孔 V' 由保护层 PV 贯穿至栅极绝缘层 GI，暴露出部分 TFT T3 的漏极 D3 与部分公共电压线 Com，

导电薄膜 9' 如氧化铟锡 (Indium Tin Oxide, ITO) 沉积在该过孔 V' 上用于连接放电 TFT T3 的漏极 D3 与公共电压线 Com。

如图 4、图 5 所示, 现有技术制作所述过孔 V' 的过程为: 首先使用传统的全色调光罩 (Full Tone Mask) FTM 进行曝光, 去除拟形成过孔 V' 区域上的全部光阻 PR; 然后以剩余的光阻 PR 为遮蔽层对保护层 PV 与栅极绝缘层 GI 进行干法蚀刻, 由于第二金属层 M2 对干法蚀刻的阻挡以及干法蚀刻的化学性蚀刻特点, 在 TFT T3 的漏极 D3 的爬坡 (Tapper) 处的栅极绝缘层 GI 容易出现底切 (Under-cut) (图 5 中虚线圈示出的区域), 形成锐利的尖角。在后续的导电薄膜 9' 沉积过程中, 如图 3 所示, 栅极绝缘层 GI 的底切处容易引发导电薄膜 9' 破膜, 导致电阻偏高及放电 TFT T3 的漏极 D3 与公共电压线 Com 之间的桥接不可靠, 从而影响面板的显示效果, 造成产品良率降低。

发明内容

15 本发明的目的在于提供一种 TFT 阵列基板的制作方法, 能够在不损失开口率的前提下, 避免栅极绝缘层在放电 TFT 的漏极的爬坡处出现底切, 降低导电薄膜破膜的风险, 使得放电 TFT 的漏极与公共电压线之间的桥接可靠, 从而改善面板的显示效果, 提高产品良率。

为实现上述目的, 本发明提供一种 TFT 阵列基板的制作方法, 包括以
20 半色调掩模板为工具进行曝光的步骤, 使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻, 在后续的干法蚀刻过程中对位于所述放电 TFT 的漏极的爬坡处以下的栅极绝缘层进行保护。

所述 TFT 阵列基板的制作方法具体包括以下步骤:

25 步骤 S1、在基板上自下至上依次形成第一金属层、栅极绝缘层、半导体有源层、第二金属层、及保护层, 在所述保护层上涂布光阻;

所述栅极绝缘层覆盖所述第一金属层, 所述第一金属层包括栅极线、及公共电压线;

所述保护层覆盖所述第二金属层, 所述第二金属层包括数据线、第一源极、第一漏极、第二源极、第二漏极、第三源极、及第三漏极;

30 所述栅极线、半导体有源层、第一源极、及第一漏极构成第一充电 TFT, 所述栅极线、半导体有源层、第二源极、及第二漏极构成第二充电 TFT, 所述栅极线、半导体有源层、第三源极、及第三漏极构成放电 TFT;

步骤 S2、提供半色调掩模板;

所述半色调掩模板包括间隔设置的第一遮光部与第二遮光部、连接所

述第二遮光部靠近第一遮光部一侧的半透光部、及设在所述第一遮光部与半透光部之间的完全透光部；

所述半透光部对应位于第二金属层中放电 TFT 的漏极及其爬坡处的上方，所述完全透光部对应位于所述第一金属层中公共电压线靠近所述放电 TFT 的漏极且未被放电 TFT 的漏极所遮盖的部分的上方；

步骤 S3、以所述半色调掩膜板为工具对光阻进行曝光，所述完全透光部使得位于该完全透光部之下的光阻被全部清除，而半透光部使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻；

步骤 S4、以曝光后剩余的光阻为遮蔽层进行干法蚀刻，得到由保护层贯穿至栅极绝缘层的过孔。

所述 TFT 阵列基板的制作方法还包括步骤 S5、在所述过孔上沉积导电薄膜，所述导电薄膜桥接所述第二金属层中放电 TFT 的漏极与第一金属层中的公共电压线。

所述第一金属层的材料为铜、铝、钼中的一种或几种的堆栈组合。

所述栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合。

所述第二金属层的材料为铜、铝、钼中的一种或几种的堆栈组合。

所述保护层的材料为氧化硅、氮化硅、或二者的组合。

所述导电薄膜的材料为氧化铟锡。

本发明还提供一种 TFT 阵列基板的制作方法，包括以半色调掩膜板为工具进行曝光的步骤，使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻，在后续的干法蚀刻过程中对位于所述放电 TFT 的漏极的爬坡处以下的栅极绝缘层进行保护；

其中，具体包括以下步骤：

步骤 S1、在基板上自下至上依次形成第一金属层、栅极绝缘层、半导体有源层、第二金属层、及保护层，在所述保护层上涂布光阻；

所述栅极绝缘层覆盖所述第一金属层，所述第一金属层包括栅极线、及公共电压线；

所述保护层覆盖所述第二金属层，所述第二金属层包括数据线、第一源极、第一漏极、第二源极、第二漏极、第三源极、及第三漏极；

所述栅极线、半导体有源层、第一源极、及第一漏极构成第一充电 TFT，所述栅极线、半导体有源层、第二源极、及第二漏极构成第二充电 TFT，所述栅极线、半导体有源层、第三源极、及第三漏极构成放电 TFT；

步骤 S2、提供半色调掩膜板；

所述半色调掩膜板包括间隔设置的第一遮光部与第二遮光部、连接所

述第二遮光部靠近第一遮光部一侧的半透光部、及设在所述第一遮光部与半透光部之间的完全透光部；

所述半透光部对应位于第二金属层中放电 TFT 的漏极及其爬坡处的上方，所述完全透光部对应位于所述第一金属层中公共电压线靠近所述放电 TFT 的漏极且未被放电 TFT 的漏极所遮盖的部分的上方；

步骤 S3、以所述半色调掩膜板为工具对光阻进行曝光，所述完全透光部使得位于该完全透光部之下的光阻被全部清除，而半透光部使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻；

步骤 S4、以曝光后剩余的光阻为遮蔽层进行干法蚀刻，得到由保护层贯穿至栅极绝缘层的过孔；

其中，所述第一金属层的材料为铜、铝、钼中的一种或几种的堆栈组合；

其中，所述栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合。

本发明的有益效果：本发明提供的一种 TFT 阵列基板的制作方法，以半色调掩膜板为工具进行曝光，使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻，在后续的干法蚀刻过程中被保留的薄层的光阻对位于所述放电 TFT 的漏极的爬坡处以下的栅极绝缘层进行保护，避免栅极绝缘层在放电 TFT 的漏极的爬坡处因材质差异发生过蚀刻及底切问题，降低导电薄膜破膜的风险，使得放电 TFT 的漏极与公共电压线之间的桥接可靠，且不会损失开口率，从而改善面板的显示效果，提高产品良率。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为现有的 TFT 阵列基板以 3 个 TFT 为驱动单元的电路结构示意图；

图 2 为现有的 TFT 阵列基板在过孔处的俯视示意图；

图 3 为对应于图 2 中 A-A 处的剖面结构示意图；

图 4、图 5 分别为现有技术制作过孔的曝光过程、与干法蚀刻过程的示意图；

图 6 为本发明的 TFT 阵列基板的制作方法的步骤 S1 的示意图；

图 7 为本发明的 TFT 阵列基板的制作方法的步骤 S2 的示意图；

图 8 为本发明的 TFT 阵列基板的制作方法的步骤 S3 的示意图；

图 9 为本发明的 TFT 阵列基板的制作方法的步骤 S4 的示意图；

图 10 为本发明的 TFT 阵列基板的制作方法的步骤 S5 的示意图；

图 11 为由本发明的 TFT 阵列基板的制作方法所制作出的 TFT 阵列基板在过孔处的俯视示意图；

5 图 12 为由本发明的 TFT 阵列基板的制作方法所制作出的 TFT 阵列基板以 3 个 TFT 为驱动单元的电路结构示意图。

具体实施方式

10 为进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

本发明提供一种 TFT 阵列基板的制作方法，包括以下步骤：

步骤 S1、请参阅图 6，结合图 12，在基板 1 上自下至上依次形成第一金属层 M1、栅极绝缘层 GI、半导体有源层 2、第二金属层 M2、及保护层 PV，在所述保护层 PV 上涂布光阻 PR。

15 所述栅极绝缘层 GI 覆盖所述第一金属层 M1，所述第一金属层 M1 包括栅极线 G、及公共电压线 Com；

所述保护层 PV 覆盖所述第二金属层 M2，所述第二金属层 M2 包括数据线 D、第一源极 S1、第一漏极 D1、第二源极 S2、第二漏极 D2、第三源极 S3、及第三漏极 D3；

20 请参阅图 12，所述栅极线 G、半导体有源层 2、第一源极 S1、及第一漏极 D1 构成第一充电 TFT T1，所述栅极线 G、半导体有源层 2、第二源极 S2、及第二漏极 D2 构成第二充电 TFT T2，所述栅极线 G、半导体有源层 2、第三源极 S3、及第三漏极 D3 构成放电 TFT T3。

具体地，所述基板 1 优选玻璃基板；所述第一金属层 M1 的材料为铜 (Cu)、铝 (Al)、钼 (Mo) 中的一种或几种的堆栈组合；所述栅极绝缘层 GI 的材料为氧化硅 (SiO_x)、氮化硅 (SiN_x)、或二者的组合；所述第二金属层 M2 的材料为 Cu、Al、Mo 中的一种或几种的堆栈组合；所述保护层 PV 的材料为氧化硅、氮化硅、或二者的组合。

步骤 S2、提供半色调掩模板 (Half Tone Mask, HTM) 3。

30 请参阅图 7，所述半色调掩模板 3 包括间隔设置的第一遮光部 31 与第二遮光部 32、连接所述第二遮光部 32 靠近第一遮光部 31 一侧的半透光部 33、及设在所述第一遮光部 31 与半透光部 33 之间的完全透光部 34。

结合图 8，所述半透光部 33 对应位于第二金属层 M2 中放电 TFT T3 的漏极 D3 及其爬坡处的上方，所述完全透光部 34 对应位于所述第一金属层

M1 中公共电压线 Com 靠近所述放电 TFT T3 的漏极且未被放电 TFT T3 的漏极 D3 所遮盖的部分的上方。

步骤 S3、请参阅图 8，以所述半色调掩模板 3 为工具对光阻 PR 进行曝光，所述完全透光部 34 使得位于该完全透光部 34 之下的光阻 PR 被全部清除，而半透光部 33 使得第二金属层 M2 中放电 TFT T3 的漏极 D3 及其爬坡处的上方保留薄层的光阻 PR。

步骤 S4、请参阅图 9，结合图 11，以曝光后剩余的光阻 PR 为遮蔽层进行干法蚀刻，得到由保护层 PV 贯穿至栅极绝缘层 GI 的过孔 V。

所述过孔 V 暴露出部分放电 TFT T3 的漏极 D3 及放电 TFT T3 的漏极 D3 的爬坡处、与部分公共电压线 Com。由于完成上述步骤 S4 后，被保留的薄层的光阻 PR 能够对位于所述放电 TFT T3 的漏极 D3 的爬坡处以下的栅极绝缘层 GI 进行保护，避免栅极绝缘层 GI 在放电 TFT T3 的漏极 D3 的爬坡处因材质差异发生过蚀刻及底切问题，所述栅极绝缘层 GI 位于所述放电 TFT T3 的漏极 D3 的爬坡处以下的部分突出于所述放电 TFT T3 的漏极 D3 的爬坡处，且坡度平缓。

以及步骤 S5、请参阅图 10，结合图 11 与图 12，在所述过孔 V 上沉积导电薄膜 9，所述导电薄膜 9 桥接所述第二金属层 M2 中放电 TFT T3 的漏极 D3 与第一金属层 M1 中的公共电压线 Com。

具体地，所述导电薄膜 9 的材料为 ITO。

由于所述栅极绝缘层 GI 在放电 TFT T3 的漏极 D3 的爬坡处不会发生过蚀刻及底切问题，而是坡度平缓，能够降低导电薄膜 9 破膜的风险，使得放电 TFT T3 的漏极 D3 与公共电压线 Com 之间的桥接可靠，且不会损失开口率。

结合图 11 与图 12，经上述方法制得的 TFT 阵列基板中，所述栅极线 G 用于开启第一充电 TFT T1、第二充电 TFT T2、与放电 TFT T3，第一充电 TFT T1 与第二充电 TFT T2 这两个 TFT 主要将数据线 D 传输的数据信号写入对应的两个相邻像素进行充电，放电 TFT T3 的源极 S3、漏极 D3 分别电性连接第二充电 TFT T2 的漏极 D2、与电位较低的公共电压线 Com，将与第二充电 TFT T2 电性连接的像素的电荷导出以拉低该像素的电位，使得该两个相邻像素的电位不同。

综上所述，本发明的 TFT 阵列基板的制作方法，以半色调掩模板为工具进行曝光，使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻，在后续的干法蚀刻过程中被保留的薄层的光阻对位于所述放电 TFT 的漏极的爬坡处以下的栅极绝缘层进行保护，避免栅极绝缘层在放电

TFT 的漏极的爬坡处因材质差异发生过蚀刻及底切问题，降低导电薄膜破膜的风险，使得放电 TFT 的漏极与公共电压线之间的桥接可靠，且不会损失开口率，从而改善面板的显示效果，提高产品良率。

- 5 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 TFT 阵列基板的制作方法，包括以半色调掩膜板为工具进行曝光的步骤，使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻，在后续的干法蚀刻过程中对位于所述放电 TFT 的漏极的爬坡处以下的栅极绝缘层进行保护。

2、如权利要求 1 所述的 TFT 阵列基板的制作方法，其中，具体包括以下步骤：

步骤 S1、在基板上自下至上依次形成第一金属层、栅极绝缘层、半导体有源层、第二金属层、及保护层，在所述保护层上涂布光阻；

所述栅极绝缘层覆盖所述第一金属层，所述第一金属层包括栅极线、及公共电压线；

所述保护层覆盖所述第二金属层，所述第二金属层包括数据线、第一源极、第一漏极、第二源极、第二漏极、第三源极、及第三漏极；

所述栅极线、半导体有源层、第一源极、及第一漏极构成第一充电 TFT，所述栅极线、半导体有源层、第二源极、及第二漏极构成第二充电 TFT，所述栅极线、半导体有源层、第三源极、及第三漏极构成放电 TFT；

步骤 S2、提供半色调掩膜板；

所述半色调掩膜板包括间隔设置的第一遮光部与第二遮光部、连接所述第二遮光部靠近第一遮光部一侧的半透光部、及设在所述第一遮光部与半透光部之间的完全透光部；

所述半透光部对应位于第二金属层中放电 TFT 的漏极及其爬坡处的上方，所述完全透光部对应位于所述第一金属层中公共电压线靠近所述放电 TFT 的漏极且未被放电 TFT 的漏极所遮盖的部分的上方；

步骤 S3、以所述半色调掩膜板为工具对光阻进行曝光，所述完全透光部使得位于该完全透光部之下的光阻被全部清除，而半透光部使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻；

步骤 S4、以曝光后剩余的光阻为遮蔽层进行干法蚀刻，得到由保护层贯穿至栅极绝缘层的过孔。

3、如权利要求 2 所述的 TFT 阵列基板的制作方法，还包括步骤 S5、在所述过孔上沉积导电薄膜，所述导电薄膜桥接所述第二金属层中放电 TFT 的漏极与第一金属层中的公共电压线。

4、如权利要求 2 所述的 TFT 阵列基板的制作方法，其中，所述第一金

属层的材料为铜、铝、钼中的一种或几种的堆栈组合。

5、如权利要求 2 所述的 TFT 阵列基板的制作方法，其中，所述栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合。

6、如权利要求 2 所述的 TFT 阵列基板的制作方法，其中，所述第二金属层的材料为铜、铝、钼中的一种或几种的堆栈组合。

7、如权利要求 2 所述的 TFT 阵列基板的制作方法，其中，所述保护层

8、如权利要求 3 所述的 TFT 阵列基板的制作方法，其中，所述导电薄膜的材料为氧化铟锡。

9、一种 TFT 阵列基板的制作方法，包括以半色调掩膜板为工具进行曝光的步骤，使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻，在后续的干法蚀刻过程中对位于所述放电 TFT 的漏极的爬坡处以下的栅极绝缘层进行保护；

其中，具体包括以下步骤：

步骤 S1、在基板上自下至上依次形成第一金属层、栅极绝缘层、半导体有源层、第二金属层、及保护层，在所述保护层上涂布光阻；

所述栅极绝缘层覆盖所述第一金属层，所述第一金属层包括栅极线、及公共电压线；

所述保护层覆盖所述第二金属层，所述第二金属层包括数据线、第一源极、第一漏极、第二源极、第二漏极、第三源极、及第三漏极；

所述栅极线、半导体有源层、第一源极、及第一漏极构成第一充电 TFT，所述栅极线、半导体有源层、第二源极、及第二漏极构成第二充电 TFT，所述栅极线、半导体有源层、第三源极、及第三漏极构成放电 TFT；

步骤 S2、提供半色调掩膜板；

所述半色调掩膜板包括间隔设置的第一遮光部与第二遮光部、连接所述第二遮光部靠近第一遮光部一侧的半透光部、及设在所述第一遮光部与半透光部之间的完全透光部；

所述半透光部对应位于第二金属层中放电 TFT 的漏极及其爬坡处的上方，所述完全透光部对应位于所述第一金属层中公共电压线靠近所述放电 TFT 的漏极且未被放电 TFT 的漏极所遮盖的部分的上方；

步骤 S3、以所述半色调掩膜板为工具对光阻进行曝光，所述完全透光部使得位于该完全透光部之下的光阻被全部清除，而半透光部使得第二金属层中放电 TFT 的漏极及其爬坡处的上方保留薄层的光阻；

步骤 S4、以曝光后剩余的光阻为遮蔽层进行干法蚀刻，得到由保护层

贯穿至栅极绝缘层的过孔；

其中，所述第一金属层的材料为铜、铝、钼中的一种或几种的堆栈组合；

其中，所述栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合。

- 5 10、如权利要求 9 所述的 TFT 阵列基板的制作方法，还包括步骤 S5、在所述过孔上沉积导电薄膜，所述导电薄膜桥接所述第二金属层中放电 TFT 的漏极与第一金属层中的公共电压线。

11、如权利要求 9 所述的 TFT 阵列基板的制作方法，其中，所述第二金属层的材料为铜、铝、钼中的一种或几种的堆栈组合。

- 10 12、如权利要求 9 所述的 TFT 阵列基板的制作方法，其中，所述保护层的材料为氧化硅、氮化硅、或二者的组合。

13、如权利要求 10 所述的 TFT 阵列基板的制作方法，其中，所述导电薄膜的材料为氧化铟锡。

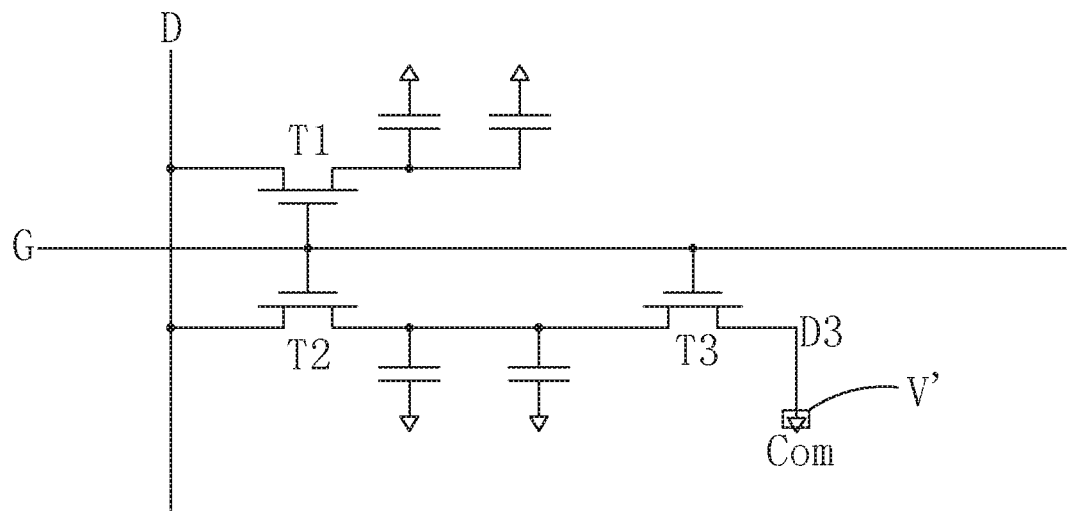


图1

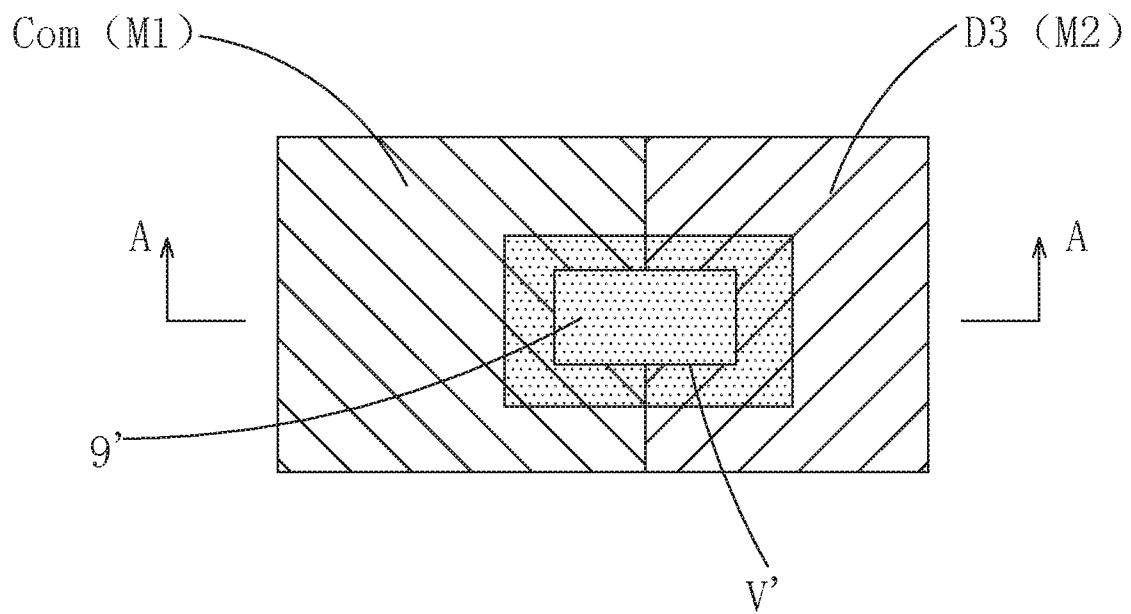


图2

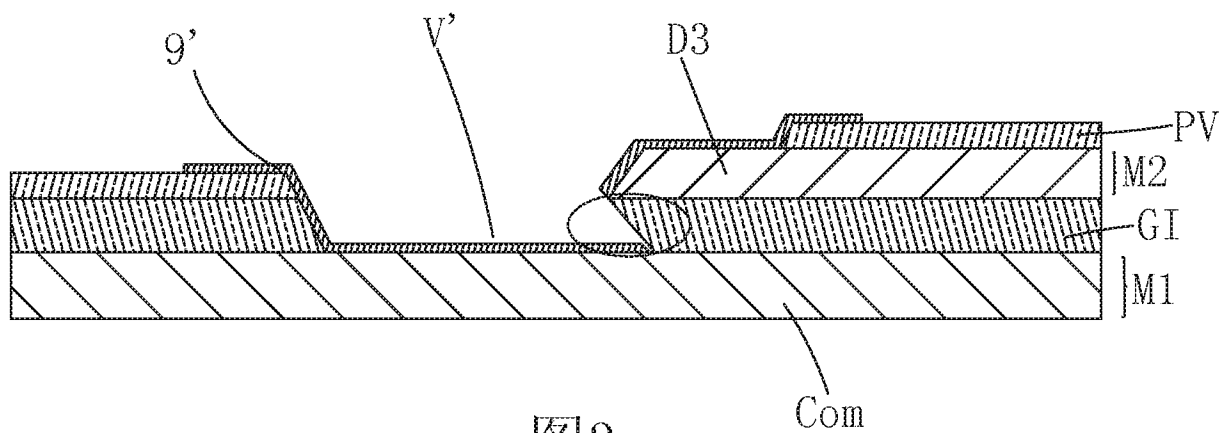


图3

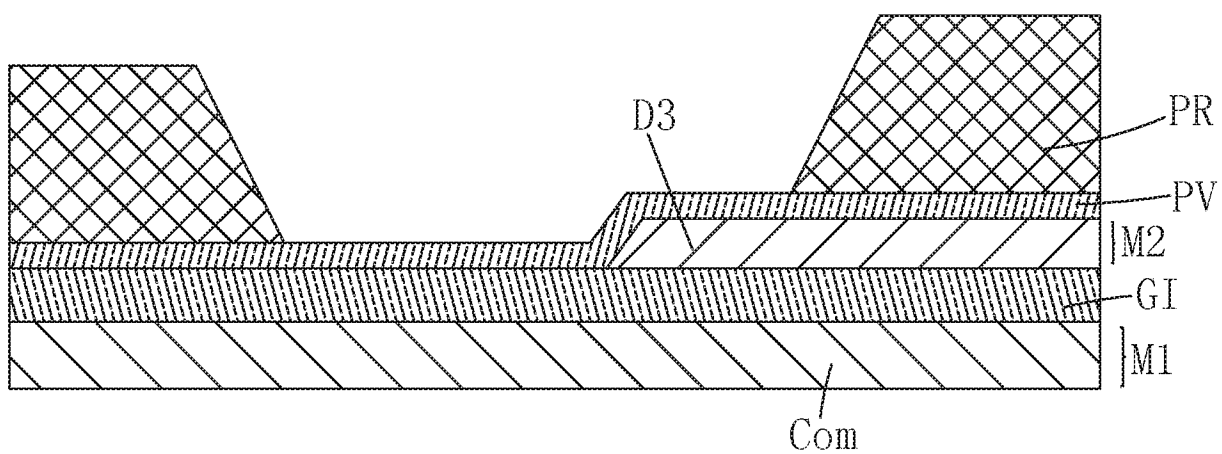


图4

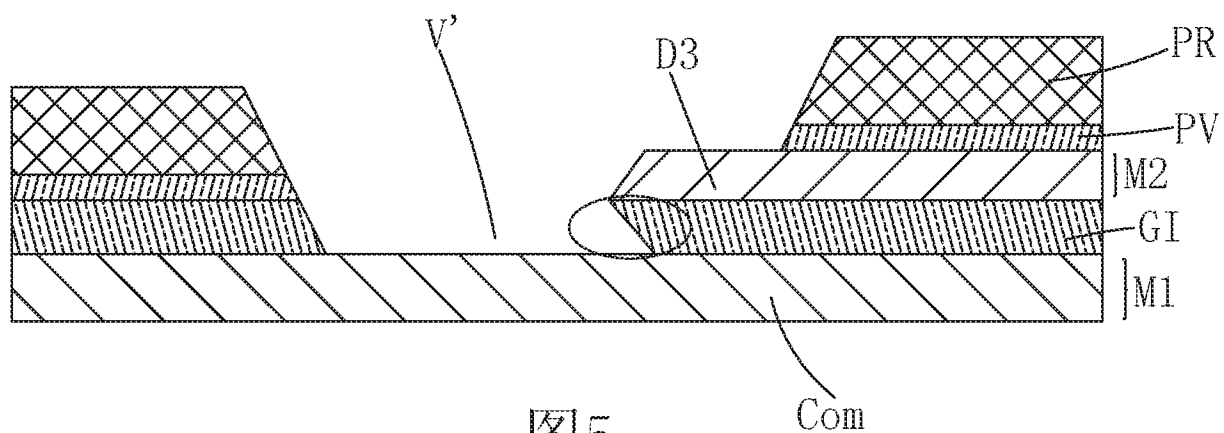


图5

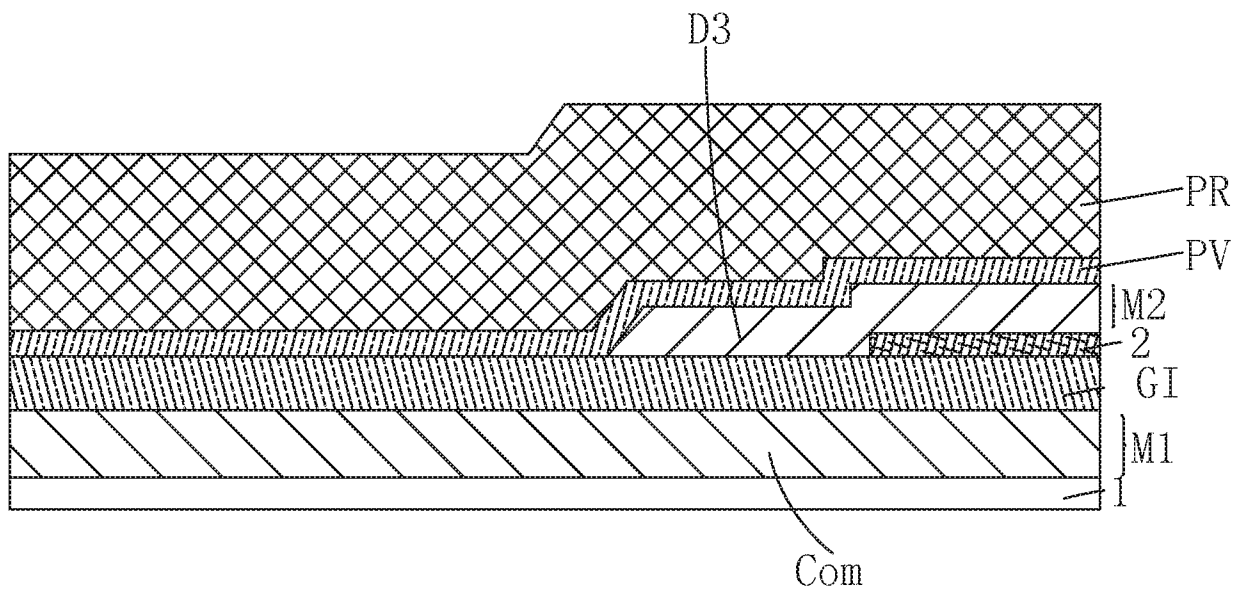


图6

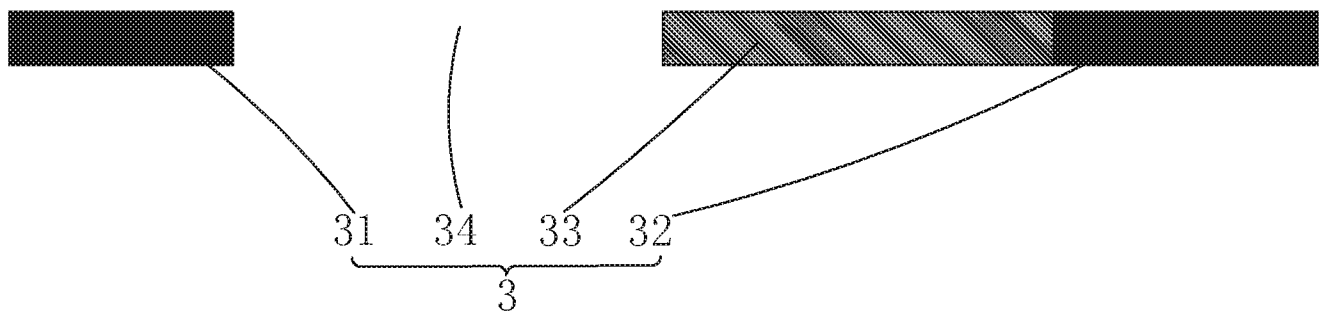


图7

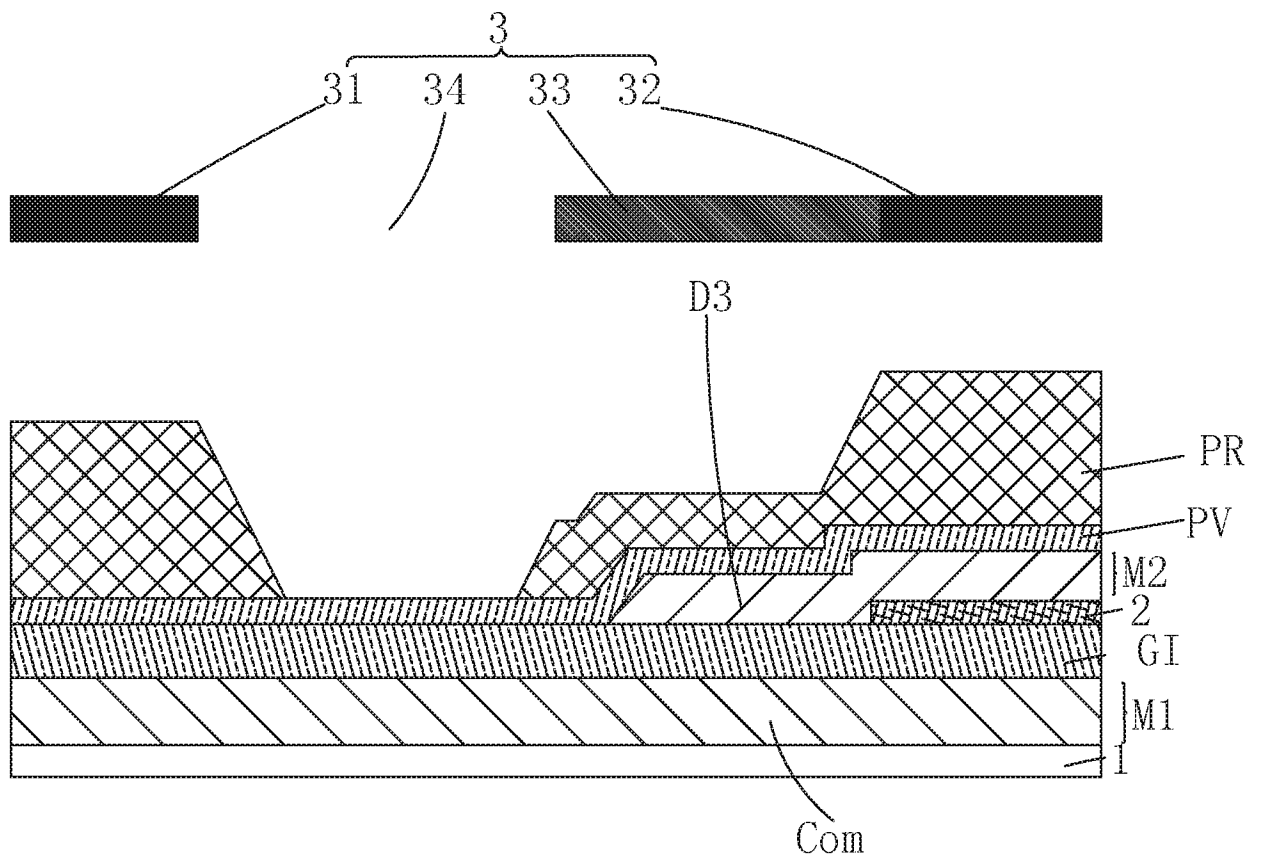


图8

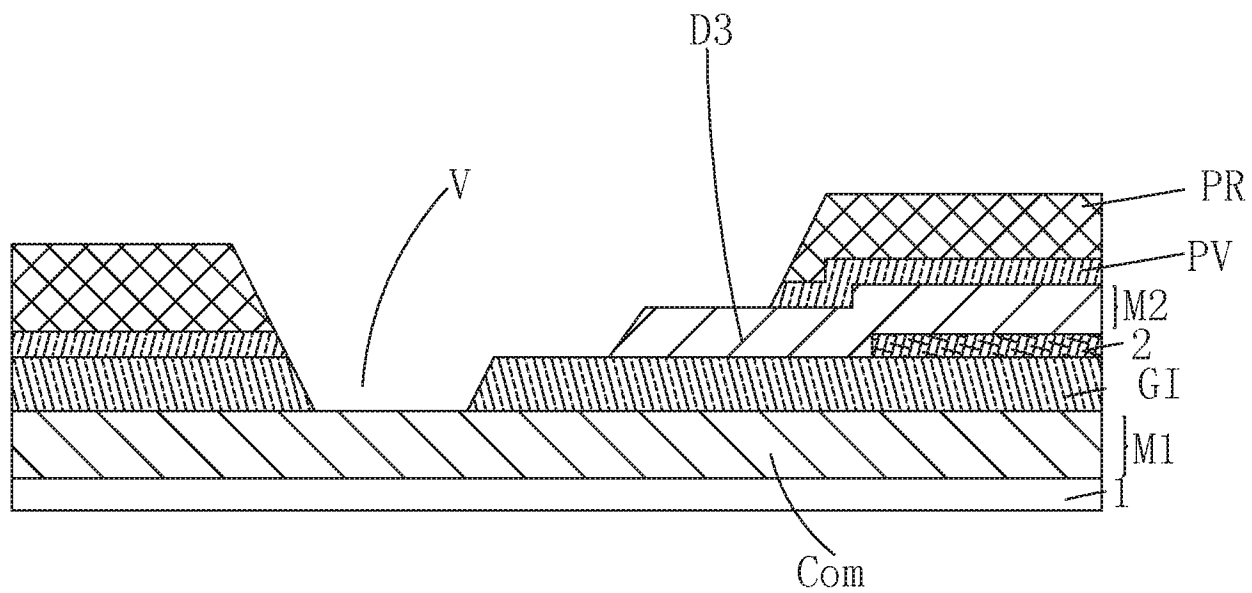


图9

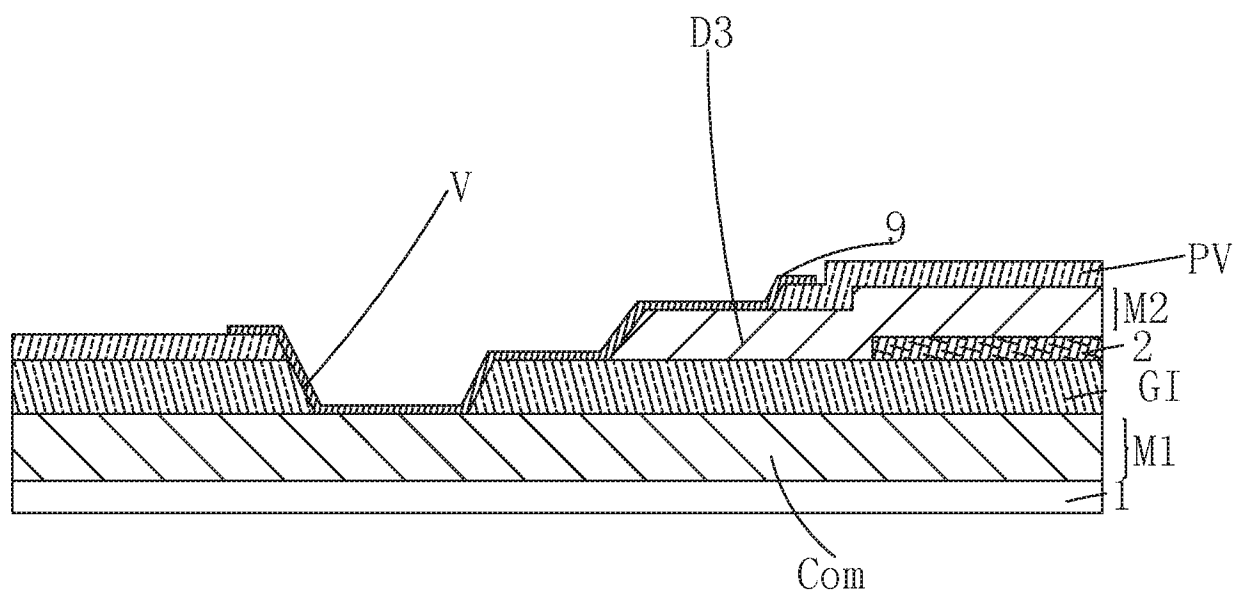


图10

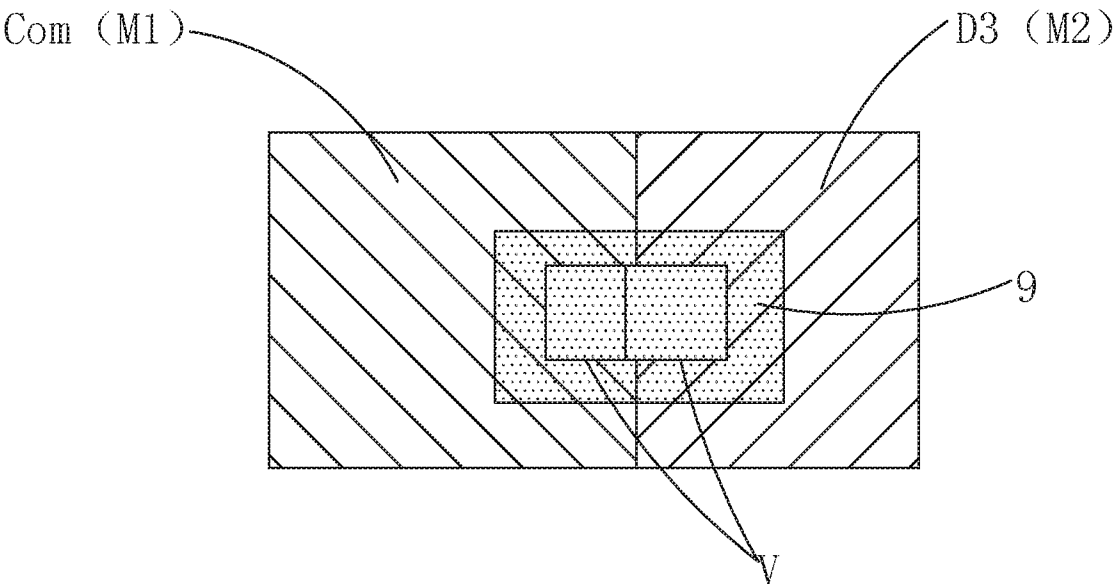


图11

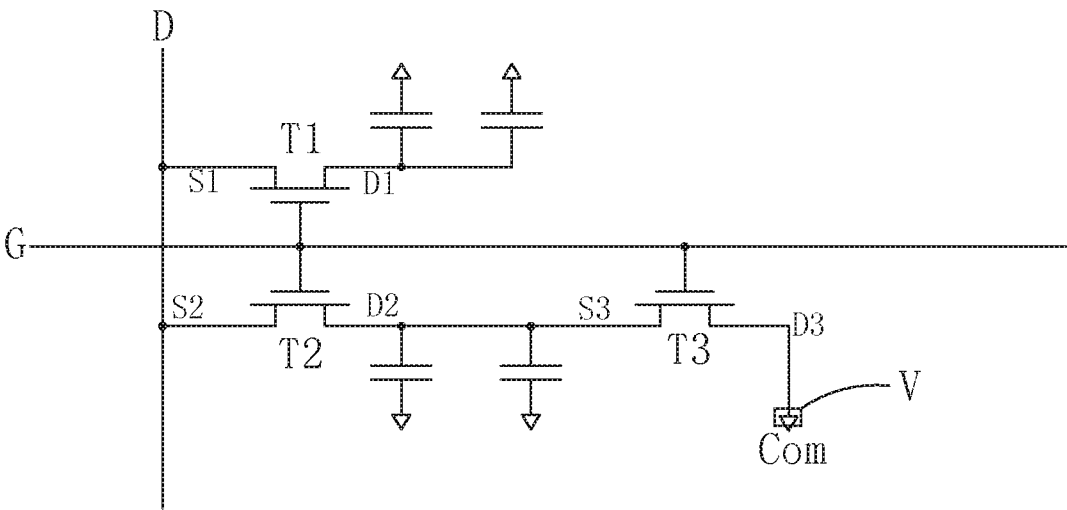


图12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/084788

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2017.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F; G03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 半色调, 半调, 灰调, 多色调, 双调, 掩膜, 掩模, 光罩, 灰阶, GRAY W TONE, GTM, HALF W TONE, HTM, 光刻胶, 光阻, TFT, 薄膜晶体管, THIN W FILM W TRANSISTOR, MASK, SHAD+, HOLE, OPEN+, 过孔, SHIELD+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104022078 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 September 2014 (03.09.2014), description, paragraphs [0049]-[0095], and figures 4 (a)-4 (f)	1-13
X	CN 105161504 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 16 December 2015 (16.12.2015), description, paragraphs [0043]-[0057], and figures 4-6	1-13
A	CN 103199060 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 10 July 2013 (10.07.2013), entire document	1-13
A	US 2003117573 A1 (LG PHILIPS LCD CO., LTD.), 26 June 2003 (26.06.2003), entire document	1-13
A	CN 102683338 A (BOE TECHNOLOGY GROUP CO., LTD.), 19 September 2012 (19.09.2012), entire document	1-13
A	CN 103117248 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 May 2013 (22.05.2013), entire document	1-13
A	CN 101887897 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 17 November 2010 (17.11.2010), entire document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 December 2017	Date of mailing of the international search report 11 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer FENG, Jinjing Telephone No. (86-10) 61648219

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/084788

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104022078 A	03 September 2014	US 9455282 B2	27 September 2016
		US 2015348999 A1	03 December 2015
		CN 104022078 B	03 August 2016
CN 105161504 A	16 December 2015	None	
CN 103199060 A	10 July 2013	CN 103199060 B	10 June 2015
		WO 2014124568 A1	21 August 2014
US 2003117573 A1	26 June 2003	US 2006274255 A1	07 December 2006
		KR 100855884 B1	03 September 2008
		US 7209210 B2	24 April 2007
		US 7102724 B2	05 September 2006
		KR 20030054141 A	02 July 2003
CN 102683338 A	19 September 2012	CN 102683338 B	24 August 2016
CN 103117248 A	22 May 2013	CN 103117248 B	22 July 2015
CN 101887897 A	17 November 2010	US 8379162 B2	19 February 2013
		US 2010289977 A1	18 November 2010
		US 8928831 B2	06 January 2015
		US 2013146880 A1	13 June 2013
		CN 101887897 B	13 February 2013

国际检索报告

国际申请号

PCT/CN2017/084788

A. 主题的分类

H01L 21/77(2017.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F; G03F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 半色调, 半调, 灰调, 多色调, 双调, 掩膜, 掩模, 光罩, 灰阶, GRAY W TONE, GTM, HALF W TONE, HTM, 光刻胶, 光阻, TFT, 薄膜晶体管, THIN W FILM W TRANSISTOR, MASK, SHAD+, HOLE, OPEN+, 过孔, SHIELD+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104022078 A (京东方科技集团股份有限公司 等) 2014年 9月 3日 (2014 - 09 - 03) 说明书第[0049]-[0095]段, 图4(a)- 4(f)	1-13
X	CN 105161504 A (京东方科技集团股份有限公司 等) 2015年 12月 16日 (2015 - 12 - 16) 说明书第[0043]-[0057]段, 说明书附图4-6	1-13
A	CN 103199060 A (京东方科技集团股份有限公司 等) 2013年 7月 10日 (2013 - 07 - 10) 全文	1-13
A	US 2003117573 A1 (LG. PHILIPS LCD CO., LTD.) 2003年 6月 26日 (2003 - 06 - 26) 全文	1-13
A	CN 102683338 A (京东方科技集团股份有限公司) 2012年 9月 19日 (2012 - 09 - 19) 全文	1-13
A	CN 103117248 A (京东方科技集团股份有限公司) 2013年 5月 22日 (2013 - 05 - 22) 全文	1-13
A	CN 101887897 A (北京京东方光电科技有限公司) 2010年 11月 17日 (2010 - 11 - 17) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 12月 26日

国际检索报告邮寄日期

2018年 1月 11日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

冯津京

电话号码 (86-10)61648219

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/084788

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104022078	A	2014年 9月 3日	US	9455282	B2	2016年 9月 27日
				US	2015348999	A1	2015年 12月 3日
				CN	104022078	B	2016年 8月 3日
CN	105161504	A	2015年 12月 16日	无			
CN	103199060	A	2013年 7月 10日	CN	103199060	B	2015年 6月 10日
				WO	2014124568	A1	2014年 8月 21日
US	2003117573	A1	2003年 6月 26日	US	2006274255	A1	2006年 12月 7日
				KR	100855884	B1	2008年 9月 3日
				US	7209210	B2	2007年 4月 24日
				US	7102724	B2	2006年 9月 5日
				KR	20030054141	A	2003年 7月 2日
CN	102683338	A	2012年 9月 19日	CN	102683338	B	2016年 8月 24日
CN	103117248	A	2013年 5月 22日	CN	103117248	B	2015年 7月 22日
CN	101887897	A	2010年 11月 17日	US	8379162	B2	2013年 2月 19日
				US	2010289977	A1	2010年 11月 18日
				US	8928831	B2	2015年 1月 6日
				US	2013146880	A1	2013年 6月 13日
				CN	101887897	B	2013年 2月 13日