

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月5日(05.10.2017)



(10) 国際公開番号
WO 2017/169505 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H04N 5/369 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2017/008404
- (22) 国際出願日: 2017年3月3日(03.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-069624 2016年3月30日(30.03.2016) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 山岸 肇 (YAMAGISHI Hajime); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 香川 麗菜 (KAGAWA Rena); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 小林 悠作 (KOBAYASHI Yuusaku); 〒8691102 熊本県菊池郡菊陽町大

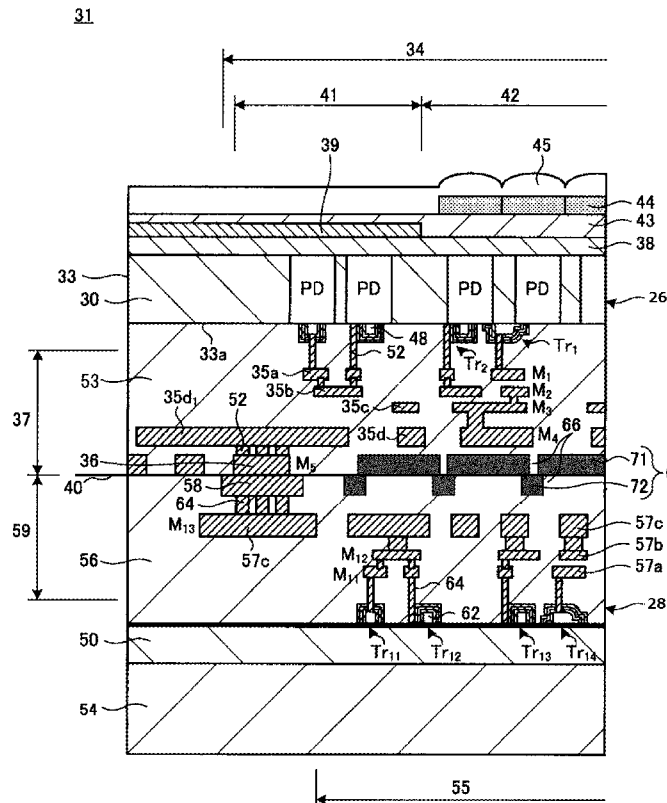
字原水4000番地1 ソニーセミコンダクタ株式会社内 Kumamoto (JP). 西村 豊 (NISHIMURA Yutaka); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 早淵 誠 (HAYAFUCHI Makoto); 〒2430021 神奈川県厚木市岡田4-16-1 ソニーLSIデザイン株式会社内 Kanagawa (JP). 郷司 隼人 (GOUJI Hayato); 〒2430021 神奈川県厚木市岡田4-16-1 ソニーLSIデザイン株式会社内 Kanagawa (JP). 青田 夏洋 (AOTA Natuhiro); 〒2430021 神奈川県厚木市岡田4-16-1 ソニーLSIデザイン株式会社内 Kanagawa (JP).

- (74) 代理人: 渡邊 薫 (WATANABE Kaoru); 〒1080074 東京都港区高輪2丁目20番29号 サクセス泉岳寺ビル3階 薫風国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE, METHOD FOR MANUFACTURING SOLID-STATE IMAGE PICKUP DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置、固体撮像装置の製造方法および電子機器



(57) Abstract: Provided is a solid-state image pickup device wherein, in a bonding surface between a plurality of semiconductor chips, wafer bonding of conductive films at a high area ratio is achieved, and generation of voids can be suppressed. A solid-state image pickup device 31 at least includes: a first semiconductor chip 26 wherein one or a plurality of first conductive bodies 71 and a pixel array 34 are formed; and a second semiconductor chip section 28, which is connected to the first semiconductor chip 26, and in which one or a plurality of second conductive bodies 72 and a logic circuit 55 are formed. At a bonding surface 40 between the first semiconductor chip 26 and the second semiconductor chip section 28, the first conductive body 71 and the second conductive body 72 overlap each other and are electrically connected to each other, and a first conductive body 71 area in contact with the bonding surface 40, and a second conductive body 72 area in contact with the bonding surface are different from each other.

(57) 要約:

[続葉有]

WO 2017/169505 A1



IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

複数の半導体チップの接合面で、高面積比率の導電膜のウェハ接合を実現させてボイドの発生を抑制できる固体撮像装置を提供する。固体撮像装置 31 は、一つまたは複数の第 1 の導電体 71 および画素アレイ 34 が形成された第 1 の半導体チップ 26 と、第 1 の半導体チップ 26 と接合され、一つまたは複数の第 2 の導電体 72 およびロジック回路 55 が形成された第 2 の半導体チップ部 28 と、を少なくとも含み、第 1 の半導体チップ 26 と第 2 の半導体チップ部 28 との接合面 40 で、第 1 の導電体 71 と第 2 の導電体 72 とが重なり合っ て電気的に接続され、接合面 40 に接する面積が、第 1 の導電体 71 と第 2 の導電体 72 とで異なる。

明 細 書

発明の名称：

固体撮像装置、固体撮像装置の製造方法および電子機器

技術分野

[0001] 本技術は、固体撮像装置、固体撮像装置の製造方法および電子機器に関し、特に、複数の半導体チップを接合して構成される固体撮像装置の技術に関する。

背景技術

[0002] 近年、デジタルカメラの普及がますます進んでいる。これに伴い、デジタルカメラの中心部品である固体撮像装置（イメージセンサ）の需要がますます高まっている。固体撮像装置の性能面においては、高画質化および高機能化を実現するための技術開発が進められている。

[0003] 一方で、撮像機能を有する携帯端末（携帯電話機、PDA（Personal Digital Assistant）、ノートPC（Personal Computer）やタブレットPC等）の普及も進んでいる。これに伴い、これら携帯端末の携帯性を高めるために、固体撮像装置やそれを構成する部品の小型化、軽量化、および薄型化が進められている。さらに、これら携帯端末の普及拡大のために、固体撮像装置やそれを構成する部品の低コスト化も進められている。

[0004] 一般的に、例えば、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサなどの固体撮像装置は、シリコン基板の受光面側に光電変換部や増幅回路、多層配線層を形成し、その上にカラーフィルタやオン半導体チップマイクロレンズを形成することで構成される。さらに、その受光面側には、接着剤等のスペーサによりカバーガラスが貼り合わせられる。また、その受光面の反対側には、端子が形成される。

[0005] この固体撮像装置には、出力される信号に対して所定の処理を行う信号処理回路が接続される。固体撮像装置の多機能化に伴い、信号処理回路で行われる処理は増える傾向にある。

[0006] このように複数の半導体チップが接続された構成を小型化するために、様々な手段が講じられている。例えば、SiP (System in Package) 技術により、複数の半導体チップを1つのパッケージ内に封止することが行われている。これにより、実装面積を小さくすることができ、全体の構成の小型化を実現することができる。しかしながら、SiPでは半導体チップ間を接続する配線によって伝送距離が長くなり、高速動作が妨げられるおそれがある。

[0007] ところで、例えば特許文献1には、画素領域（画素アレイ）を含む第1の半導体基板と、ロジック回路を含む第2の半導体基板とを貼り合わせて接合することで構成された固体撮像装置が記載されている。このような構成によれば、信号を高速で伝送することが可能となる。この固体撮像装置は、共に半製品状態の画素アレイを備えた第1の半導体チップ部と、ロジック回路を備えた第2の半導体チップ部とを貼り合わせ、第1の半導体チップ部を薄膜化した後、画素アレイとロジック回路の接続がなされる。接続は、第1の半導体チップ部の所要の配線に接続する接続導体と、第1の半導体チップ部を貫通して第2の半導体チップ部の所要の配線に接続する貫通接続導体と、両接続導体を繋ぐ連結導体からなる接続配線を形成して行われる。その後、完成品状態にして半導体チップ化して、裏面照射型の固体撮像装置として構成される。

[0008] 一方、上記第1の半導体チップ部と第2の半導体チップ部を接合してなる固体撮像装置において、さらに新たな技術として、特許文献2の固体撮像装置では、貫通接続導体による電氣的接続法ではなく、両半導体チップ部面に銅（Cu）電極を取り出して接続させる方法が考えられている。

[0009] また、特許文献3の固体撮像装置では、上記銅（Cu）電極が遮光層に用いられている。これにより、ロジック回路のトランジスタからのホットキャリアによる発光が遮光層で遮られ、画素アレイ側への入射が抑制される。また、接合後の半導体チップ全体の厚みも抑制されるとされている。

先行技術文献

特許文献

- [0010] 特許文献1：特開2012-64709号公報
特許文献2：特開2013-73988号公報
特許文献3：特開2012-164870号公報

発明の概要

発明が解決しようとする課題

- [0011] 上記特許文献3のように銅電極を遮光層に用いるには、この銅電極の被覆率(面積比率)をある一定以上に高く設定する必要がある。
- [0012] しかしながら、面積比率をある一定以上に高く設定すると、第1の半導体ウェハと第2の半導体ウェハの接合において、部分的に接合できない領域となりボイド(気泡)が形成されてしまうという問題がある。さらに、ボイドが形成されると、その部分の接合強度が無いため、ウェハ(Wafer)接合後に行われる第1の半導体ウェハのSi基板を薄くする工程に於いて、剥離を引き起こすという問題がある。
- [0013] このように、接合できない領域が発生するのは、銅電極の面積比率の割合を高くすることにより、Wafer To Wafer Bonding時のBonding-Wave速度が不均一となり、結果としてウェハ外周部に於いて、接合速度が相対的に遅くなる箇所が発生し、接合できない領域、つまりボイドが形成されると考えられている。
- [0014] 本技術は、このような状況に鑑みてなされたものであり、複数の半導体チップの接合面で、高面積比率の導電膜のウェハ接合を実現させてボイドの発生を抑制できる固体撮像装置を提供することを目的とする。

課題を解決するための手段

- [0015] 上記課題を解決するため、本技術の一例である固体撮像装置は、一つまたは複数の第1の導電体および画素アレイが形成された第1の半導体チップと、第1の半導体チップと接合され、一つまたは複数の第2の導電体およびロジック回路が形成された第2の半導体チップと、を少なくとも含み、第1の半導体チップと第2の半導体チップとの接合面で、第1の導電体と第2の導電体とが重なり合って電氣的に接続され、接合面に接する面積が、第1の導

電体と第2の導電体とで異なる。

[0016] また、本技術の一例である固体撮像装置の製造方法は、一つまたは複数の第1の導電体および画素アレイを第1の半導体チップに形成するステップと、一つまたは複数の第2の導電体およびロジック回路を第2の半導体チップに形成するステップと、第1の半導体チップに形成された第1の導電体と第2の半導体チップに形成された第2の導電体とを重なり合わせて電氣的に接続するステップと、を含み、第1の半導体チップと第2の半導体チップとの接合面に接する面積が、第1の導電体と第2の導電体とで異なる。

[0017] また、本技術の一例である電子機器は、一つまたは複数の第1の導電体および画素アレイが形成された第1の半導体チップと、第1の半導体チップと接合され、一つまたは複数の第2の導電体およびロジック回路が形成された第2の半導体チップと、を少なくとも含み、第1の半導体チップと第2の半導体チップとの接合面で、第1の導電体と第2の導電体とが重なり合っ電氣的に接続され、接合面に接する面積が、第1の導電体と第2の導電体とで異なる固体撮像装置を備える。

発明の効果

[0018] 本技術によれば、複数の半導体チップの接合面で、高面積比率の導電膜のウェハ接合を実現させてボイドの発生を抑制できる固体撮像装置を提供することが可能となる。なお、本技術の効果は、必ずしも上記の効果に限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

- [0019] [図1]本技術に係る固体撮像装置の構成例を示すブロック図である。
[図2A]本技術に係る固体撮像装置の積層構造を示す模式図である。
[図2B]本技術に係る固体撮像装置の積層構造を示す模式図である。
[図2C]本技術に係る固体撮像装置の積層構造を示す模式図である。
[図3]本技術に係る固体撮像装置の第1実施形態の要部を示す概略構成図である。
[図4]第1実施形態の第1の半導体チップ部の要部を示す拡大構成図である。

[図5]第1実施形態の第2の半導体チップ部の要部を示す拡大構成図である。

[図6]第1実施形態の接合部分の要部を示す拡大構成図である。

[図7A]第1実施形態の遮光部を示す構成図である。

[図7B]第1実施形態の遮光部を示す構成図である。

[図7C]第1実施形態の遮光部を示す構成図である。

[図8]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その1）である。

[図9]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その2）である。

[図10]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その3）である。

[図11]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その4）である。

[図12]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その5）である。

[図13]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その6）である。

[図14]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その7）である。

[図15]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その8）である。

[図16]第1実施形態の固体撮像装置の製造方法例を示す製造工程図（その9）である。

[図17]本技術に係る固体撮像装置の第2実施形態の要部を示す概略構成図である。

[図18]本技術に係る固体撮像装置の第3実施形態の要部を示す概略構成図である。

[図19]本技術に係る固体撮像装置の第4実施形態の要部を示す概略構成図で

ある。

[図20A]本技術に係る固体撮像装置の第1実施形態の遮光層を示す構成図である。

[図20B]本技術に係る固体撮像装置の第5実施形態の遮光層を示す構成図である。

[図20C]本技術に係る固体撮像装置の第5実施形態の遮光層を示す構成図である。

[図20D]本技術に係る固体撮像装置の第5実施形態の遮光層を示す構成図である。

[図21]第5実施形態の画素アレイの信号線レイアウトを示す拡大図である。

[図22A]第5実施形態のシールド層のレイアウトを説明するための構成図である。

[図22B]第5実施形態のシールド層のレイアウトを説明するための構成図である。

[図22C]第5実施形態のシールド層のレイアウトを説明するための構成図である。

[図23]本技術に係る第6実施形態の電子機器の概略構成図である。

発明を実施するための形態

[0020] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはない。説明は以下の順序で行う。

1. 固体撮像装置の構成例
2. 固体撮像装置の積層構造例
3. 第1実施形態の固体撮像装置
4. 第2実施形態の固体撮像装置
5. 第3実施形態の固体撮像装置
6. 第4実施形態の固体撮像装置

7. 第5実施形態の固体撮像装置

8. 第6実施形態の電子機器

[0021] <1. 固体撮像装置の構成例>

図1は、本技術に係る固体撮像装置の構成例を示すブロック図である。

[0022] 図1に示すように、固体撮像装置1は、例えば、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサとして構成される。固体撮像装置1は、図示しない半導体基板（例えばSi基板）に複数の画素2が規則的に2次元アレイ状に配列された画素領域（画素アレイ）3と、周辺回路部とを有する。

[0023] 画素2は、光電変換部（例えばフォトダイオード）と、複数の画素トランジスタ（MOSトランジスタ）を有する。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、および増幅トランジスタの3つのトランジスタで構成することができる。また、複数の画素トランジスタは、選択トランジスタを追加して4つのトランジスタで構成することもできる。なお、単位画素の等価回路は周知な技術と同様であるので、詳細な説明は省略する。

[0024] また、画素2は、1つの単位画素として構成することもできるし、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオードが、フローティングディフュージョン、および複数の転送トランジスタ以外の他のトランジスタを共有する構造である。すなわち、共有画素では、複数の単位画素を構成するフォトダイオードおよび転送トランジスタが、他の1つずつの画素トランジスタを共有して構成される。

[0025] 周辺回路部は、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7、および制御回路8を有する。

[0026] 垂直駆動回路4は、例えばシフトレジスタによって構成される。垂直駆動回路4は、画素駆動配線を選択し、選択された画素駆動配線に画素を駆動するためのパルスを供給し、行単位で画素を駆動する。すなわち、垂直駆動回路4は、画素アレイ3の各画素2を行単位で順次垂直方向に選択走査する。

そして、垂直駆動回路4は、垂直信号線9を通して各画素2の光電変換部において受光量に応じて生成された信号電荷に基づく画素信号を、カラム信号処理回路5に供給する。

[0027] カラム信号処理回路5は、例えば画素2の列毎に配置される。カラム信号処理回路5は、1行分の画素2から出力される信号に対して画素列毎に、ノイズ除去などの信号処理を行う。具体的には、カラム信号処理回路5は、画素2固有の固定パターンノイズを除去するためのCDS (Correlated Double Sampling) や、信号増幅、A/D (Analog/Digital) 変換等の信号処理を行う。カラム信号処理回路5の出力段には、水平選択スイッチ（図示せず）が水平信号線10との間に接続されて設けられる。

[0028] 水平駆動回路6は、例えばシフトレジスタによって構成される。水平駆動回路6は、水平走査パルスを順次出力することによって、カラム信号処理回路5それぞれを順番に選択し、カラム信号処理回路5それぞれからの画素信号を水平信号線10に出力させる。

[0029] 出力回路7は、カラム信号処理回路5の各々から水平信号線10を通して順次に供給される信号に対し、信号処理を行って出力する。出力回路7は、例えば、バッファリングだけ行う場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を行う場合もある。

[0030] 制御回路8は、入力クロックと、動作モード等を指令するデータを受け取り、また固体撮像装置1の内部情報等のデータを出力する。また、制御回路8は、垂直同期信号、水平同期信号、およびマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5および水平駆動回路6等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、これらの信号を垂直駆動回路4、カラム信号処理回路5、および水平駆動回路6等に入力する。

[0031] 入出力端子12は、外部と信号のやりとりをする。

[0032] <2. 固体撮像装置の積層構造例>

図2AないしCは、本技術に係る固体撮像装置の積層構造例を示す模式図

である。図2 AないしCを用いて、本技術が適用される固体撮像装置の積層構造例について説明する。

[0033] 第1の例として、図2 Aに示される固体撮像装置1 aは、第1の半導体基板2 1と第2の半導体基板2 2とから構成される。第1の半導体基板2 1には、画素アレイ2 3と制御回路2 4が搭載される。第2の半導体基板2 2には、信号処理回路を含むロジック回路2 5が搭載される。そして、第1の半導体基板2 1と第2の半導体基板2 2とが相互に電氣的に接続されることで、1つの半導体チップとしての固体撮像装置1 aが構成される。

[0034] 第2の例として、図2 Bに示される固体撮像装置1 bは、第1の半導体基板2 1と第2の半導体基板2 2とから構成される。第1の半導体基板2 1には、画素アレイ2 3が搭載される。第2の半導体基板2 2には、制御回路2 4と、信号処理回路を含むロジック回路2 5が搭載される。そして、第1の半導体基板2 1と第2の半導体基板2 2とが相互に電氣的に接続されることで、1つの半導体チップとしての固体撮像装置1 bが構成される。

[0035] 第3の例として、図2 Cに示される固体撮像装置1 cは、第1の半導体基板2 1と第2の半導体基板2 2とから構成される。第1の半導体基板2 1には、画素アレイ2 3と、画素アレイ2 3を制御する制御回路2 4 - 1が搭載される。第2の半導体基板2 2には、ロジック回路2 5を制御する制御回路2 4 - 2と、信号処理回路を含むロジック回路2 5が搭載される。そして、第1の半導体基板2 1と第2の半導体基板2 2とが相互に電氣的に接続されることで、1つの半導体チップとしての固体撮像装置1 cが構成される。

[0036] 図示しないが、CMOS固体撮像装置の構成によっては、2つ以上の半導体チップ部を貼り合わせて構成することもできる。例えば、上記の第1および第2の半導体チップ部以外に、メモリ素子アレイを備えた半導体チップ部、その他の回路素子を備えた半導体チップ部などを追加して3つ以上の半導体チップ部を貼り合わせて、1つのチップとしたCMOS固体撮像装置を構成することもできる。

[0037] <3. 第1実施形態の固体撮像装置>

[固体撮像装置の構成例]

図3に、本技術に係る固体撮像装置、すなわち、裏面照射型のCMOS固体撮像装置の第1実施形態を示す。裏面照射型のCMOS固体撮像装置は、受光部が回路部の上部に配置され、表面照射型に比べて高感度で低ノイズのCMOS固体撮像装置である。第1実施形態に係る固体撮像装置31は、図2Aの固体撮像装置1aと同様の、画素アレイ23と制御回路24が形成された第1の半導体チップ部26と、ロジック回路25が形成された第2の半導体チップ部28とが貼り合わされた積層半導体チップ32を有して構成される。第1の半導体チップ部26と第2の半導体チップ部28とは、後述する互いの多層配線層が向かい合うようにして、かつ接続配線が直接接合するように、貼り合わされる。

[0038] 第1の半導体チップ部26は、薄膜化されたシリコンによる第1の半導体基板33に、光電変換部となるフォトダイオードPDと複数の画素トランジスタTr1、Tr2からなる複数の画素を列状に2次元配列した画素アレイ34が形成される。また、図示しないが、半導体基板33に制御回路24を構成する複数のMOSトランジスタが形成される。半導体基板33の表面33a側には、層間絶縁膜53を介して複数、この例では5層のメタルM1～M5による配線35 [35a～35d] および36を配置した多層配線層37が形成される。配線35および36は、デュアルダマシン法で形成された銅(Cu)配線が用いられる。半導体基板33の裏面側には、絶縁膜38を介してオプティカルブラック領域41上を含んで遮光膜39が形成され、さらに平坦化膜43を介して有効画素アレイ42上にカラーフィルタ44およびオン半導体チップレンズ45が形成される。オプティカルブラック領域41上にもオン半導体チップレンズ45を形成することもできる。

[0039] 図3において、画素トランジスタTr1、Tr2は、複数の画素トランジスタを代表して示している。図3では、画素アレイ34の画素を模式的に示しているが、図4に1画素の詳細を示す。第1の半導体チップ26では、薄膜化された半導体基板33にフォトダイオードPDが形成される。フォトダ

イオードPDは、例えばn型半導体領域46と基板表面側のP型半導体領域47を有して形成される。画素を構成する基板表面には、ゲート絶縁膜を介してP型半導体領域48が形成され、ゲート電極48と対のソース・ドレイン領域49により画素トランジスタTr1、Tr2が形成される。フォトダイオードPDに隣接する画素トランジスタTr1がフローティングディフュージョンFDに相当する。各単位画素は素子分離領域51で分離される。素子分離領域51は、例えば基板に形成した溝内にSiO₂膜等の絶縁膜を埋め込んでなるSTI (Shallow Trench Isolation) 構造に形成される。

[0040] 第1の半導体チップ部26の多層配線層37では、対応する画素トランジスタと配線35間、隣り合う上下層の配線35間が、導電ビア52を介して接続される。さらに、第2の半導体チップ部28との接合面40に臨んで、5層目のメタルM5による接続配線36が形成される。接続配線36は、導電ビア52を介して4層目のメタルM4による所要の配線35dに接続される。

[0041] 第2の半導体チップ部28は、シリコンによる第2の半導体基板54の各半導体チップ部となる領域に、周辺回路を構成するロジック回路55が形成される。ロジック回路55は、CMOSトランジスタを含む複数のMOSトランジスタTr11~Tr14で形成される。図5に示される、第2の半導体基板54の表面側上には、層間絶縁膜56を介して複数層、本例では4層のメタルM11~M14による配線57 [57a~57c] および58を配置した多層配線層59が形成される。配線57および58は、デュアルダマシン法による銅(Cu)配線が用いられる。

[0042] 図3において、ロジック回路55の複数のMOSトランジスタを、MOSトランジスタTr11~Tr14で代表して示している。図3では、MOSトランジスタTr11~Tr14を模式的に示しているが、図5に例えばMOSトランジスタTr11、Tr12の詳細を示す。第2の半導体チップ部28では、第2の半導体基板54の表面側の半導体ウェル領域に、各MOSトランジスタTr11、Tr12が一对のソース・ドレイン領域61とゲー

ト絶縁膜を介してゲート電極62を有して形成される。各MOSトランジスタTr11、Tr12は例えばSTI構造の素子分離領域63で分離される。

[0043] 第2の半導体チップ部28の多層配線層59では、MOSトランジスタTr11~Tr14と配線57間、隣り合う上下層の配線57間が、導電ビア64を介して接続される。さらに、第1の半導体チップ部26との接合面40に臨んで、4層目のメタルM14による接続配線58が形成される。接続配線58は、導電ビア64を介して3層目のメタルM13による所要の配線57cに接続される。

[0044] 第1の半導体チップ部26と第2の半導体チップ部28とは、互いの多層配線層37および59が向かい合うようにして、接合面40に臨む接続配線36および58を直接接合して、電氣的に接続される。接合付近の層間絶縁膜66は、後述の製法で示すように、Cu配線のCu拡散を防止するためのCu拡散バリア性絶縁膜とCu拡散バリア性を有しない絶縁膜の組み合わせで形成される。Cu配線による接続配線36および58の直接接合は、熱拡散接合で行う。接続配線36および58以外の層間絶縁膜66同士の接合は、プラズマ接合、あるいは接着剤で行う。

[0045] 上記のように、接合面40に臨む接続配線36および58を直接接合する方法以外に、互いの多層配線層37および59の表面に、極めて薄い均一な絶縁性薄膜900を成膜して、プラズマ接合等で接合する方法でも可能である。なお、絶縁性薄膜900は図3に記していない。

[0046] そして、本実施形態では、特に、図3および図6（要部の拡大図）に示すように、第1の半導体チップ部26および第2の半導体チップ部28の接合付近に、接続配線と同じ層の導電膜による遮光層68が形成される。本実施形態の遮光層68は、第1の半導体チップ部26側の接続配線36と同じ層のメタルM5による遮光部（第1の導電体）71と、第2の半導体チップ部28側の接続配線58と同じ層のメタルM14による遮光部（第2の導電体）72とにより形成される。

- [0047] 図7Aないし図7Cは、本実施形態の固体撮像装置の遮光部を示す構成図である。図7Aに示すように、本実施形態の遮光部71は、上面から見て、所定のピッチで複数の開口部73を有する横ストライプ形状に配列されたレイアウトに形成されている。本実施形態では、遮光部71の幅は、開口部73の幅よりも広いが、開口部73の幅が遮光部71の幅より広くてもよい。
- [0048] 図7Bに示すように、本実施形態の遮光部72は、所定のピッチで複数の開口部74を有する横ストライプ形状に配列されたレイアウトに形成されている。本実施形態では、遮光部72は、遮光部71の開口部73を塞ぐ位置に、開口部73の幅より広い幅で形成されている。
- [0049] 図7Cに示すように、遮光部71および72の接合後の遮光層68は、両遮光部71および72が上面から見て一様に閉塞された状態で重なり合っ構成されている。すなわち、遮光部71の第1の導電体および遮光部72の第2の導電体が形成された領域は、画素アレイ23が形成された領域以上の大きさで配置されている。なお、本実施形態では、遮光部71の幅は、遮光部72の幅よりも広く形成されているが、遮光部72の幅が遮光部71の幅より広く形成されていてもよい。また、遮光部71および遮光部72の導電体が形成されている接合面40の領域は、部分的に隙間を有することもできる。
- [0050] 遮光部71と、その開口部73を塞ぐ遮光部72とは、互いに一部重なるように形成される。遮光部71および72は、接続配線36および58が直接接合されるとき、同時に重なる部分において直接接合される。また、遮光部71および72は、一方が開口部73を有する配線であり、他方がその開口部73を覆うような形状であり、開口部73より面積が大きく、一部が重なるように形成される。なお、本技術に係る開口部73の形状は種々の形状が考えられ、図7Aの横ストライプ形状に限られない。
- [0051] 遮光層68は、電位固定、例えば接地電位が印加され、電位的に安定にすることが好ましい。電位固定は、第1の半導体基板33側か、あるいは、第2の半導体基板54側で実施するか、または、その両方で実施することが可

能である。

[0052] [固体撮像装置の製造方法例]

図8ないし図16に、第1実施形態に係る固体撮像装置31の製造方法例を示す。図8ないし図10は、画素アレイを有する第1の半導体チップ部側の工程、図11ないし図13は、ロジック回路を有する第2の半導体チップ部側の工程、図14ないし図16は、接合以降の工程を示す。

[0053] まず、図8に示すように、例えばシリコンによる第1の半導体ウェハ（以下、半導体基板という）33の各半導体チップ部となる領域に半導体ウェル領域30を形成し、この半導体ウェル領域30に各画素の光電変換部となるフォトダイオードPDを形成する。図示しないが、素子分離領域51（図4参照）は最初に形成して置くことができる。各フォトダイオードPDは、半導体ウェル領域30の深さ方向に延長して形成される。フォトダイオードPDは、画素アレイ34を構成する有効画素アレイ42およびオプティカルブラック領域41に形成する。

[0054] さらに、半導体ウェル領域30の表面33a側に各画素を構成する複数の画素トランジスタを形成する。画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、増幅トランジスタ、選択トランジスタで構成することができる。ここでは、前述したように、画素トランジスタTr1、Tr2を代表して示す。各画素トランジスタTr1、Tr2は、図示しないが、一对のソース・ドレイン領域と、ゲート絶縁膜を介して形成したゲート電極とを有して形成される。

[0055] 半導体基板33の表面33a側の上部には、層間絶縁膜53を介して複数層、本例では4層メタルM1～M4による配線35〔35a、35b、35c、35d〕を、導電ビア52を含めて形成する。配線35は、デュアルダマシン法で形成することができる。すなわち、層間絶縁膜53にビアファーストによる接続孔と配線溝を同時に形成し、Cu拡散を防止するためのCu拡散バリア性メタル膜とCuシード膜を形成した後、めっき法によりCu材料層を埋め込む。Cu拡散バリア性メタル膜としては、例えばTa、TaN

、Ti、TiN、W、WN、Ru、TiZrN、これらを含む合金膜が挙げられる。次いで、CMP（化学機械研磨）法により余剰のCu材料層を除去し、平坦化された導電ビアと一体のCu配線が形成される。その後、図示しないがCu拡散バリア性絶縁膜を成膜する。Cuバリア性絶縁膜としては、例えば、SiN、SiC、SiCN、SiON等の絶縁膜を用いることができる。この工程を繰り返して、4層のメタルM1～M4による配線35a～35dを形成する。

[0056] 次に、図9に示すように、Cu拡散バリア性を有しない第1絶縁膜76、Cu拡散バリア性を有しない第2絶縁膜77およびCu拡散バリア性絶縁膜75を順次形成する。第1絶縁膜76と第2絶縁膜77は、SiO₂膜、SiCOH膜などで形成される。また、Cuバリア性絶縁膜75としては、前述同様に例えば、SiN、SiC、SiCN、SiON等の絶縁膜を用いることができる。これらCu拡散バリア性絶縁膜75、第1絶縁膜76、第2絶縁膜77は、層間絶縁膜53に相当する。次いで、リソグラフィおよびエッチング技術を用いてビアファーストで、最表面のCu拡散バリア性絶縁膜75および第2絶縁膜77および第1絶縁膜76をパターンングしビア孔80を選択的に形成する。その後、第2絶縁膜77部をパターンングし選択的に開口部78を形成する。すなわち、形成すべき遮光部71（開口部73を除く部分）に対応する部分の開口部78と、形成すべき接続配線36に対応する部分の開口部79、ビア孔80を有するようにパターンングする。

[0057] 次に、図10に示すように、前述と同様に、デュアルダマシン法を用いて開口部78、79およびビア孔80内にCu材料を埋め込むようにして、開口部73を有する遮光部71と、配線35dに接続する導電ビア52および接続配線36とを形成する。遮光部71および接続配線36は、5層目のメタルM5により形成する。これによって、メタルM1～M5による配線35a～35d、接続配線36、遮光部71と、層間絶縁膜53、絶縁膜75～77とにより、多層配線層37が形成される。ここで、接続配線36に接続される4層のメタルM4による配線35d1は、ロジック回路側からの発光

光がフォトダイオードPD側に漏れないように、遮光部71側に十分に延長して遮光部71と重なる面積で形成することが好ましい。

[0058] さらに、遮光部71および接続配線36の上部には、極めて薄い均一な絶縁性薄膜900を成膜する。

[0059] 一方、図11に示すように、例えばシリコンによる第2の半導体ウェハ（以下、半導体基板という）54の各半導体チップ部となる領域に半導体ウェル領域50を形成する。この半導体ウェル領域50にロジック回路55を構成する複数のMOSトランジスタTr11~Tr14を形成する。ここでは、前述したように、MOSトランジスタTr11~Tr14を代表して示す。図示しないが、素子分離領域63（図5参照）は最初に形成して置くことができる。

[0060] 半導体基板54の表面側の上部には、層間絶縁膜56を介して複数層、本例では3層のメタルM11~M13による配線57 [57a、57b、57c] を、導電ビア64を含めて形成する。配線57は、デュアルダマシン法で形成することができる。すなわち、層間絶縁膜にビアファーストによる接続孔と配線溝を同時に形成し、Cu拡散を防止するためのCu拡散バリア性メタル膜とCuシード膜を形成した後、めっき法によりCu材料層を埋め込む。Cu拡散バリア性メタル膜としては、例えばTa、Ta₂N₅、Ti、TiN、W、WN、Ru、TiZrN、これらを含む合金膜が挙げられる。次いで、CMP（化学機械研磨）法により余剰のCu材料層を除去し、平坦化された導電ビアと一体のCu配線が形成される。その後、図示しないがCu拡散バリア性絶縁膜を成膜する。Cuバリア性絶縁膜としては、例えば、SiN、SiC、SiCN、SiON等の絶縁膜、を用いることができる。この工程を繰り返して、3層のメタルM11~M13による配線57a~57cを形成する。

[0061] 次に、図12に示すように、Cu拡散バリア性を有しない第1絶縁膜82、Cu拡散バリア性を有しない第2絶縁膜83およびCu拡散バリア性絶縁膜81を順次形成する。第1絶縁膜82と第2絶縁膜83は、SiO₂膜、

SiCOH膜などで形成される。またCuバリア性絶縁膜81としては、前述同様に例えば、SiN、SiC、SiCN、SiON等の絶縁膜を用いることができる。これらCu拡散バリア性絶縁膜81、第1絶縁膜82、第2絶縁膜83は、層間絶縁膜に相当する。次いで、リソグラフィおよびエッチング技術を用いてビアファーストで、最表面のCu拡散バリア性絶縁膜81および第2絶縁膜83および第1絶縁膜82をパターニングしビア孔86を選択的に形成する。その後、第2絶縁膜83部をパターニングし選択的に開口部84、85を形成する。開口部84は、第1の半導体チップ側の遮光部71の開口部73を覆う位置に形成する。この開口部84は、後に第1の半導体基板と第2の半導体基板を接合するとき、合わせずれによる光洩れがないように、遮光部71の開口部73を覆いかつ遮光部71に一部重なる大きさに形成することが望ましい。すなわち、形成すべき遮光部72に対応する部分の開口部84と、形成すべき接続配線58に対応する部分の開口部85、ビア孔86を有するようにパターニングする。

[0062] 次に、図13に示すように、前述と同様に、デュアルダマシン法を用いて開口部84、85およびビア孔86内にCu材料を埋め込むようにして、遮光部72と、配線57cに接続する導電ビア64および接続配線58とを形成する。遮光部72および接続配線58は、4層目のメタルM14により形成する。これによって、メタルM11~M13による配線57a~57c、接続配線58、遮光部72と、層間絶縁膜56、絶縁膜81~83とにより、多層配線層59が形成される。

[0063] さらに、遮光部72および接続配線58の上部には、極めて薄い均一な絶縁性薄膜901を成膜する。

[0064] 次に、図14に示すように、第1の半導体基板33と第2の半導体基板54を、互いの多層配線層が向かい合って双方の接続配線36、58が直接接触して電氣的に接続されるように、第1の半導体基板33および第2の半導体基板54を接合する。つまり、第1および第2の半導体基板33および54を物理的に接合し、かつ電氣的に接続する。このとき、遮光部71と遮光

部 7 2 も、重なる部分で直接接合する。すなわち、熱処理により接続配線 3 6 および 5 8 同士、遮光部 7 1 および 7 2 同士を熱拡散接合する。このときの熱処理温度は、100℃～500℃程度とすることができる。また、層間絶縁膜である絶縁膜同士を表面処理してプラズマ接合する。なお、層間絶縁膜である絶縁膜同士は、接着剤により接合することもできる。

[0065] このように、遮光部 7 1 の第 1 の導電体と遮光部 7 2 の第 2 の導電体とは、初めに接合面 4 0 に絶縁膜を挟んでおき、その後熱を加えることにより導電体である銅を結晶成長させて繋げられるため、接合面 4 0 付近で電氣的に接続されている。したがって、第 1 の導電体および第 2 の導電体は、それぞれ第 1 の半導体チップ 2 6 および第 2 の半導体チップに形成されたロジック回路 5 5 および配線 3 5 よりも接合面 4 0 側に配置されている。

[0066] 次に、図 1 5 に示すように、第 1 の半導体基板 3 3 を、裏面側からフォトダイオード PD の必要膜厚が残るように CMP 法等を用いて研削、研磨して薄膜化する。

[0067] 次に、図 1 6 に示すように、薄膜化した表面上に絶縁膜 3 8 を介して、オプティカルブラック領域に対応するフォトダイオード PD 上を含んで遮光膜 3 9 を形成する。また、平坦化膜 4 3 を介して有効画素アレイに対応するフォトダイオード PD 上にカラーフィルタ 4 4 およびオン半導体チップレンズ 4 5 を形成する。

[0068] 次いで、接合された第 1 の半導体基板 3 3 および第 2 の半導体基板 s 5 4 を各半導体チップに分離する半導体チップ化を行い、図 3 に示す目的の固体撮像装置 3 1 を得る。

[0069] 遮光部 7 1 および 7 2、接続配線 3 6 および 5 8、これらと同層の配線となるメタル M 5、M 1 4 としては、導電性が高く、遮光性が高い材料で且つ接合し易い材料が望ましい。このような性質を有する材料としては、Cu 以外に、Al、W、Ti、Ta、Mo、Ru 等の単一材料、あるいは合金を用いることができる。

[0070] 遮光層 6 8 の膜厚、本例では遮光部 7 1、7 2 の膜厚は、発光する第 2 の

半導体チップ部28側の光の波長にわせて決めるのが望ましい。本実施形態では、第2の半導体チップ部28のMOSトランジスタのホットキャリアからの発光を遮光する必要があるため、波長1 μ m前後の光に対して遮光層厚を設計する必要がある。例えば、遮光層68の膜厚、したがって遮光部71、72の膜厚としては、50nm~800nm程度とすることができる。

[0071] 本実施形態に係る固体撮像装置31およびその製造方法によれば、第1の半導体チップ部26と第2の半導体チップ部28との接合面40付近において、第1の導電体71および第2の導電体72のみで、遮光層68および電氣的ノイズに対するシールド層を形成している。また、接合面40付近において、接合面40に接する面積比率が、第2の導電体72よりも第1の導電体71の方が高く、非対称となっている。このため、固体撮像装置31およびその製造方法によれば、高面積比率の導電膜のウェハ接合を実現させて接合面40でのボイドの発生を抑制することができる。さらに、接合面40でのボイドの発生を抑制することにより、画質を向上させる固体撮像装置31を提供することができる。なお、接合面40に接する面積比率は、第1の導電体71と第2の導電体72とで異なる非対称であればよく、第1の導電体71よりも第2の導電体72の方が高くてもよい。

[0072] ここで、非対称とは、下基板側のCu面積比率が30%以下であり、上基板のCu面積比率が70%以上となるレイアウトであって、接合後に100%遮光できるものをいう。面積比率は、高い方の基板が70%以上であることが望ましく、87%以上がより好ましい。一方、面積比率は、低い方の基板が30%以下であることが望ましく、13%以下がより好ましい。なお、接合面40付近には、第1の導電体71または第2の導電体72の代わりにダミーの導電体を配置してもよい。

[0073] また、本実施形態に係る固体撮像装置31およびその製造方法によれば、第1の半導体チップ部26と第2の半導体チップ部28との接合付近に接続配線36および58と同じ層のメタルM5、M14による遮光層68を形成している。この遮光層68により、第2の半導体チップ部28のロジック回

路55のMOSトランジスタからのホットキャリアによる発光が第1の半導体チップ部26側の画素アレイへ入射することを抑制することができる。従って、ホットキャリアによる発光の悪影響が抑制されるので、暗電流、ランダムノイズを抑制することができる。

[0074] また、本実施形態に係る固体撮像装置31の製造方法によれば、遮光層68が接続配線36および58と同じ層のメタルM5、M14で形成されるので、従来技術に比べて接合された半導体チップ全体の厚みを小さくすることができ、固体撮像装置31をより薄型化することができる。これにより半導体チップ全体の厚みを増やさずに暗電流、ランダムノイズの少ない固体撮像装置31を提供することができる。

[0075] また、本実施形態に係る固体撮像装置31の製造方法によれば、配線、接続配線、遮光層を同時に形成することができるので、製造工程数の削減、マスク工程の削減、材料費の削減が行え、低コストをもって暗電流、ランダムノイズの少ない固体撮像装置を製造することができる。

[0076] <4. 第2実施形態の固体撮像装置>

図17を用いて、本技術に係る固体撮像装置の第2実施形態について説明する。本実施形態が、図16の第1実施形態と相違する点は、配線層58および遮光部72の導電ビア64を形成せずに、接続配線36とメタルM13の配線57cとを遮光部72で接続させている点である。本実施形態の固体撮像装置31も、第1実施形態の固体撮像装置31と同様の効果を有するのに加えて、さらに、導電ビア64を形成しないことにより製造工程及び製造コストを削減できるメリットがある。

[0077] <5. 第3実施形態の固体撮像装置>

図18を用いて、本技術に係る固体撮像装置の第3実施形態について説明する。本実施形態が、図16の第1実施形態と相違する点は、接続配線36および配線58を電源利用等の配線として利用する場合も、遮光層68と同様に、配線902の配線面積比率を高くし、配線903の配線面積比率を低くして、配線902および903を非対称に接合した構造とされている点で

ある。本実施形態の固体撮像装置 3 1 も、第 1 実施形態の固体撮像装置 3 1 と同様の効果を有し、特に、遮光層 6 8 に加えて配線 9 0 2 および 9 0 3 の面積比率を非対称にして、他方の面積比率を高くすることで、より接合時に発生するボイドを抑制することができる。

[0078] <6. 第 4 実施形態の固体撮像装置>

図 1 9 を用いて、本技術に係る固体撮像装置の第 4 実施形態について説明する。本実施形態が、図 1 6 の第 1 実施形態と相違する点は、第 2 の半導体チップ部 2 8 において、第 2 の半導体基板 5 4 が 2 層積層されている点である。層間絶縁膜およびこれに接合する第 2 の半導体基板 5 4 は、配線 5 7 c 同士が配線 9 0 4 で電氣的に接続されている。本実施形態の固体撮像装置 3 1 も、第 1 実施形態の固体撮像装置 3 1 と同様の効果を有する。なお、本技術に係る固体撮像装置の半導体基板の積層は、3 層以下に限らず、4 層以上であってもよい。

[0079] <7. 第 5 実施形態の固体撮像装置>

図 2 0 ないし図 2 2 を用いて、本技術に係る固体撮像装置の第 5 実施形態について説明する。本実施形態が、図 1 6 の第 1 実施形態と相違する点は、遮光層 6 8 の平面のレイアウトが、図 7 で示した横ストライプ型以外に、斜めストライプ型または市松型に配置されている点である。

[0080] 図 2 0 A は、遮光層 6 8 の平面形状が、第 1 実施形態と同様の横ストライプ型である場合を示している。なお、遮光部 7 1 および 7 2 のそれぞれの縦方向の幅は、同じであってもよく、異なってもよい。図 2 0 B は、遮光層 6 8 の平面形状が、左上方から右下方へ配列された斜めストライプ型である場合を示している。図 2 0 C は、遮光層 6 8 の平面形状が、市松型である場合を示している。この市松型は、遮光部 7 1 に形成された複数の矩形の開口部 7 3 を覆うように、開口部 7 3 よりも面積が広い複数の矩形の遮光部 7 2 が配置されている。なお、矩形は正方形を含む。図 2 0 D は、遮光層 6 8 の平面形状が、図 2 0 C の市松型を時計回り方向に所定の角度回転させた斜め市松型である場合を示している。

- [0081] 図21は、本実施形態の固体撮像装置の画素アレイの信号線レイアウトを示す拡大図である。本実施形態の画素アレイ23には、複数のフォトダイオードが縦横それぞれ並行に配列されている。この画素アレイ23には、横方向にそれぞれ所定のピッチで、リセット信号線M21、トランスファ信号線M22および画素選択信号線M23が水平に複数配列されている。また、画素アレイ23には、縦方向に所定のピッチで垂直信号線M3が垂直に複数配列されている。
- [0082] 図22Aないし図22Cは、本実施形態の固体撮像装置のシールド層のレイアウトを説明するための構成図である。
- [0083] 図22Aに示す遮光層（シールド層）68は、遮光部71および72が、上面から見て、所定のピッチで複数の開口部73および74を有する縦ストライプ型に配置されている。このような縦シールドの場合、各垂直信号線M3とシールド層68との層間に差異が発生し、垂直信号線M3毎の総容量がばらつく可能性がある。
- [0084] 図22Bに示すシールド層68は、遮光部71および72が、上面から見て、所定のピッチで複数の開口部73および74を有する横ストライプ型に配置されている。このような横シールドの場合、各水平制御線M21ないしM23とシールド層68との層間に差異が発生し、水平信号線M21ないしM23毎の総容量がばらつく可能性がある。
- [0085] 図22Cに示すシールド層68は、遮光部71および72が、上面から見て、左上方から右下方へ所定のピッチで複数の開口部73を有する斜めストライプ型に配置されている。このような斜めに傾斜したシールドの場合、各垂直信号線M3、および、各水平制御線M21ないしM23の一本当たりのシールド層68との層間容量が一様になることが期待でき、総容量のばらつきを抑えることが可能になる。したがって、他の縦横のストライプ型に比べて固体撮像装置のバンドノイズをより低減することができる。
- [0086] 以上のように、ストライプ型や市松型のシールド層68のピッチ繰り返しの向きを、ロジック回路55の各水平信号線M21ないしM3、および各垂

直信号線M3に対して、斜め方向に配置することにより、シールド層68と各信号線との間の容量を画素アレイ23全体で均一にできるため、固体撮像装置31の電氣的ノイズを低減することができる。さらに、映り込み対策として、シールド層68を斜めストライプ型に配置して、全ての信号線と直交しない形状にすることで、容量カップリングの影響を分散させることができる。

[0087] <8. 第6実施形態の電子機器>

図23を用いて、本技術に係る固体撮像装置の第6実施形態について説明する。

図23は、本技術に係る電子機器を示す図である。上述の本技術に係る固体撮像装置は、例えばデジタルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話、あるいは撮像機能を備えた他の機器、などの電子機器に適用することができる。

[0088] 図23に、本技術に係る電子機器の一例としてカメラに適用した第6実施形態を示す。本実施形態例に係るカメラは、静止画像又は動画撮影可能なビデオカメラを例としたものである。本実施形態に係るカメラ201は、固体撮像装置202と、固体撮像装置202の受光センサ部に入射光を導く光学系203と、シャッタ装置204を有する。さらに、固体撮像装置202を駆動する駆動回路205と、固体撮像装置202の出力信号を処理する信号処理回路206とを有する。

[0089] 固体撮像装置202は、上述した各実施形態の固体撮像装置のいずれかが適用される。光学系（光学レンズ）203は、被写体からの像光（入射光）を固体撮像装置202の撮像面上に結像させる。これにより、固体撮像装置202内に、一定期間信号電荷が蓄積される。光学系203は、複数の光学レンズから構成された光学レンズ系としてもよい。

シャッタ装置204は、固体撮像装置202への光照射期間及び遮光期間を制御する。駆動回路205は、固体撮像装置202の転送動作及びシャッタ装置204のシャッタ動作を制御する駆動信号を供給する。駆動回路205

から供給される駆動信号（タイミング信号）により、固体撮像装置202の信号転送を行う。信号処理回路206は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、あるいは、モニタに出力される。

[0090] 第6実施形態に係る電子機器によれば、上述の本技術における裏面照射型の固体撮像装置202を備えるので、ロジック回路のMOSトランジスタからのホットキャリアで発光した光が画素アレイ側に入射されず、暗電流、ランダムノイズを抑制することができる。従って、高画質の電子機器を提供することができる。例えば、画質を向上したカメラなどを提供することができる。

[0091] なお、本技術の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。例えば、上述した複数の実施形態の全てまたは一部を組み合わせた形態を採用することができる。

[0092] また、本技術は、以下のような構成を取ることができる。

(1) 一つまたは複数の第1の導電体および画素アレイが形成された第1の半導体チップと、
前記第1の半導体チップと接合され、一つまたは複数の第2の導電体およびロジック回路が形成された第2の半導体チップと、を少なくとも含み、
前記第1の半導体チップと前記第2の半導体チップとの接合面で、前記第1の導電体と前記第2の導電体とが重なり合っ て電氣的に接続され、
前記接合面に接する面積が、前記第1の導電体と前記第2の導電体とで異なる固体撮像装置。

(2) 前記接合面に接する面積が小さい方の導電体に対する面積が大きい方の導電体の面積比率が70%以上である、上記(1)に記載の固体撮像装置。

(3) 前記接合面に接する面積が小さい導電体に対する面積が大きい導電体の面積比率が60%以上である、上記(1)に記載の固体撮像装置。

(4) 前記第1の導電体および前記第2の導電体が形成されている前記接合面の領域は、前記第1の導電体または前記第2の導電体のいずれかで閉塞される、上記(1)に記載の固体撮像装置。

(5) 前記第1の導電体および前記第2の導電体が形成されている前記接合面の領域は、部分的に隙間を有する、上記(1)に記載の固体撮像装置。

(6) 前記第1の半導体チップには、前記第1の導電体および前記第2の導電体の電位固定を行う配線および接続孔が形成されている、上記(1)に記載の固体撮像装置。

(7) 前記第2の半導体チップには、前記第1の導電体および前記第2の導電体の電位固定を行う配線および接続孔が形成されている、上記(1)に記載の固体撮像装置。

(8) 前記第1の導電体および前記第2の導電体は、それぞれ前記第1の半導体チップおよび前記第2の半導体チップに形成されたロジック回路および配線よりも前記接合面側に配置される、上記(1)に記載の固体撮像装置。

(9) 前記第1の導電体および前記第2の導電体が形成された領域は、前記画素アレイが形成された領域以上の大きさで配置される、上記(1)に記載の固体撮像装置。

(10) 前記第1の導電体および前記第2の導電体は複数形成され、前記複数の第1の導電体および前記複数の第2の導電体の配列方向が、前記第1の半導体チップおよび前記第2の半導体チップに形成されたアナログ回路の信号線の方向に対して傾斜した方向である、上記(1)に記載の固体撮像装置。

(11) 一つまたは複数の第1の導電体および画素アレイを第1の半導体チップに形成するステップと、
一つまたは複数の第2の導電体およびロジック回路を第2の半導体チップに形成するステップと、
前記第1の半導体チップに形成された前記第1の導電体と前記第2の半導体チップに形成された前記第2の導電体とを重なり合わせて電氣的に接続する

ステップと、を含み、

前記第 1 の半導体チップと前記第 2 の半導体チップとの接合面に接する面積が、前記第 1 の導電体と前記第 2 の導電体とで異なる固体撮像装置の製造方法。

(12) 一つまたは複数の第 1 の導電体および画素アレイが形成された第 1 の半導体チップと、

前記第 1 の半導体チップと接合され、一つまたは複数の第 2 の導電体およびロジック回路が形成された第 2 の半導体チップと、を少なくとも含み、

前記第 1 の半導体チップと前記第 2 の半導体チップとの接合面で、前記第 1 の導電体と前記第 2 の導電体とが重なり合っ

て電氣的に接続され、前記接合面に接する面積が、前記第 1 の導電体と前記第 2 の導電体とで異なる固体撮像装置を備える、電子機器。

符号の説明

- [0093] 1、1 a～1 c、3 1 固体撮像装置
2 画素
3、2 3、3 4 画素アレイ (画素領域)
4 垂直駆動回路
5 カラム信号処理回路
6 水平駆動回路
7 出力回路
8、2 4、2 4 - 1、2 4 - 2 制御回路
9 垂直信号線
1 0 水平信号線
2 1、3 3 第 1 の半導体基板
2 2、5 4 第 2 の半導体基板
2 5、5 5 ロジック回路
2 6 第 1 の半導体チップ部
2 8 第 2 の半導体チップ部

- 30、50 半導体ウェル領域
- 32 積層半導体チップ
- 33a 表面
- 35a~35d、36、57a~57c、58、902~904 配線
- 37、59 多層配線層
- 38 絶縁膜
- 39 遮光膜
- 40 接合面
- 41 オプティカルブラック領域
- 42 有効画素アレイ
- 43 平坦化膜
- 44 カラーフィルタ
- 45 オン半導体チップレンズ
- 47、48 P型半導体領域
- 49、61 ソース・ドレイン領域
- 51、63 素子分離領域
- 52、64 導電ビア
- 53、56、66 層間絶縁膜
- 62 ゲート電極
- 68 遮光層
- 71 遮光部（第1の導電体）
- 72 遮光部（第2の導電体）
- 73、74、78、79、84、85 開口部
- 75、81 Cu拡散バリア性絶縁膜
- 76、82 第1絶縁膜
- 77、83 第2絶縁膜
- 80、86 ビア孔
- 900、901 絶縁性薄膜

P D フォトダイオード

T r 1、T r 2 画素トランジスタ

M 1～M 5、M 1 3、M 1 4 メタル

F D フローティングディフュージョン

T r 1 1～T r 1 4 M O S トランジスタ

請求の範囲

- [請求項1] 一つまたは複数の第1の導電体および画素アレイが形成された第1の半導体チップと、
前記第1の半導体チップと接合され、一つまたは複数の第2の導電体およびロジック回路が形成された第2の半導体チップと、を少なくとも含み、
前記第1の半導体チップと前記第2の半導体チップとの接合面で、
前記第1の導電体と前記第2の導電体とが重なり合っって電氣的に接続され、
前記接合面に接する面積が、前記第1の導電体と前記第2の導電体とで異なる固体撮像装置。
- [請求項2] 前記接合面に接する面積が小さい方の導電体に対する面積が大きい方の導電体の面積比率が70%以上である請求項1記載の固体撮像装置。
- [請求項3] 前記接合面に接する面積が小さい方の導電体に対する面積が大きい方の導電体の面積比率が60%以上である請求項1記載の固体撮像装置。
- [請求項4] 前記第1の導電体および前記第2の導電体が形成されている前記接合面の領域は、前記第1の導電体または前記第2の導電体のいずれかで閉塞される請求項1に記載の固体撮像装置。
- [請求項5] 前記第1の導電体および前記第2の導電体が形成されている前記接合面の領域は、部分的に隙間を有する請求項1に記載の固体撮像装置。
- [請求項6] 前記第1の半導体チップには、前記第1の導電体および前記第2の導電体の電位固定を行う配線および接続孔が形成されている請求項1に記載の固体撮像装置。
- [請求項7] 前記第2の半導体チップには、前記第1の導電体および前記第2の導電体の電位固定を行う配線および接続孔が形成されている請求項1

に記載の固体撮像装置。

[請求項8] 前記第1の導電体および前記第2の導電体は、それぞれ前記第1の半導体チップおよび前記第2の半導体チップに形成されたロジック回路および配線よりも前記接合面側に配置される請求項1に記載の固体撮像装置。

[請求項9] 前記第1の導電体および前記第2の導電体が形成された領域は、前記画素アレイが形成された領域以上の大きさで配置される請求項1に記載の固体撮像装置。

[請求項10] 前記第1の導電体および前記第2の導電体は複数形成され、前記複数の第1の導電体および前記複数の第2の導電体の配列方向が、前記第1の半導体チップおよび前記第2の半導体チップに形成されたアナログ回路の信号線の方向に対して傾斜した方向である請求項1に記載の固体撮像装置。

[請求項11] 一つまたは複数の第1の導電体および画素アレイを第1の半導体チップに形成するステップと、

一つまたは複数の第2の導電体およびロジック回路を第2の半導体チップに形成するステップと、

前記第1の半導体チップに形成された前記第1の導電体と前記第2の半導体チップに形成された前記第2の導電体とを重なり合わせて電気的に接続するステップと、を含み、

前記第1の半導体チップと前記第2の半導体チップとの接合面に接する面積が、前記第1の導電体と前記第2の導電体とで異なる固体撮像装置の製造方法。

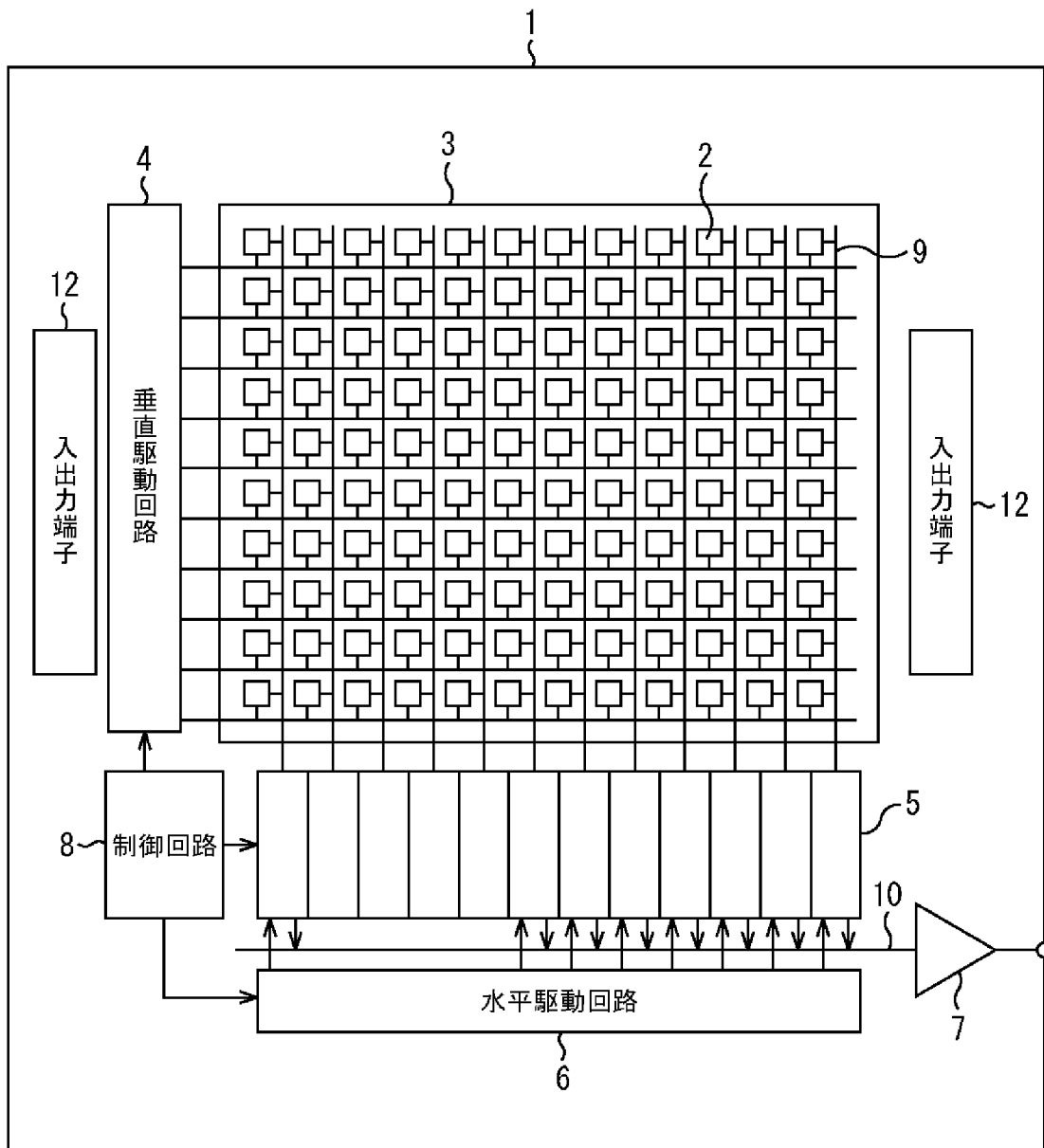
[請求項12] 一つまたは複数の第1の導電体および画素アレイが形成された第1の半導体チップと、

前記第1の半導体チップと接合され、一つまたは複数の第2の導電体およびロジック回路が形成された第2の半導体チップと、を少なくとも含み、

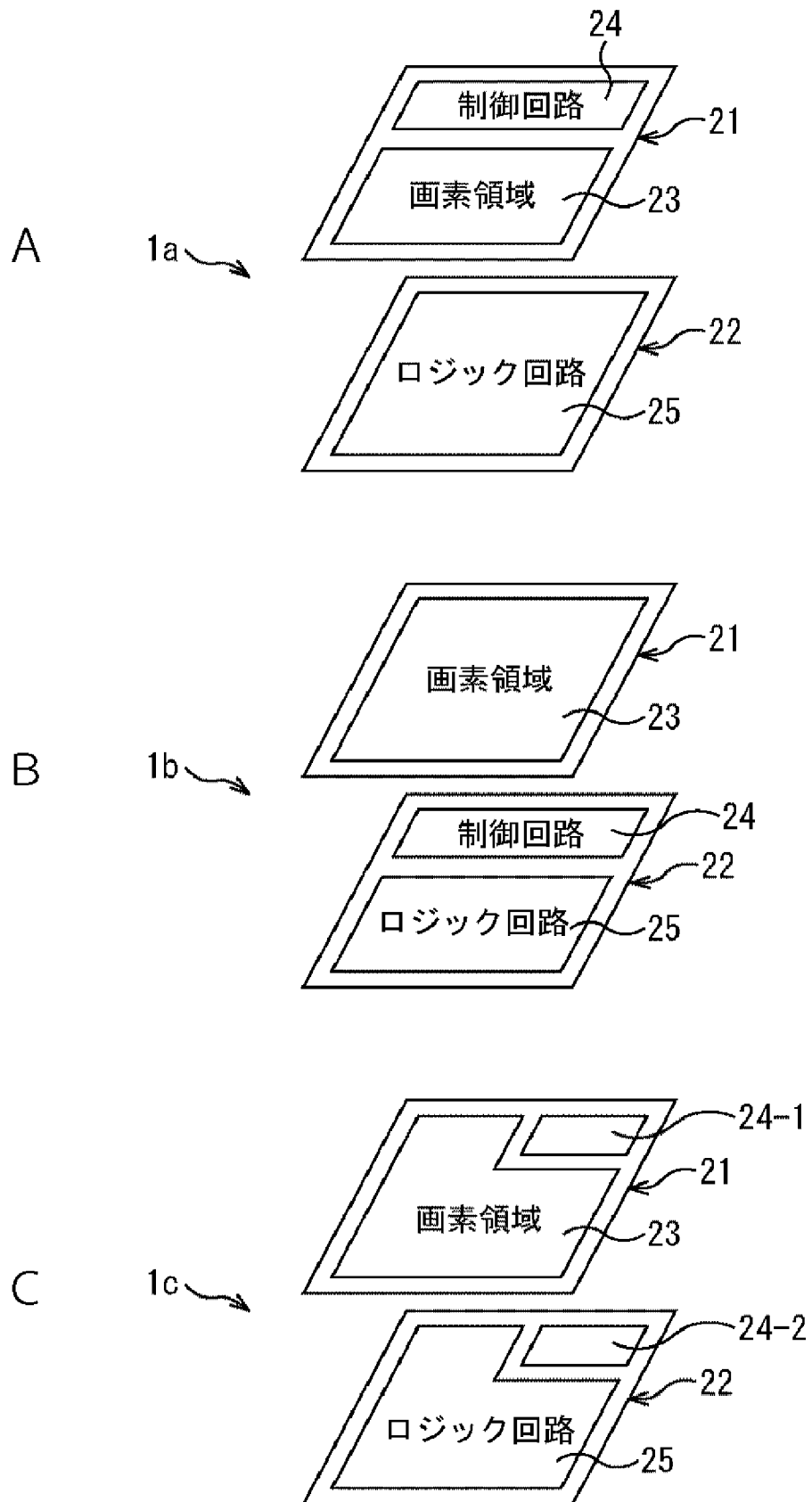
前記第 1 の半導体チップと前記第 2 の半導体チップとの接合面で、
前記第 1 の導電体と前記第 2 の導電体とが重なり合っ
て電氣的に接続され、

前記接合面に接する面積が、前記第 1 の導電体と前記第 2 の導電体
とで異なる固体撮像装置を備える、電子機器。

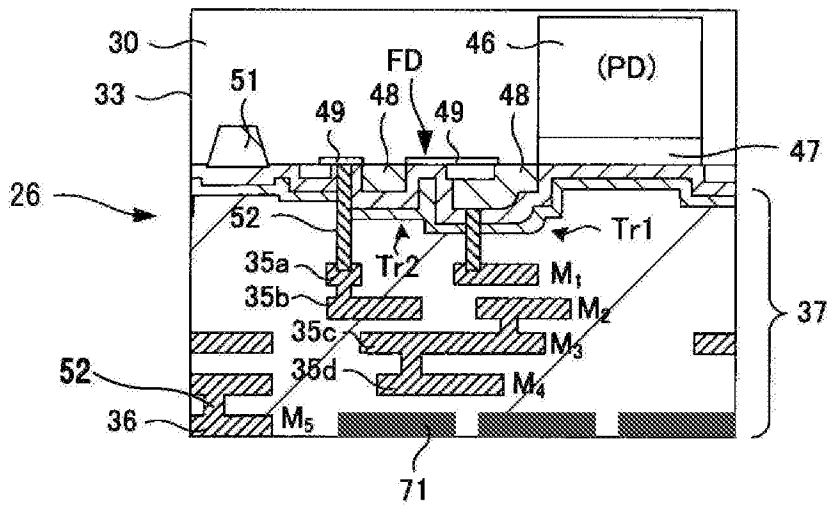
[図1]



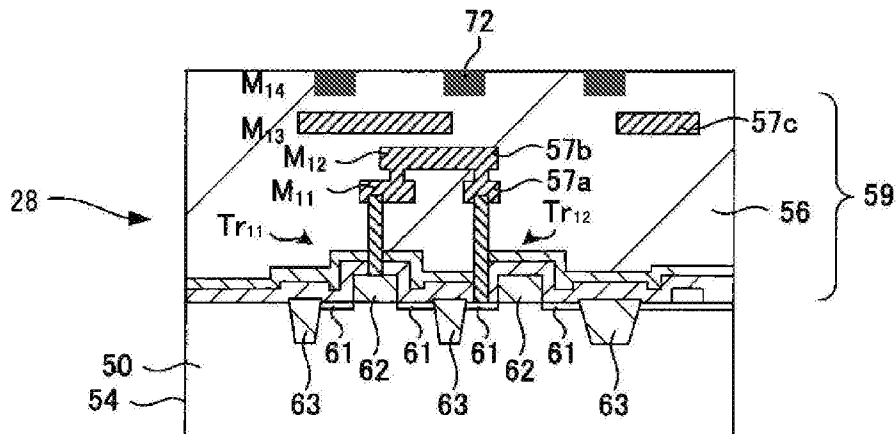
[図2]



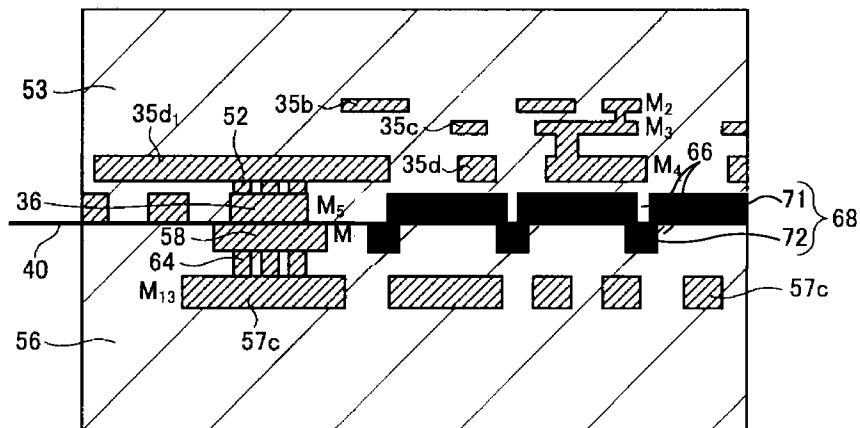
[図4]



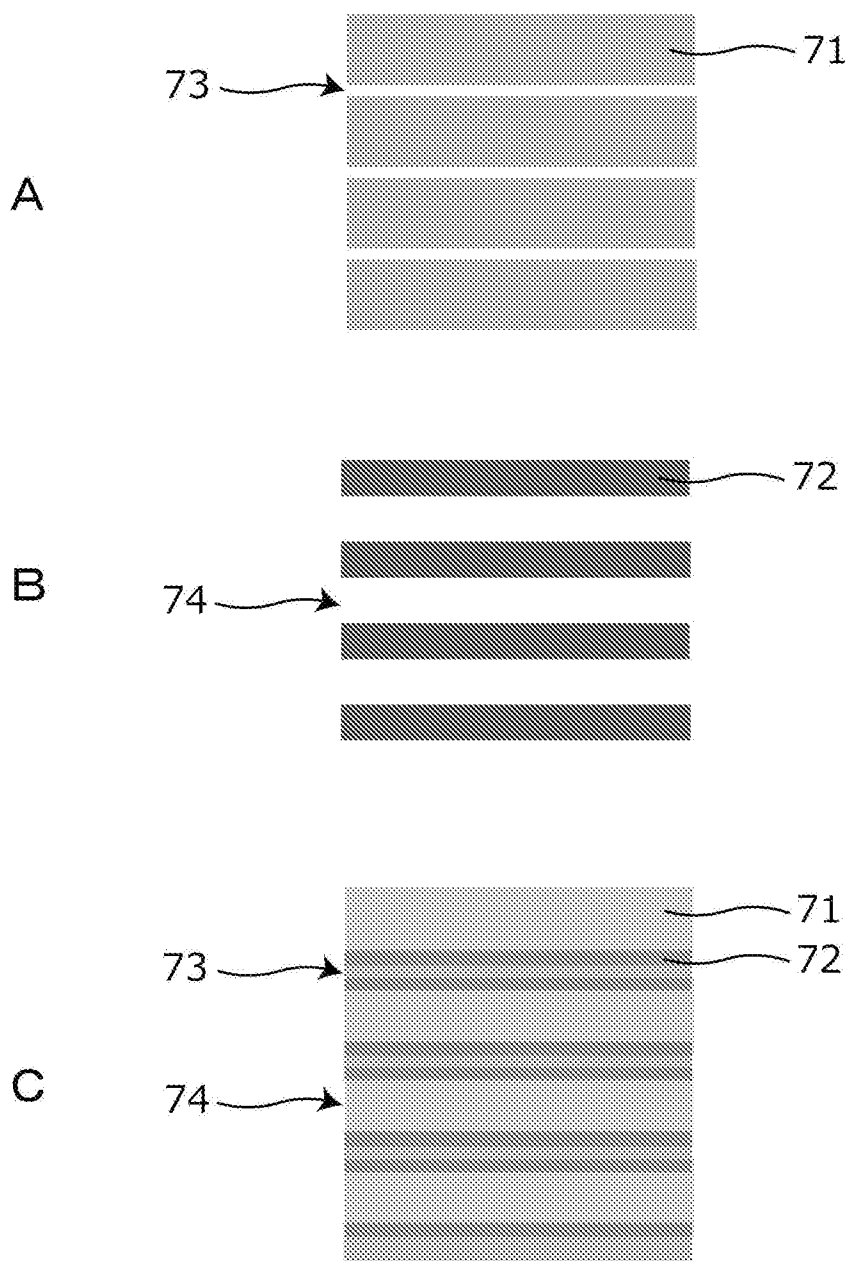
[図5]



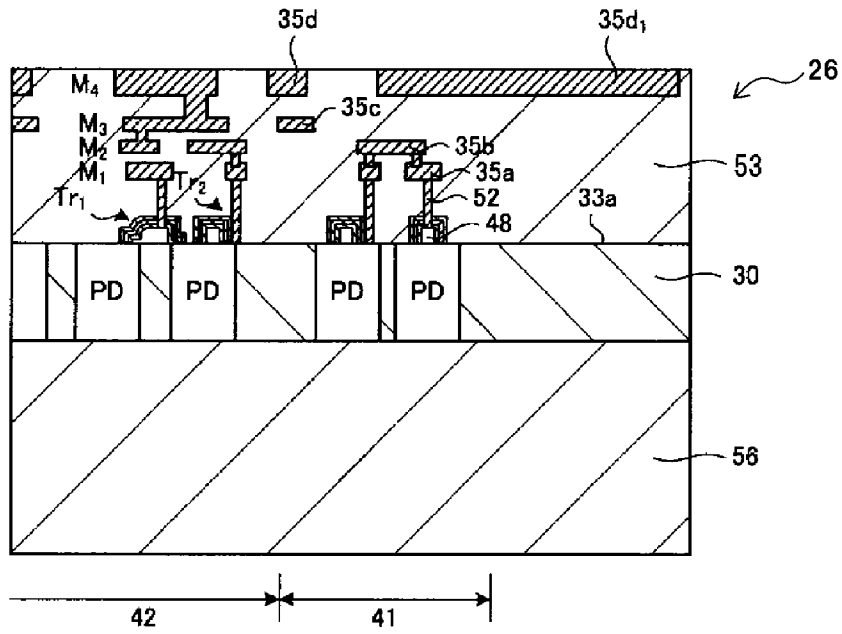
[図6]



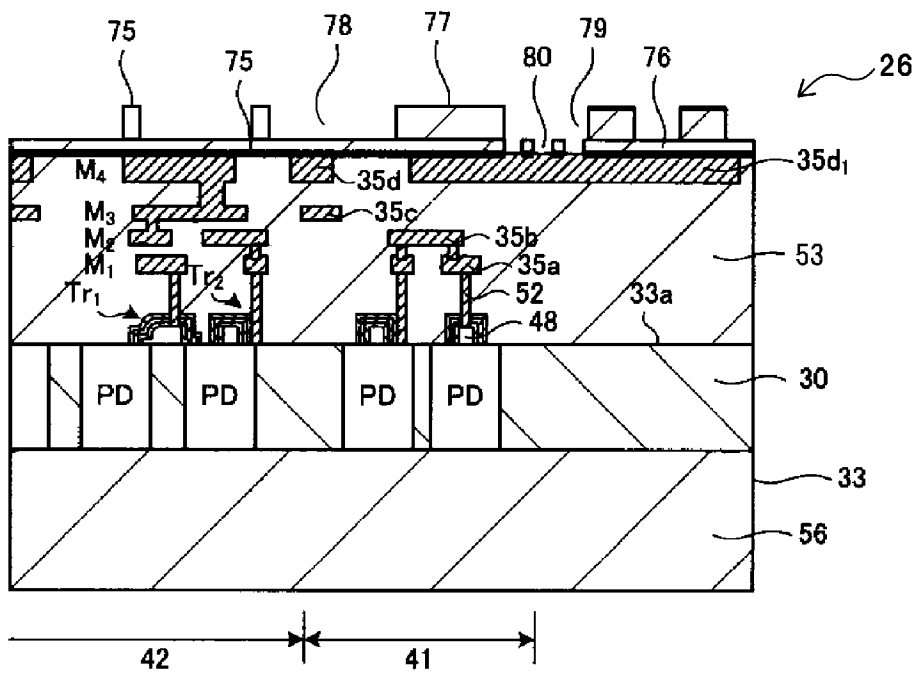
[図7]



[図8]

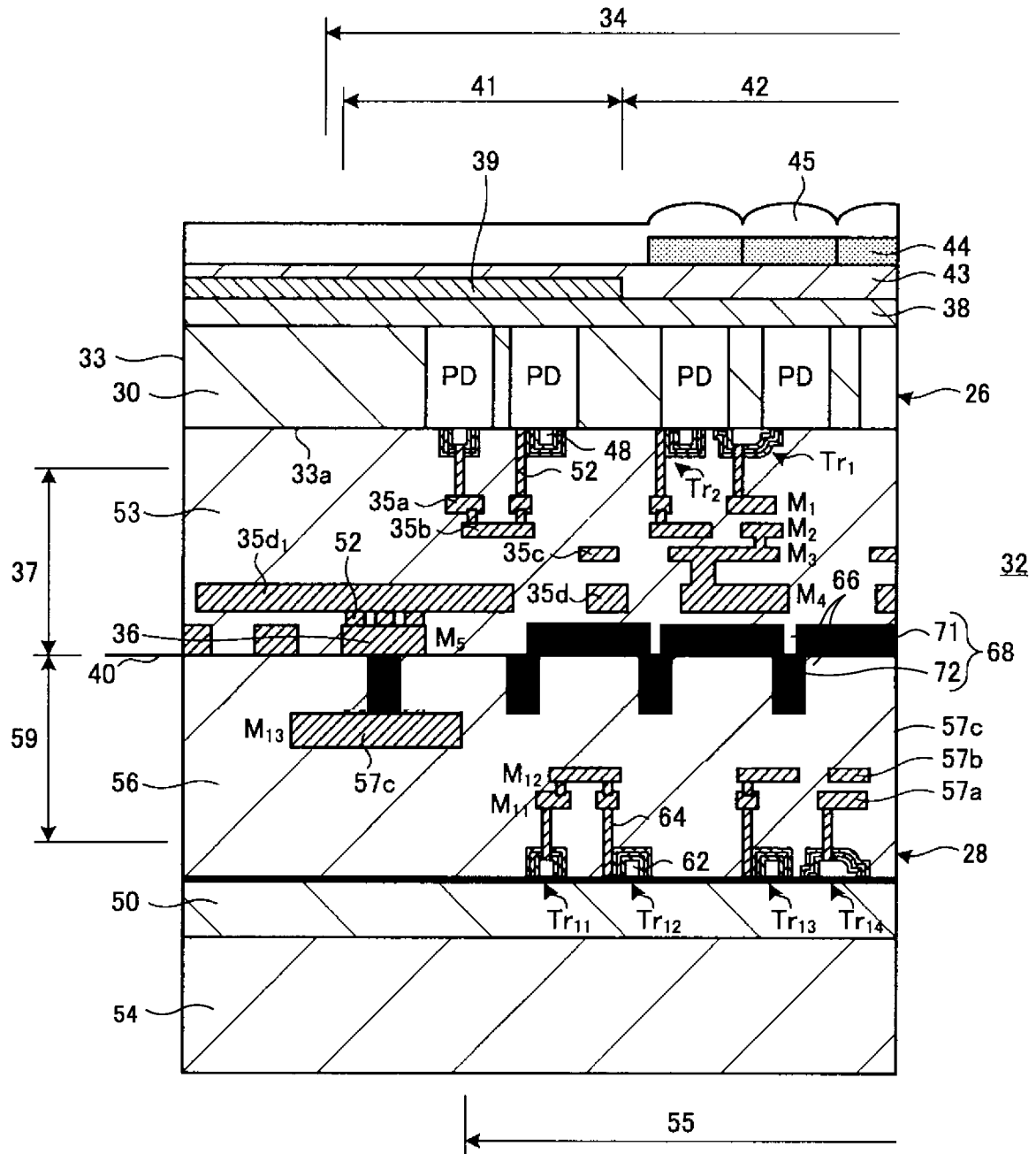


[図9]



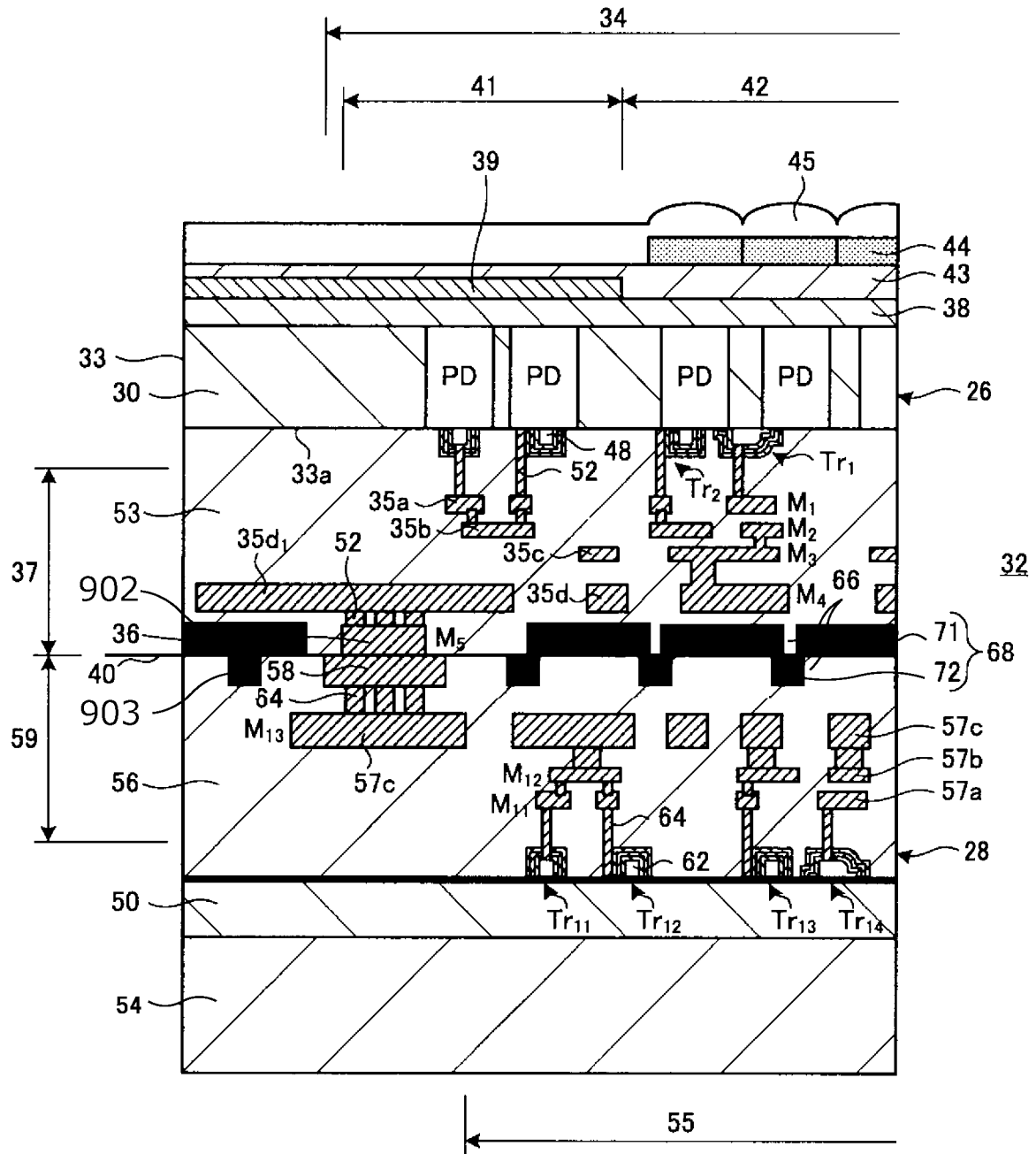
[図17]

31

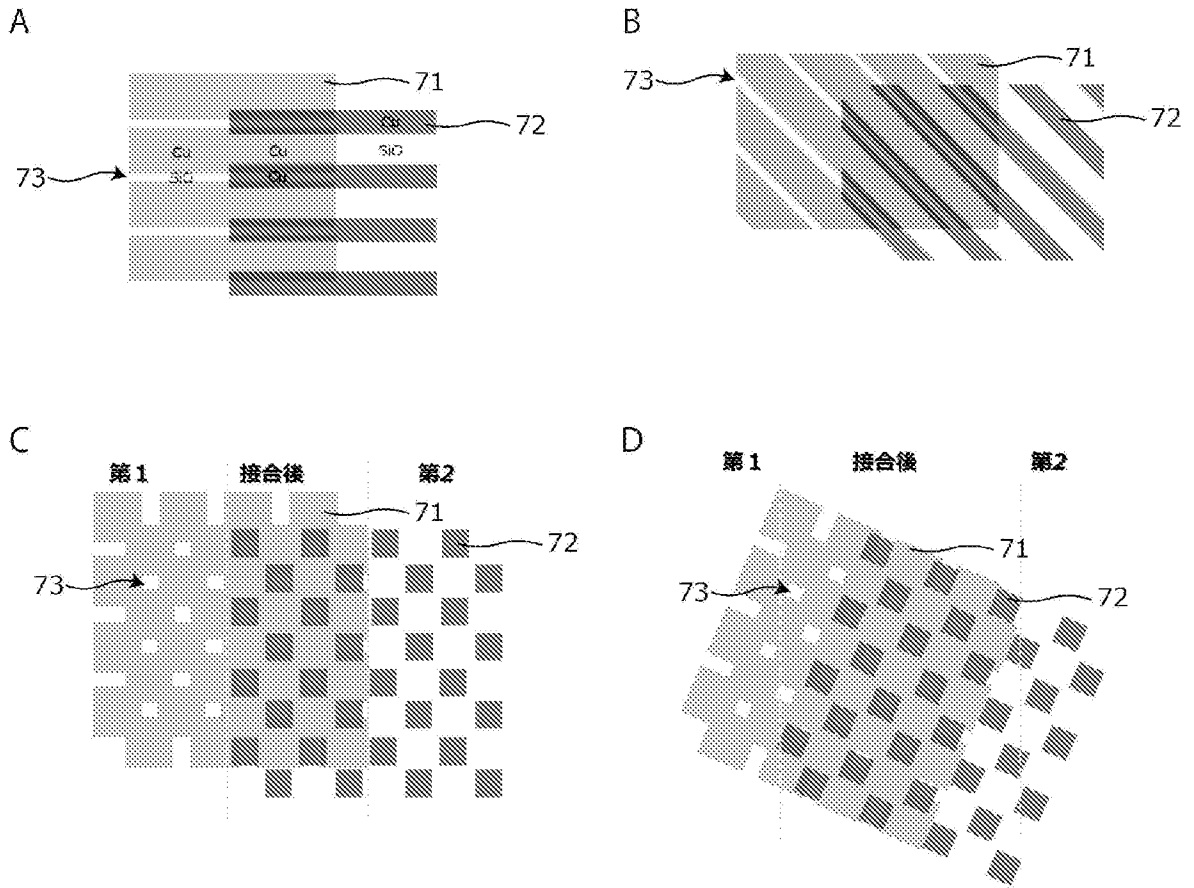


[図18]

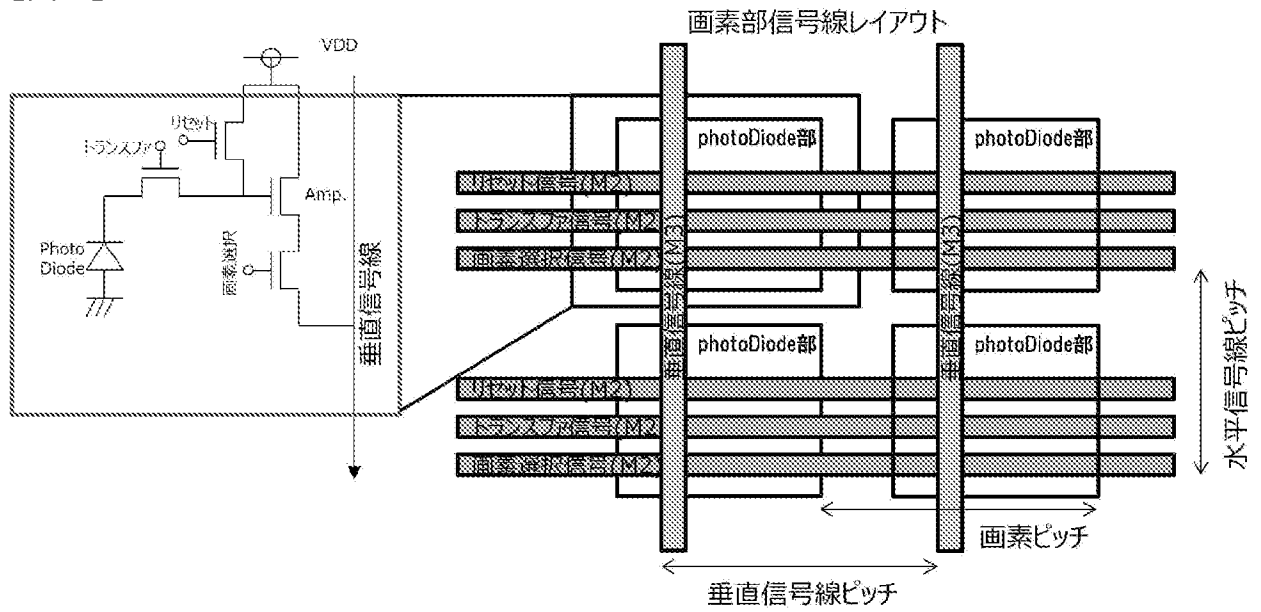
31



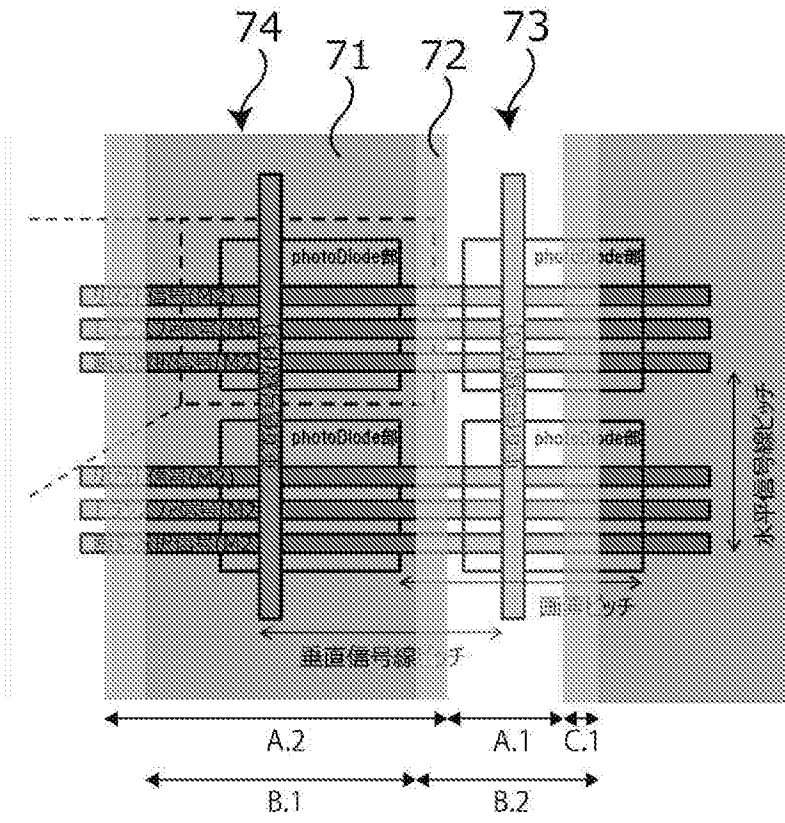
[図20]



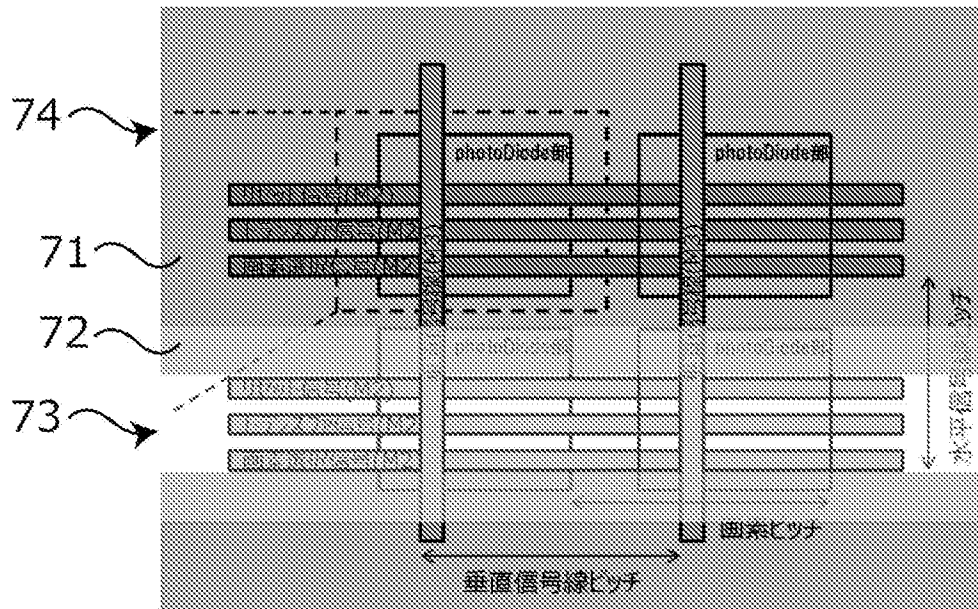
[図21]



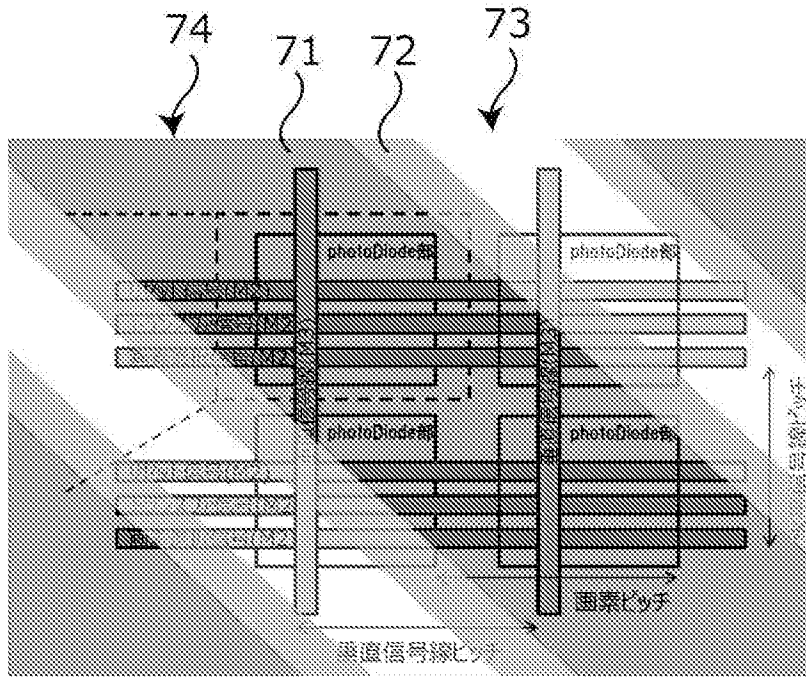
[図22A]



[図22B]

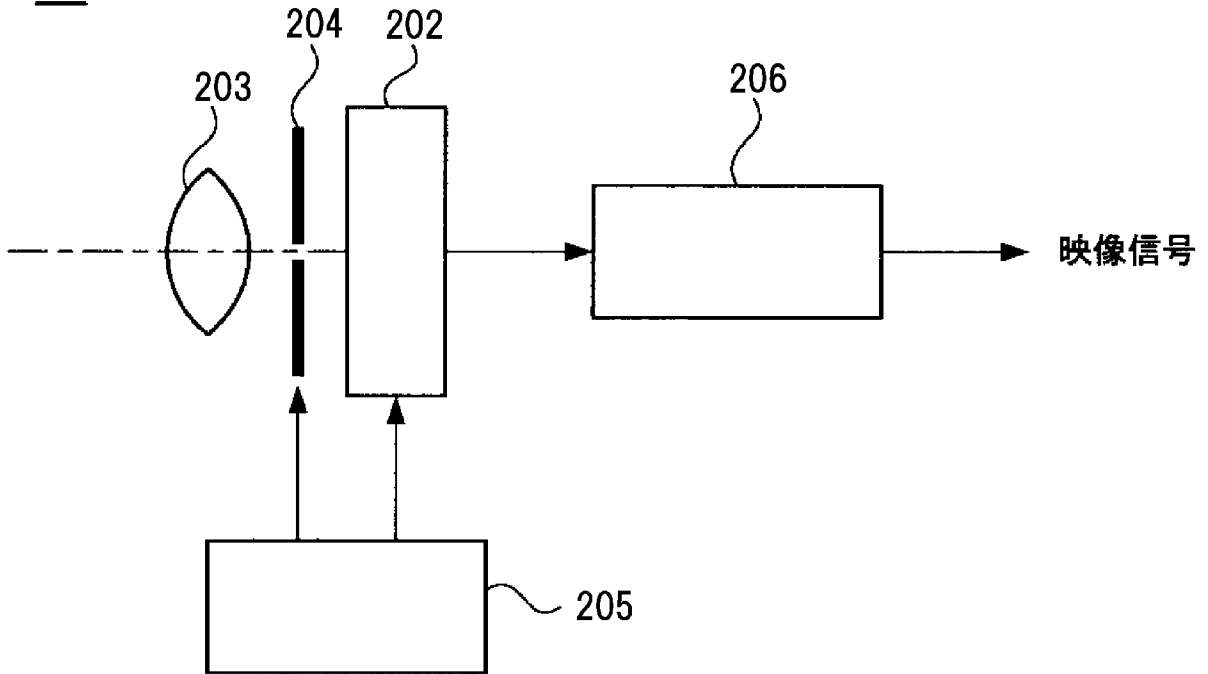


[図22C]



[図23]

201



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/008404

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/14, H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-164870 A (Sony Corp.), 30 August 2012 (30.08.2012), paragraphs [0039], [0046] to [0049], [0071], [0076], [0089]; fig. 3, 7 to 16, 19, 21 & US 2012/0199930 A1 paragraphs [0063], [0070] to [0073], [0096], [0101], [0114]; fig. 3, 7A to 16, 19, 21 & US 9171875 B2 & US 2016/0020240 A1 & US 2017/0053961 A1 & CN 102629616 A & TW 201241999 A	1-9, 11-12 10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 April 2017 (18.04.17)	Date of mailing of the international search report 09 May 2017 (09.05.17)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/008404

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/161044 A1 (Sony Corp.), 29 November 2012 (29.11.2012), paragraphs [0080], [0125]; fig. 11, 15 & US 2014/0145338 A1 paragraphs [0105], [0150]; fig. 11, 15 & JP 2012-244101 A & JP 2012-256736 A & EP 2717300 A1 & CN 103503122 A & KR 10-2014-0022039 A & TW 201308560 A & CN 105938825 A	10

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L27/14, H01L27/146, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2012-164870 A（ソニー株式会社） 2012.08.30, 段落[0039], [0046]-[0049], [0071], [0076], [0089], 図3, 7-16, 19, 21 & US 2012/0199930 A1, 段落[0063], [0070]-[0073], [0096], [0101], [0114], 図3, 7A-16, 19, 21 & US 9171875 B2 & US 2016/0020240 A1 & US 2017/0053961 A1 & CN 102629616 A & TW 201241999 A	1-9, 11-12 10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
18.04.2017

国際調査報告の発送日
09.05.2017

国際調査機関の名称及びあて先
 日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）	5 F	9847
鈴木 肇		
電話番号 03-3581-1101 内線 3516		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/161044 A1 (ソニー株式会社) 2012.11.29, 段落[0080], [0125], 図 11, 15 & US 2014/0145338 A1, 段落[0105], [0150], 図 11, 15 & JP 2012-244101 A & JP 2012-256736 A & EP 2717300 A1 & CN 103503122 A & KR 10-2014-0022039 A & TW 201308560 A & CN 105938825 A	10