(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2025 年 6 月 12 日 (12.06.2025)

WIPO | PCT

(10) 国际公布号
WO 2025/118331 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2023/138777

(22) 国际申请日: 2023 年 12 月 14 日 (14.12.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202311686249.8 2023年12月4日 (04.12.2023) CN

(71) 申请人: 长鑫科技集团股份有限公司 (**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(72) 发明人: 唐怡 (**TANG, Yi**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区苏州街3号大恒科技大厦南座五层503 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体器件及其制造方法

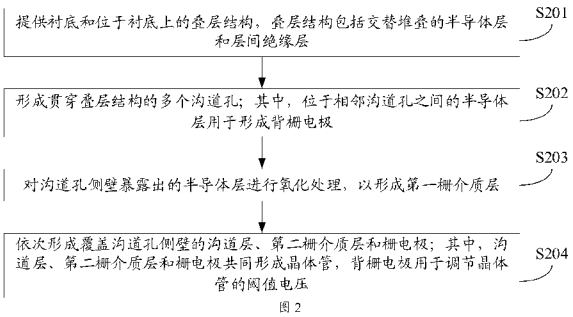


图 2

S201 Provide a substrate and a stacked structure located on the substrate, wherein the stacked structure comprises semiconductor layers and interlayer insulating layers which are alternately stacked

S202 Form a plurality of channel holes passing through the stacked structure, wherein the semiconductor layer located between adjacent channel holes is configured to form a back gate electrode

S203 Perform an oxidation treatment on the semiconductor layer exposed by a side wall of each channel hole to form a first gate dielectric layer

S204 Sequentially form a channel layer, a second gate dielectric layer and a gate electrode which cover the side walls of the channel holes, wherein the channel layer, the second gate dielectric layer and the gate electrode jointly form a transistor, and the back gate electrode is configured to adjust a threshold voltage of the transistor

(57) **Abstract:** Provided in the embodiments of the present disclosure are a semiconductor device and a manufacturing method therefor. The manufacturing method comprises: providing a substrate and a stacked structure located on the substrate, wherein the stacked structure comprises semiconductor layers and interlayer insulating layers which are alternately stacked; forming a plurality of channel holes passing through the stacked structure, wherein the semiconductor layer located between adjacent channel holes is configured to form a back gate electrode; performing an oxidation treatment on the semiconductor layer exposed by a side wall of each channel hole to form a first gate dielectric layer; and sequentially forming a channel layer, a second gate dielectric layer and a gate electrode which cover the side walls of the channel holes, wherein the channel layer, the second gate dielectric layer and the gate electrode jointly form a transistor, and the back gate electrode is configured to adjust a threshold voltage of the transistor.

(57) 摘要: 本公开实施例提供一种半导体器件及其制造方法。所述制造方法包括：提供衬底和位于所述衬底上的叠层结构，所述叠层结构包括交替堆叠的半导体层和层间绝缘层；形成贯穿所述叠层结构的多个沟道孔；其中，位于相邻所述沟道孔之间的半导体层用于形成背栅电极；对所述沟道孔侧壁暴露出的半导体层进行氧化处理，以形成第一栅介质层；依次形成覆盖所述沟道孔侧壁的沟道层、第二栅介质层和栅电极；其中，所述沟道层、所述第二栅介质层和所述栅电极共同形成晶体管，所述背栅电极用于调节所述晶体管的阈值电压。

WO 2025/118331 A1

[见续页]

(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种半导体器件及其制造方法

相关申请的交叉引用

本公开基于申请号为202311686249.8、申请日为2023年12月04日、发明名称为“一种半导体器件及其制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开实施例涉及半导体技术领域，尤其涉及一种半导体器件及其制造方法。

背景技术

随着存储器朝向更高的集成密度方向发展，需要对存储器的尺寸进行微缩（Scaling）。然而，在当前存储器的尺寸极小的情况下，存储器的尺寸微缩可能导致存储器的电学性能劣化（Degradation）。

因此，目前存储器的结构和性能均有待于进一步的改进。

发明内容

有鉴于此，本公开实施例提供一种半导体器件及其制造方法。

为达到上述目的，本公开的技术方案是这样实现的：

第一方面，本公开实施例提供一种半导体器件的制造方法，所述制造方法包括：

提供衬底和位于所述衬底上的叠层结构，所述叠层结构包括交替堆叠的半导体层和层间绝缘层；

形成贯穿所述叠层结构的多个沟道孔；其中，位于相邻所述沟道孔之间的半导体层用于形成背栅电极；

对所述沟道孔侧壁暴露出的半导体层进行氧化处理，以形成第一栅介质层；

依次形成覆盖所述沟道孔侧壁的沟道层、第二栅介质层和栅电极；其中，所述沟道层、所述第二栅介质层和所述栅电极共同形成晶体管，所述背栅电极用于调节所述晶体管的阈值电压。

在一些实施例中，所述形成贯穿所述叠层结构的多个沟道孔之前，所述制造方法还包括：

形成贯穿所述叠层结构且沿第一方向排列的多个凹槽组，每个所述凹槽组包括沿第二方向并列设置的第一凹槽和第二凹槽；剩余的所述叠层结构包括位于所述第一凹槽和所述第二凹槽之间的第一子叠层结构、位于相邻所述第一凹槽之间的第二子叠层结构、位于相邻所述第二凹槽之间的第三子叠层结构、位于相邻所述第一子叠层结构之间的第四子叠层结构以及位于所述第一凹槽和所述第二子叠层结构一侧的第五子叠层结构；其中，所述第一方向和所述第二方向均平行于所述衬底且所述第一方向和所述第二方向相交；

在所述第一凹槽和所述第二凹槽内填充隔离材料，以形成隔离结构。

在一些实施例中，所述形成贯穿所述叠层结构的多个沟道孔，包括：

刻蚀剩余的所述叠层结构中的至少所述第四子叠层结构，以形成贯穿所述叠层结构且沿所述第一方向排列的多个沟道孔。

在一些实施例中，所述依次形成覆盖所述沟道孔侧壁的沟道层、第二栅介质层和栅电极之后，所述制造方法还包括：

去除所述第一子叠层结构内的层间绝缘层，以形成第一间隙；所述第一间隙暴露出沿所述第一方向上相对设置的部分所述沟道层；

去除所述第一间隙暴露出的所述沟道层；

在所述第一间隙内填充隔离材料，以形成第一层间隔离层。

在一些实施例中，所述去除所述第一子叠层结构内的层间绝缘层，以形成第一间隙，包括：

刻蚀形成贯穿所述第一子叠层结构的阈值电压调节孔；所述阈值电压调节孔位于相邻所述沟道

孔之间，且位于相邻所述沟道孔之间剩余的半导体层作为背栅电极；

沿所述阈值电压调节孔横向刻蚀去除所述层间绝缘层，以形成第一间隙；所述阈值电压调节孔和所述第一间隙相连通。

在一些实施例中，所述在所述第一间隙内填充隔离材料，以形成第一层间隔离层，包括：

在所述第一间隙和所述阈值电压调节孔内填充隔离材料；

去除所述阈值电压调节孔内的隔离材料；其中，位于所述第一间隙内的隔离材料形成第一层间隔离层；

在所述阈值电压调节孔内填充导电材料，以形成电连接所述背栅电极的阈值电压调节结构；其中，所述阈值电压调节结构用于调节所述晶体管的阈值电压。

在一些实施例中，所述依次形成覆盖所述沟道孔侧壁的沟道层、第二栅介质层和栅电极之后，所述制造方法还包括：

去除所述第二子叠层结构、所述第三子叠层结构和所述第五子叠层结构内的层间绝缘层，以形成第二间隙；所述第二间隙暴露出沿所述第二方向上相对设置的部分所述沟道层；

去除所述第二间隙暴露出的所述沟道层；

在所述第二间隙内填充隔离材料，以形成第二层间隔离层；其中，所述第一层间隔离层和所述第二层间隔离层将每一所述沟道孔内剩余的沟道层隔离为多个晶体管的沟道部；所述沟道部沿所述第二方向上相对设置的两个侧壁分别形成第一源漏极和第二源漏极；沿第三方向排列的多个晶体管连接至同一栅电极；所述第三方向垂直于所述衬底。

在一些实施例中，所述在所述第二间隙内填充隔离材料，以形成第二层间隔离层之后，所述制造方法还包括：

去除所述第五子叠层结构内的半导体层，以形成第三间隙；所述第三间隙暴露出所述第一源漏极；

在所述第三间隙内填充导电材料，以形成沿所述第一方向延伸且与所述第一源漏极电连接的多个位线。

在一些实施例中，所述在所述第二间隙内填充隔离材料，以形成第二层间隔离层之后，所述制造方法还包括：

去除所述第三子叠层结构内的半导体层，以形成第四间隙；所述第四间隙暴露出所述第二源漏极；

在所述第四间隙内形成与所述第二源漏极电连接的存储电容。

在一些实施例中，所述在所述第二间隙内填充隔离材料，以形成第二层间隔离层之后，所述制造方法还包括：

去除所述第五子叠层结构内的半导体层，以形成第三间隙；所述第三间隙暴露出所述第一源漏极；

刻蚀形成贯穿所述第一子叠层结构的阈值电压调节孔；所述阈值电压调节孔位于相邻所述沟道孔之间，且位于相邻所述沟道孔之间剩余的半导体层作为背栅电极；

在所述第三间隙和所述阈值电压调节孔内同时填充导电材料，以分别形成沿所述第一方向延伸且与所述第一源漏极电连接的多个位线和电连接所述背栅电极的阈值电压调节结构；其中，所述阈值电压调节结构用于调节所述晶体管的阈值电压。

第二方面，本公开实施例提供一种半导体器件，所述半导体器件包括：

衬底；

沿第一方向和第三方向呈阵列排布的多个沟道部，所述第一方向平行于所述衬底，所述第三方向垂直于所述衬底；

沿所述第三方向延伸且贯穿所述沟道部的栅电极；

位于所述沟道部和所述栅电极之间的第二栅介质层；所述沟道部、所述第二栅介质层和所述栅电极共同构成晶体管；

覆盖每个所述沟道部沿所述第一方向上相对设置的两个侧壁的第一栅介质层；

位于沿所述第一方向排列的相邻所述晶体管之间的背栅电极；其中，所述背栅电极和所述第一栅介质层接触；所述背栅电极用于调节所述晶体管的阈值电压。

在一些实施例中，所述沟道部沿第二方向上相对设置的两个侧壁分别构成第一源漏极和第二源漏极；所述第二方向平行于所述衬底且和所述第一方向相交；所述半导体器件还包括：

沿所述第一方向延伸的位线，且沿所述第一方向排列的多个所述第一源漏极连接至同一所述位

线;

多个存储电容，且所述存储电容和所述第二源漏极连接。

在一些实施例中，所述半导体器件还包括:

位于沿所述第一方向排列的相邻所述沟道部的相邻背栅电极之间的阈值电压调节结构，所述阈值电压调节结构沿所述第三方向延伸且电连接沿第三方向排列的多个背栅电极。

在一些实施例中，所述沟道部呈平行于所述衬底的环状结构;

所述沟道部沿第二方向的尺寸大于或等于所述背栅电极沿所述第二方向的尺寸。

本公开实施例提供一种半导体器件及其制造方法。本公开实施例中，形成贯穿叠层结构的多个沟道孔，在沟道孔内形成栅电极并且将叠层结构内的半导体层作为背栅电极，如此可以利用背栅电极调节晶体管的阈值电压。

附图说明

图 1 为一示例提供的半导体器件的三维结构示意图;

图 2 为本公开实施例提供的半导体器件的制造方法的流程示意图;

图 3A 至图 3P 为一示例提供的半导体器件在制造过程中的三维结构示意图;

图 4A 至图 4F 为一示例提供的半导体器件在制造过程中的剖面结构示意图;

图 5A 和图 5B 为一示例提供的半导体器件的结构示意图;

图 6A 和图 6B 为另一示例提供的半导体器件的结构示意图。

具体实施方式

下面将结合本公开实施方式及附图，对本公开实施方式中的技术方案进行清楚、完整地描述，显然，所描述的实施方式仅仅是本公开的一部分实施方式，而不是全部的实施方式。基于本公开中的实施方式，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施方式，都属于本公开保护的范围。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、 “在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件

和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

参考图 1，图 1 为一示例提供的半导体器件的三维结构示意图。如图 1 所示，半导体器件 100 包括：衬底（图 1 中未示意出）以及位于衬底上的多个半导体柱 101，半导体柱 101 沿 Y 方向延伸，且沿 X 方向和 Z 方向呈阵列排布；其中，半导体柱 101 沿延伸方向包括源极、漏极以及位于源极和漏极之间的沟道区；围绕半导体柱 101 的沟道区的字线 102，字线 102 沿 Z 方向延伸且沿 Z 方向排列的多个半导体柱 101 连接至同一字线 102；和半导体柱 101 的源极或者漏极连接的位线 104，位线 104 沿 X 方向延伸且沿 X 方向排列的多个半导体柱 101 的源极或者漏极连接至同一位线 104；和半导体柱 101 的漏极或者源极连接的存储电容 106，存储电容 106 沿 Y 方向延伸。

上述示例中，X 方向和 Y 方向之间的夹角为 90 度，且 X 方向、Y 方向均垂直于 Z 方向。在其他示例中，X 方向和 Y 方向之间的夹角也可以是其他角度，例如，30 度、45 度或者 90 度，本示例并不构成对 X 方向、Y 方向和 Z 方向之间的夹角角度的限定。

如图 1 所示，半导体器件 100 还包括：多个字线延伸线 103，字线延伸线 103 沿 Z 方向延伸且沿 X 方向排列，不同字线延伸线 103 底部连接至不同字线 102；多个位线延伸线 105，位线延伸线 105 沿 Z 方向延伸且沿 X 方向排列，不同位线延伸线 105 底部连接至不同的位线 104。

上述半导体器件 100 还包括：隔离层 107，隔离层 107 沿 X 方向延伸，字线 102 位于沿 Y 方向相邻隔离层 107 之间，半导体柱 101 沿 Y 方向穿过隔离层 107，隔离层 107 可以将字线 102 和半导体柱 101 的源极、漏极分隔开，避免半导体柱形成的晶体管中源极或者漏极与沟道区发生漏电，从而避免半导体器件的性能受到影响。

上述示例中的半导体器件 100 为 1 个晶体管和 1 个存储电容（1T1C）结构的三维动态随机存取存储器（3D Dynamic Random Access Memory，3D DRAM）。使用铟镓锌氧化物（Indium Gallium Zinc Oxide，IGZO）作为上述 DRAM 的沟道材料，可以进一步减小漏电以提高 DRAM 的电学性能，并且上述 DRAM 的制造工艺相对简单且成本较低，已经成为目前行业内的重点研究对象。

然而，IGZO 作为 N 型半导体材料，其阈值电压更偏向于负电压，但对于 DRAM 而言，正电压的阈值电压更有利于减小漏电，从而可以延长存储数据的保持时间（Retention Time）。

有鉴于此，本公开实施例提供一种半导体器件及其制造方法。

参考图 2，图 2 为本公开实施例提供的半导体器件的制造方法的流程示意图。如图 2 所示，本公开实施例提供一种半导体器件的制造方法，该制造方法包括：

步骤 S201：提供衬底和位于衬底上的叠层结构，叠层结构包括交替堆叠的半导体层和层间绝缘层；

步骤 S202：形成贯穿叠层结构的多个沟道孔；其中，位于相邻沟道孔之间的半导体层用于形成背栅电极；

步骤 S203：对沟道孔侧壁暴露出的半导体层进行氧化处理，以形成第一栅介质层；

步骤 S204：依次形成覆盖沟道孔侧壁的沟道层、第二栅介质层和栅电极；其中，沟道层、第二栅介质层和栅电极共同形成晶体管，背栅电极用于调节晶体管的阈值电压。

本公开实施例中，形成贯穿叠层结构的多个沟道孔，在沟道孔内依次形成第一栅介质层、沟道层、第二栅介质层和栅电极，其中，沟道层、第二栅介质层和栅电极共同形成晶体管；并且将叠层结构内原本的半导体层作为背栅电极，如此可以利用背栅电极调节晶体管的阈值电压。

参考图 3A 至图 3P，图 3A 至图 3P 为一示例提供的半导体器件在制造过程中的三维结构示意图。参考图 4A 至图 4F，图 4A 至图 4F 为一示例提供的半导体器件在制造过程中的剖面结构示意图。下面将结合图 3A 至图 3P 以及图 4A 至图 4F，详细地说明半导体器件的制造过程。

本公开实施例中，在步骤 S201 中，提供衬底 201 和位于衬底 201 上的叠层结构 202，叠层结构 202 包括交替堆叠的半导体层 203 和层间绝缘层 204。

如图 3A 所示，在衬底 201 上形成依次交替堆叠的半导体层 203 和层间绝缘层 204，其中，交替堆叠设置的半导体层 203 和层间绝缘层 204 共同形成叠层结构 202；在叠层结构 202 上形成覆盖层 205。

这里，衬底 201 可以是半导体衬底；具体包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底等）、至少一个 III-V 化合物半导体材料（例如为氮化镓（GaN）衬底、砷化镓（GaAs）

衬底、磷化铟（InP）衬底等）、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料，还可以包括其他含半导体材料的衬底，例如绝缘体上硅（SOI）衬底、绝缘体上锗（GeOI）衬底、绝缘层上的多晶半导体层、硅锗衬底等。

这里，半导体层 203 的材料可以包括但不限于多晶硅材料；层间绝缘层 204 的材料可以包括但不限于氧化硅材料。本公开对半导体层和层间绝缘层的数量和厚度并无特殊的限定。

这里，覆盖层 205 的材料可以包括但不限于氮化硅材料。

这里，形成半导体层 203、层间绝缘层 204 和覆盖层 205 的工艺可以包括但不限于化学气相沉积（Chemical Vapor Deposition，CVD）、物理气相沉积（Physical Vapor Deposition，PVD）、原子层沉积（Atomic Layer Deposition，ALD）或其任意组合。

本公开实施例中，将衬底的厚度方向定义为第三方向，即 Z 方向。或者，将垂直于衬底表面的方向定义为第三方向，即 Z 方向。在垂直于第三方向的平面中定义出相交的第一方向和第二方向，其中，第一方向即为 X 方向，第二方向即为 Y 方向。在一示例中，X 方向、Y 方向和 Z 方向可以两两相互垂直。

如图 3B 所示，在一些实施例中，在步骤 S202 之前，该制造方法还包括：沿 Z 方向，依次刻蚀覆盖层 205 和叠层结构 202，形成贯穿叠层结构且沿第一方向（即 X 方向）排列的多个凹槽组 206，每个凹槽组 206 包括沿第二方向（即 Y 方向）并列设置的第一凹槽 207 和第二凹槽 208。图 3B 示意出沿 X 方向依次排列的三个凹槽组 206，每个凹槽组 206 包括沿 Y 方向并列设置的第一凹槽 207 和第二凹槽 208。

这里，形成第一凹槽 207 和第二凹槽 208 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

第一凹槽 207 和第二凹槽 208 将叠层结构 202 划分为多个组成部分，剩余的叠层结构 202 包括：位于第一凹槽 207 和第二凹槽 208 之间的第一子叠层结构 209、位于沿 X 方向相邻的两个第一凹槽 207 之间的第二子叠层结构 210（如图 3B 中虚线圆框所示）、位于沿 X 方向相邻的两个第二凹槽 208 之间的第三子叠层结构 211、位于沿 X 方向相邻的两个第一子叠层结构 209 之间的第四子叠层结构 212（如 3B 中虚线方框所示）以及位于第一凹槽 207 和第二子叠层结构 210 一侧的第五子叠层结构 213。其中，第四子叠层结构 212 也位于沿 Y 方向排列的第二子叠层结构 210 和第三子叠层结构 211 之间，第四子叠层结构 212 所在的区域用于形成半导体器件的晶体管。

这里，对剩余的叠层结构进行划分以便于描述半导体器件的制造过程，不同子叠层结构之间的仅区别在于和第一凹槽、第二凹槽之间的相对位置关系不同。

此外，为了便于附图示意，图 3B 至图 3P 均未示意出衬底。

如图 3B 和图 3C 所示，在第一凹槽 207 和第二凹槽 208 内填充隔离材料，以形成隔离结构 214。

这里，形成半导体层 203 和层间绝缘层 204 的工艺可以包括但不限于 CVD、PVD、ALD 或其任意组合。

这里，隔离结构 214 的材料可以包括低介电常数材料，例如，氧化硅、氮化硅、碳化硅、氮碳化硅或氮氧化硅。在一些实施例中，覆盖层 205 和隔离结构 214 的材料可以相同或者不同。图 3C 示意出覆盖层 205 和隔离结构 214 相同，即均为氮化硅材料。覆盖层 205 的顶面可以平齐于隔离结构 214 的顶面。

本公开实施例中，在步骤 S202 中，形成贯穿叠层结构 202 的多个沟道孔 215；其中，位于相邻沟道孔 215 之间的半导体层 203 用于形成背栅电极 222。

如图 3D 所示，在一些实施例中，步骤 S202，包括：沿 Z 方向，依次刻蚀覆盖层 205 和叠层结构 202 中的至少第四子叠层结构 212，以形成贯穿叠层结构 202 且沿第一方向（即 X 方向）排列的多个沟道孔 215。这里，沟道孔 215 在衬底（即 XY 平面）上的正投影面积大于或者等于第四子叠层结构 212 在衬底（即 XY 平面）上的正投影面积。

在一些示例中，仅刻蚀叠层结构 202 中的第四子叠层结构 212，那么形成的沟道孔 215 在 XY 平面上的正投影面积等于第四子叠层结构 212 在 XY 平面上的正投影面积。在一些示例中，同时刻蚀叠层结构 202 中的第四子叠层结构 212 和至少部分第一子叠层结构 209，那么形成的沟道孔 215 沿 X 方向上的尺寸大于第四子叠层结构 212 沿 X 方向上的尺寸，并且沟道孔 215 在 XY 平面上的正投影面积大于第四子叠层结构 212 在 XY 平面上的正投影面积。在一些示例中，同时刻蚀叠层结构 202 中的第四子叠层结构 212 以及至少部分第二子叠层结构 210 和/或至少部分第三子叠层结构 211，那么形成的沟道孔 215 沿 Y 方向上的尺寸大于第四子叠层结构 212 沿 Y 方向上的尺寸，并且沟道孔 215 在 XY 平面上的正投影面积大于第四子叠层结构 212 在 XY 平面上的正投影面积。

需要说明的是，当仅刻蚀叠层结构 202 中的第四子叠层结构 212，后续可以利用第二子叠层结构 210 所占据的空间形成位线接触结构。

这里，形成沟道孔 215 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

本公开实施例中，沟道孔 215 在 XY 平面上的正投影可以为四边形，沟道孔 215 包括四个侧壁，其中，两个侧壁沿 X 方向相对设置，另外两个侧壁沿 Y 方向相对设置。在其他实施例中，沟道孔 215 在 XY 平面上的正投影还可以是圆形、椭圆形等，则沟道孔 215 至少包括沿 Y 方向相对设置的两个端部。本公开对沟道孔 215 在 XY 平面上的正投影的形状并无特殊的限定。

本公开实施例中，在步骤 S203 中，对沟道孔 215 侧壁暴露出的半导体层 203 进行氧化处理，以形成第一栅介质层 216。

图 3D 无法示意出沟道孔 215 的内部结构，这里结合参考图 4A，图 4A 为沿图 3D 中 A-A 截面的 XZ 剖面结构示意图。如图 4A 所示，刻蚀形成的沟道孔 215 底部暴露出衬底 201，沟道孔 215 侧壁暴露出交替堆叠设置的半导体层 203 和层间绝缘层 204 的侧壁以及覆盖层 205 的侧壁。对沟道孔 215 侧壁暴露出的半导体层 203 进行氧化处理，以形成第一栅介质层 216。

这里，半导体层 203 的材料可以包括但不限于多晶硅材料，进行氧化处理后可以形成氧化硅材料。

本公开实施例中，在步骤 S204 中，依次形成覆盖沟道孔 215 侧壁的沟道层 217、第二栅介质层 218 和栅电极 219；其中，沟道层 217、第二栅介质层 218 和栅电极 219 共同形成晶体管 220，背栅电极 222 用于调节晶体管 220 的阈值电压。在一些示例中，半导体层 203 可以为 P 型重掺杂多晶硅材料，掺杂浓度为 1E21~1E23cm^{-3}，功函数为 4~5.5eV。

如图 3E 所示，形成覆盖沟道孔 215 侧壁的沟道层 217。沟道层 217 和沟道孔 215 侧壁暴露出的交替设置的第一栅介质层 216 和层间绝缘层 204 直接接触。

这里，沟道层 217 的材料可以包括但不限于氧化物半导体材料，例如，IGZO、氧化锌锡（Zinc Tin Oxide，ZTO）、氧化铟锌（Indium Zinc Oxide，IZO）、氧化锌、氧化铟镓硅（Indium Gallium Silicon Oxide，IGSO）和氧化铟。

如图 3F 所示，形成覆盖沟道孔 215 侧壁的第二栅介质层 218。第二栅介质层 218 和沟道孔 215 内的沟道层 217 直接接触。

这里，第二栅介质层 218 的材料可以包括但不限于高介电常数材料、氧化硅材料、氮化硅材料、氮氧化硅材料等，或其组合。

如图 3G 所示，在沟道孔 215 内填充满导电材料，以形成栅电极 219。栅电极 219 和沟道孔 215 内的第二栅介质层 218 直接接触。

示例性地，在沟道孔 215 内填充导电材料，导电材料填充满沟道孔 215 的同时也可能位于覆盖层 205 表面；对导电材料进行平坦化处理，使得沟道孔 215 内的导电材料表面和覆盖层 205 表面基本齐平，以暴露出覆盖层 205 表面；其中，位于沟道孔 215 内的导电材料形成栅电极 219。

这里，栅电极 219 的材料可以包括但不限于金属、金属化合物或者合金。其中，金属可以例如为铜、铝、钨、金或者银等；金属化合物可以例如为氮化钽或者氮化钛；合金可以为铜、铝、钨、金或者银中至少两种金属元素形成的合金。

这里，形成沟道层 217、第二栅介质层 218 和栅电极 219 的工艺可以包括但不限于 CVD、PVD、ALD 或其任意组合。

参考图 4B，图 4B 为沿图 3G 中 B-B 截面的 XZ 剖面结构示意图。如图 4B 所示，沟道孔 215 沿径向向内的方向依次包括第一栅介质层 216、沟道层 217、第二栅介质层 218 和栅电极 219。叠层结构中交替堆叠设置的半导体层 203 和层间绝缘层 204 围绕沟道孔 215，且半导体层 203 和第一栅介质层 216 直接接触。图 3G 和图 4B 示意出的沟道层 217、第二栅介质层 218 和栅电极 219 共同形成晶体管 220，晶体管 220 可以是垂直环形沟道结构（Channel All Around，CAA）的晶体管，其中，第二栅介质层 218 围绕栅电极 219，沟道层 217 围绕第二栅介质层 218。

此外，为了便于附图示意，图 4B 至图 4F 均未示意出衬底。

在一些实施例中，在步骤 S204 之后，该制造方法还包括：

去除第一子叠层结构 209 内的层间绝缘层 204，以形成第一间隙 223；第一间隙 223 暴露出沿第一方向上相对设置的部分沟道层 217；

去除第一间隙 223 暴露出的沟道层 217；

在第一间隙 223 内填充隔离材料，以形成第一层间隔离层 224。

如图 3H 所示，在一些实施例中，去除第一子叠层结构 209 内的层间绝缘层 204，以形成第一间

隙 223，包括：沿 Z 方向，依次刻蚀覆盖层 205 和叠层结构 202 中的第一子叠层结构 209，形成贯穿第一子叠层结构 209 的阈值电压调节孔 221；阈值电压调节孔 221 位于沿 X 方向相邻沟道孔 215 之间，且位于沿 X 方向相邻沟道孔 215 之间剩余的半导体层 203 作为背栅电极 222；通过阈值电压调节孔 221，沿阈值电压调节孔 221 横向（即 X 方向）刻蚀去除第一子叠层结构 209 内的层间绝缘层 204，以形成第一间隙 223；阈值电压调节孔 221 和第一间隙 223 相连通。

这里，形成阈值电压调节孔 221 和第一间隙 223 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

参考图 4C，图 4C 为沿图 3H 中 C-C 截面的 XZ 剖面结构示意图。结合图 3H 和图 4C 所示，形成阈值电压调节孔 221 和第一间隙 223 之后，此时第一间隙 223 暴露出沿 X 方向上相对设置的部分沟道层 217。换言之，此时第一间隙 223 暴露位于沟道孔 215 沿 X 方向上相对设置的两个侧壁上的沟道层 217。

这里，位于沿 X 方向相邻沟道孔 215 之间剩余的半导体层作为背栅电极 222，第一栅介质层 216 位于沟道层 217 和背栅电极 222 之间，第二栅介质层 218 位于沟道层 217 和栅电极 219 之间。

本公开实施例中，形成包括交替堆叠设置的半导体层和层间绝缘层，后续通过刻蚀将位于相邻沟道孔之间剩余的半导体层作为背栅电极，无需额外形成背栅电极，如此可以简化半导体器件的制造工艺。并且，利用背栅电极可以调节晶体管的阈值电压，减小半导体器件的漏电流，从而提高半导体器件的电学性能。

参考图 3I 和图 4D，图 4D 为沿图 3I 中 D-D 截面的 XZ 剖面结构示意图。如图 3I 和图 4D 所示，侧向刻蚀以去除第一间隙 223 暴露出的沟道层 217，此时第一间隙 223 暴露出沿 X 方向上相对设置的部分第二栅介质层 218。换言之，此时第一间隙 223 暴露出位于沟道孔 215 沿 X 方向上相对设置的两个侧壁上的第二栅介质层 218。

这里，去除第一间隙 223 暴露出的沟道层 217 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

参考图 3J 和图 4E，图 4E 为沿图 3J 中 E-E 截面的 XZ 剖面结构示意图。如图 3J 和图 4E 所示，在一些实施例中，在第一间隙 223 内填充隔离材料，以形成第一层间隔离层 224，包括：通过阈值电压调节孔 221，在第一间隙 223 和阈值电压调节孔 221 内填充隔离材料，使得至少第一间隙 223 内填充满隔离材料；其中，位于第一间隙 223 内的隔离材料形成第一层间隔离层 224。

这里，第一层间隔离层 224 和沟道孔 215 沿 X 方向上相对设置的两个侧壁上的第二栅介质层 218 直接接触。图 4E 示意出沟道孔 215 沿 X 方向上相对设置的两个侧壁上的沟道层 217 被多个第一层间隔离层 224 所隔离开，使得 XZ 剖面结构示意图中沟道层 217 被第一层间隔离层 224 所隔离开。

这里，第一层间隔离层 224 的材料可以包括但不限于低介电常数材料，例如，氧化硅、氮化硅、碳化硅、氮碳化硅或氮氧化硅中的至少一种。

如图 3J 和图 4E 所示，去除阈值电压调节孔 221 内的隔离材料；在阈值电压调节孔 221 内填充导电材料，以形成电连接背栅电极 222 的阈值电压调节结构 225；其中，阈值电压调节结构 225 用于调节晶体管 220 的阈值电压。

这里，阈值电压调节结构 225 沿 Z 方向上相对设置的两个侧壁均和背栅电极接触。

本公开实施例中，还可以形成阈值电压调节结构，利用背栅电极调节晶体管的阈值电压的同时，还可以利用阈值电压调节结构进一步对晶体管的阈值电压进行调节，增强对晶体管的阈值电压的调节效果。

这里，阈值电压调节结构 225 的材料可以包括但不限于金属、金属化合物或者合金。其中，金属可以例如为铜、铝、钨、金或者银等；金属化合物可以例如为氮化钽或者氮化钛；合金可以为铜、铝、钨、金或者银中至少两种金属元素形成的合金。

这里，形成第一层间隔离层 224 和阈值电压调节结构 225 的工艺可以包括但不限于 CVD、PVD、ALD 或其任意组合。

如图 3K 所示，在一些实施例中，依次形成覆盖沟道孔 215 侧壁的沟道层 217、第二栅介质层 218 和栅电极 219 之后，该制造方法还包括：刻蚀去除第二子叠层结构 210 和第三子叠层结构 211 和第五子叠层结构 213 内的层间绝缘层 204，以形成第二间隙 226；此时第二间隙 226 暴露出沿 Y 方向上相对设置的部分沟道层 217。换言之，此时第二间隙 226 暴露出位于沟道孔 215 沿 Y 方向上相对设置的两个侧壁上的沟道层 217。

这里，形成第二间隙 226 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

如图 3K 所示，去除第二间隙 226 暴露出的沟道层 217，此时第二间隙 226 暴露出沿 Y 方向上相

对设置的部分第二栅介质层 218。换言之，此时第二间隙 226 暴露出位于沟道孔 215 沿 Y 方向上相对设置的两个侧壁上的第二栅介质层 218。

这里，去除第二间隙 226 暴露出的沟道层 217 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

通过去除与层间绝缘层 204 对应的部分沟道层 217，自对准地将各晶体管 220 之间的沟道层 217 沿 Z 方向上断开形成沟道部 228，能够避免相邻晶体管 220 之间的相互干扰，从而降低晶体管 220 的漏电。

仍如图 3L 所示，在第二间隙 226 内填充隔离材料，以形成第二层间隔离层 227；第一层间隔离层 224 和第二层间隔离层 227 将每一沟道孔 215 内剩余的沟道层 217 隔离为多个晶体管 220 的沟道部 228，使得 XZ 剖面结构示意图和 YZ 剖面结构示意图中沟道层 217 均被第一层间隔离层 224 和第二层间隔离层 227 所隔离开。

参考图 4F，图 4F 为沿图 3L 中 F-F 截面的 YZ 剖面结构示意图。结合图 3L 和图 4F 所示，第二层间隔离层 227 和沟道孔 215 沿 Y 方向上相对设置的两个侧壁上的第二栅介质层 218 接触。沟道孔 215 沿 X 方向上相对设置的两个侧壁上的沟道层 217 被多个第一层间隔离层 224 所隔离开，即第一层间隔离层 224 和第二层间隔离层 227 共同将每一沟道孔 215 内的沟道层 217 隔离为多个晶体管 220 的沟道部 228，进而形成沿 Z 方向排列的多个晶体管 220。沿 Z 方向排列的多个晶体管 220 连接至同一栅电极 219，沿 X 方向排列的多个晶体管 220 连接至不同栅电极 219。

这里，第二层间隔离层 227 的材料可以包括但不限于低介电常数材料，例如，氧化硅、氮化硅、碳化硅、氮碳化硅或氮氧化硅中的至少一种。

这里，形成第二层间隔离层 227 的工艺可以包括但不限于 CVD、PVD、ALD 或其任意组合。

本公开实施例中，先刻蚀去除第一子叠层结构 209 内的层间绝缘层 204，以形成第一间隙 223，后刻蚀去除第二子叠层结构 210 和第三子叠层结构 211 和第五子叠层结构 213 内的层间绝缘层 204，以形成第二间隙 226；即先形成第一层间隔离层 224 后形成第二层间隔离层 227。

在其他实施例中，也可以先形成第二间隙后形成第一间隙，即也可以先形成第二隔离层后形成第一隔离层。在另一些实施例中，可以同时形成第二间隙和第一间隙，并同时通过第二间隙和第一间隙将暴露的沟道层进行部分去除。本公开对形成第一间隙和第二间隙的工艺顺序并无特殊的限定，只要能够将沟道层隔离为沿 Z 方向排列的多个沟道部即可。

本公开实施例中，晶体管沿 X 方向和 Z 方向呈阵列排布，第一层间隔离层和第二层间隔离层将沿 Z 方向排列的晶体管隔离开，沿 X 方向排列的多个晶体管之间没有额外的隔离结构，单个晶体管的占用面积减小，有利于提高半导体器件的集成密度。

仍如图 4F 所示，在一些实施例中，沟道部 228 沿第二方向（即 Y 方向）上相对设置的两个侧壁分别形成第一源漏极 229 和第二源漏极 230。

需要说明的是，本公开实施例中，第一源漏极 229 用于连接位线，第二源漏极 230 用于连接存储电容。当第一源漏极作为晶体管的源极时，对应的第二源漏极作为晶体管的漏极；当第一源漏极作为晶体管的漏极时，对应的第二源漏极作为晶体管的源极。

如图 3M 所示，在一些实施例中，在第二间隙 226 内填充隔离材料，以形成第二层间隔离层 227 之后，该制造方法还包括：刻蚀去除第五子叠层结构 213 内的半导体层 203，以形成第三间隙 231；此时第三间隙 231 暴露出第一源漏极 229。

需要说明的是，如前所述，如果形成沟道孔 215 的过程中仅刻蚀叠层结构 202 中的第四子叠层结构 212，那么此时还需要去除第二子叠层结构 210 内的半导体层 203，在第二子叠层结构 210 内的半导体层 203 所占据的空间形成位线接触结构。如果形成沟道孔 215 的过程中已经刻蚀叠层结构 202 中的第四子叠层结构 212 和第二子叠层结构 210，那么此时仅需要去除第五子叠层结构 213 内的半导体层 203，以形成第三间隙 231。

这里，形成第三间隙 231 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

如图 3N 所示，在一些实施例中，在第三间隙 231 内填充导电材料，以形成沿第一方向（即 X 方向）延伸且与第一源漏极 229 电连接的多个位线 232，沿 X 方向排列的多个第一源漏极 229 连接至同一位线 232。

这里，位线 232 的材料可以包括但不限于金属、金属化合物或者合金。其中，金属可以例如为铜、铝、钨、金或者银等；金属化合物可以例如为氮化钽或者氮化钛；合金可以为铜、铝、钨、金或者银中至少两种金属元素形成的合金。

这里，形成位线 232 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

在一些实施例中，还可以形成位线延伸线，不同位线延伸线底部连接至不同位线。

这里，位线和位线延伸线的材料可以相同或者不同。

如图 3O 所示，在一些实施例中，在第二间隙 226 内填充隔离材料，以形成第二层间隔离层 227 之后，该制造方法还包括：刻蚀去除第三子叠层结构 211 内的半导体层 203，以形成第四间隙 233；此时第四间隙 233 暴露出第二源漏极 230。

这里，形成第四间隙 233 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

如图 3P 所示，在一些实施例中，在第四间隙 233 内形成与第二源漏极 230 电连接的存储电容 234。存储电容 234 沿 X 方向和 Z 方向呈阵列排布，每一存储电容 234 沿 Y 方向延伸。这有利于增大存储电容的纵横比，即长度与宽度或者直径之比，从而使得相邻晶体管之间的存储电容的距离增加，避免存储电容之间产生集成电容。本公开对存储电容的具体结构并无特殊的限定，任何相关技术方案中的存储电容结构均可以用于本方案中。

本公开实施例中，先刻蚀去除第五子叠层结构 213 内的半导体层 203，以形成第三间隙 231，后刻蚀去除第三子叠层结构 211 内的半导体层 203，以形成第四间隙 233；即先形成位线 232 后形成存储电容 234。

在其他实施例中，也可以先形成第四间隙后形成第三间隙，即也可以先形成存储电容后形成位线。本公开对形成第三间隙和第四间隙的工艺顺序并无特殊的限定。

图 3A 至图 3P 示意出的实施例中在第一间隙 223 内形成第一层间隔离层 224 之后即在阈值电压调节孔 221 内形成阈值电压调节结构 225。

在一些实施例中，还可以在第一间隙内形成第一层间隔离层之后即在阈值电压调节孔内形成牺牲结构，在第三间隙内形成位线以及在第四间隙内形成存储电容之后，再刻蚀形成阈值电压调节孔，并且在阈值电压调节孔内形成阈值电压调节结构。

在另一些实施例中，还可以在第一间隙内形成第一层间隔离层之后即在阈值电压调节孔内形成牺牲结构，后续可以在第三间隙和阈值电压调节孔内同时填充导电材料，以分别在第三间隙内形成位线且在阈值电压调节孔内形成阈值电压调节结构。

在上述实施例中，在第二间隙 226 内填充隔离材料，以形成第二层间隔离层 227 之后，该制造方法还包括：

去除第五子叠层结构 213 内的半导体层 203，以形成第三间隙 231；第三间隙 231 暴露出第一源漏极 229；

刻蚀形成贯穿第一子叠层结构 209 的阈值电压调节孔 221；阈值电压调节孔 221 位于相邻沟道孔 215 之间，且位于相邻沟道孔 215 之间剩余的半导体层 203 作为背栅电极 222；

在第三间隙 231 和阈值电压调节孔 221 内同时填充导电材料，以分别形成沿第一方向（即 X 方向）延伸且与第一源漏极 229 电连接的多个位线 232 和电连接背栅电极 222 的阈值电压调节结构 225；其中，阈值电压调节结构 225 用于调节晶体管 220 的阈值电压。

这里，形成第三间隙 231 和阈值电压调节孔 221 的工艺可以包括但不限于湿法刻蚀、干法刻蚀或其组合。

本公开实施例中，在第三间隙 231 和阈值电压调节孔 221 内同时填充导电材料，可以节省制造时间且降低制造成本。

参考图 5A 和图 5B，图 5A 为一示例提供的半导体器件的三维结构示意图，图 5B 为一示例提供的半导体器件的 XY 剖面结构示意图。如图 5A 和图 5B 所示，本公开实施例提供一种半导体器件 200，该半导体器件 200 包括：衬底（图 5A 和图 5B 未示意出）；沿第一方向（即 X 方向）和第三方向（即 Z 方向）呈阵列排布的多个沟道部 228，沿 Z 方向延伸且贯穿沟道部 228 的栅电极 219；位于沟道部 228 和栅电极 219 之间的第二栅介质层 218；沟道部 228、第二栅介质层 218 和栅电极 219 共同构成晶体管 220；覆盖每个沟道部 228 沿 X 方向上相对设置的两个侧壁的第一栅介质层 216；位于沿即 X 方向排列的相邻晶体管 220 之间的背栅电极 222；其中，背栅电极 222 和第一栅介质层 216 直接接触；背栅电极 222 用于调节晶体管 220 的阈值电压。

在一些实施例中，沟道部 228 的材料可以包括但不限于氧化物半导体材料，例如，IGZO、ZTO、IZO、氧化锌、IGSO 和氧化铟。

在一些实施例中，背栅电极 222 可以为 P 型重掺杂多晶硅材料，掺杂浓度为 1E21~1E23cm^{-3}，功函数为 4~5.5eV。由于 IGZO 材料形成的晶体管的阈值电压通常偏负电压，通过设置背栅电极 222 可以调节晶体管 220 的阈值电压为正电压，从而能够有利于减小晶体管漏电，从而可以延长存储数据的保持时间（Retention Time）。

通过在沿 X 方向排列的相邻晶体管 220 之间设置的背栅电极 222 以将晶体管 220 间隔开，无需设置额外的隔离结构，从而能够提升晶体管 220 的集成度。

这里，第二栅介质层 218 围绕栅电极 219，沟道部 228 围绕第二栅介质层 218。

在一些实施例中，沟道部 228 沿 Y 方向上相对设置的两个侧壁分别构成第一源漏极 229（如图 5B 中虚线方框示意出）和第二源漏极 230（如图 5B 中虚线方框示意出）；该半导体器件 200 还包括：沿 X 方向延伸的位线 232，且沿 X 方向排列的多个第一源漏极 229 连接至同一位线 232；多个存储电容 234，且存储电容 234 和第二源漏极 230 连接。

这里，沿 Z 方向排列的多个第一源漏极 229 连接至不同位线 232。

在一些实施例中，第一源漏极 229 和第二源漏极 230 与背栅电极 222 沿 Y 方向上相对设置的两个侧壁分别对齐，即，在 Y 方向上，背栅电极 222 的尺寸等于第一源漏极 229 和第二源漏极 230 之间的间距。沿 Z 方向排列的多个第一源漏极 229 通过位线接触结构连接至不同位线 232。

在一些实施例中，沿 Z 方向排列的多个第一源漏极 229 直接连接至不同位线 232，第一源漏极 229 沿 Y 方向凸出于背栅电极 222 沿 Y 方向上的侧壁，背栅电极 222 和位线之间设置有隔离结构 214。隔离结构 214 的材料可以包括低介电常数材料，例如，氧化硅、氮化硅、碳化硅、氮碳化硅或氮氧化硅。隔离结构 214 可降低位线 232 和背栅电极 222 之间的耦合，减小两者之间的寄生电容。

在一些实施例中，第一源漏极 229 和第二源漏极 230 与背栅电极 222 沿 Y 方向上相对设置的两个侧壁均不对齐，第一源漏极 229 沿 Y 方向且朝向位线 232 的方向凸出于背栅电极 222 沿 Y 方向上的靠近位线 232 的侧壁，第二源漏极 230 沿 Y 方向且背离位线 232 的方向凸出于背栅电极 222 沿 Y 方向上的远离位线 232 的侧壁，从而能够增大沟道部 228 的沟道长度，降低短沟道效应。

参考图 6A 和图 6B，图 6A 为一示例提供的半导体器件的三维结构示意图，图 6B 为一示例提供的半导体器件的 XY 剖面结构示意图。在一些实施例中，该半导体器件 200 还包括：位于沿 X 方向排列的相邻沟道部 228 的相邻背栅电极 222 之间的阈值电压调节结构 225，阈值电压调节结构 225 沿 Z 方向延伸且电连接沿 Z 方向排列的多个背栅电极 222。阈值电压调节结构 225 可用于对背栅电极 222 施加电压以进一步调节晶体管 220 的阈值电压。

在一些实施例中，沟道部 228 呈平行于衬底的环状结构；沟道部 228 沿 Y 方向的尺寸大于或等于背栅电极 222 沿 Y 方向的尺寸。

这里，沟道部 228 沿 X 方向和 Z 方向呈阵列排布，每一沟道部 228 均为平行于 XY 平面的环状结构。

应理解，说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不应对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

以上所述仅为本公开的优选实施方式，并非因此限制本公开的专利范围，凡是在本公开的发明构思下，利用本公开说明书及附图内容所作的等效结构变换，或直接/间接运用在其他相关的技术领域均包括在本公开的专利保护范围内。

工业实用性

本公开实施例提供一种半导体器件及其制造方法。本公开实施例中，形成贯穿叠层结构的多个沟道孔，在沟道孔内形成栅电极并且将叠层结构内的半导体层作为背栅电极，如此可以利用背栅电极调节晶体管的阈值电压。

权利要求书

1.一种半导体器件（200）的制造方法，所述制造方法包括:

提供衬底（201）和位于所述衬底（201）上的叠层结构（202），所述叠层结构（202）包括交替堆叠的半导体层（203）和层间绝缘层（204）;

形成贯穿所述叠层结构（202）的多个沟道孔（215）；其中，位于相邻所述沟道孔（215）之间的半导体层（203）用于形成背栅电极（222）;

对所述沟道孔（215）侧壁暴露出的半导体层（203）进行氧化处理，以形成第一栅介质层（216）;

依次形成覆盖所述沟道孔（215）侧壁的沟道层（217）、第二栅介质层（218）和栅电极（219）;其中，所述沟道层（217）、所述第二栅介质层（218）和所述栅电极（219）共同形成晶体管（220），所述背栅电极（222）用于调节所述晶体管（220）的阈值电压。

2.根据权利要求 1 所述的半导体器件（200）的制造方法，其中，所述形成贯穿所述叠层结构（202）的多个沟道孔（215）之前，所述制造方法还包括:

形成贯穿所述叠层结构（202）且沿第一方向排列的多个凹槽组（206），每个所述凹槽组（206）包括沿第二方向并列设置的第一凹槽（207）和第二凹槽（208）；剩余的所述叠层结构（202）包括位于所述第一凹槽（207）和所述第二凹槽（208）之间的第一子叠层结构（209）、位于相邻所述第一凹槽（207）之间的第二子叠层结构（210）、位于相邻所述第二凹槽（208）之间的第三子叠层结构（211）、位于相邻所述第一子叠层结构（209）之间的第四子叠层结构（212）以及位于所述第一凹槽（207）和所述第二子叠层结构（210）一侧的第五子叠层结构（213）；其中，所述第一方向和所述第二方向均平行于所述衬底（201）且所述第一方向和所述第二方向相交;

在所述第一凹槽（207）和所述第二凹槽（208）内填充隔离材料，以形成隔离结构（214）。

3.根据权利要求 2 所述的半导体器件（200）的制造方法，其中，所述形成贯穿所述叠层结构（202）的多个沟道孔（215），包括:

刻蚀剩余的所述叠层结构（202）中的至少所述第四子叠层结构（212），以形成贯穿所述叠层结构（214）且沿所述第一方向排列的多个沟道孔（215）。

4.根据权利要求 3 所述的半导体器件（200）的制造方法，其中，所述依次形成覆盖所述沟道孔（215）侧壁的沟道层（217）、第二栅介质层（218）和栅电极（219）之后，所述制造方法还包括:

去除所述第一子叠层结构（209）内的层间绝缘层（204），以形成第一间隙（223）；所述第一间隙（223）暴露出沿所述第一方向上相对设置的部分所述沟道层（217）;

去除所述第一间隙（223）暴露出的所述沟道层（217）;

在所述第一间隙（223）内填充隔离材料，以形成第一层间隔离层（224）。

5.根据权利要求 4 所述的半导体器件（200）的制造方法，其中，所述去除所述第一子叠层结构（209）内的层间绝缘层（204），以形成第一间隙（223），包括:

刻蚀形成贯穿所述第一子叠层结构（209）的阈值电压调节孔（221）；所述阈值电压调节孔（221）位于相邻所述沟道孔（215）之间，且位于相邻所述沟道孔（215）之间剩余的半导体层（203）作为背栅电极（222）;

沿所述阈值电压调节孔（221）横向刻蚀去除所述层间绝缘层（204），以形成第一间隙（223）;所述阈值电压调节孔（221）和所述第一间隙（223）相连通。

6.根据权利要求 5 所述的半导体器件（200）的制造方法，其中，所述在所述第一间隙（223）内填充隔离材料，以形成第一层间隔离层（224），包括:

在所述第一间隙（223）和所述阈值电压调节孔（221）内填充隔离材料;

去除所述阈值电压调节孔（221）内的隔离材料；其中，位于所述第一间隙（223）内的隔离材料形成第一层间隔离层（224）;

在所述阈值电压调节孔（221）内填充导电材料，以形成电连接所述背栅电极（222）的阈值电压调节结构（225）；其中，所述阈值电压调节结构（225）用于调节所述晶体管（220）的阈值电压。

7.根据权利要求 4 至 6 中任一项所述的半导体器件（200）的制造方法，其中，所述依次形成覆盖所述沟道孔（215）侧壁的沟道层（217）、第二栅介质层（218）和栅电极（219）之后，所述制造方法还包括:

去除所述第二子叠层结构（210）、所述第三子叠层结构（211）和所述第五子叠层结构（213）内的层间绝缘层（204），以形成第二间隙（226）；所述第二间隙（226）暴露出沿所述第二方向上相对设置的部分所述沟道层（217）;

去除所述第二间隙（226）暴露出的所述沟道层（217）；

在所述第二间隙（226）内填充隔离材料，以形成第二层间隔离层（227）；其中，所述第一层间隔离层（224）和所述第二层间隔离层（227）将每一所述沟道孔（215）内剩余的沟道层（217）隔离为多个晶体管（220）的沟道部（228）；所述沟道部（228）沿所述第二方向上相对设置的两个侧壁分别形成第一源漏极（229）和第二源漏极（230）；沿第三方向排列的多个晶体管（220）连接至同一栅电极（219）；所述第三方向垂直于所述衬底（201）。

8.根据权利要求 7 所述的半导体器件（200）的制造方法，其中，所述在所述第二间隙（226）内填充隔离材料，以形成第二层间隔离层（227）之后，所述制造方法还包括：

去除所述第五子叠层结构（213）内的半导体层（203），以形成第三间隙（231）；所述第三间隙（231）暴露出所述第一源漏极（229）；

在所述第三间隙（231）内填充导电材料，以形成沿所述第一方向延伸且与所述第一源漏极（229）电连接的多个位线（232）。

9.根据权利要求 7 或 8 所述的半导体器件（200）的制造方法，其中，所述在所述第二间隙（226）内填充隔离材料，以形成第二层间隔离层（227）之后，所述制造方法还包括：

去除所述第三子叠层结构（211）内的半导体层（203），以形成第四间隙（233）；所述第四间隙（233）暴露出所述第二源漏极（230）；

在所述第四间隙（223）内形成与所述第二源漏极（230）电连接的存储电容（234）。

10.根据权利要求 7 至 9 中任一项所述的半导体器件（200）的制造方法，其中，所述在所述第二间隙（226）内填充隔离材料，以形成第二层间隔离层（227）之后，所述制造方法还包括：

去除所述第五子叠层结构内（213）的半导体层（203），以形成第三间隙（231）；所述第三间隙（231）暴露出所述第一源漏极（229）；

刻蚀形成贯穿所述第一子叠层结构（209）的阈值电压调节孔（221）；所述阈值电压调节孔（221）位于相邻所述沟道孔（215）之间，且位于相邻所述沟道孔（215）之间剩余的半导体层（203）作为背栅电极（222）；

在所述第三间隙（231）和所述阈值电压调节孔（221）内同时填充导电材料，以分别形成沿所述第一方向延伸且与所述第一源漏极（229）电连接的多个位线（232）和电连接所述背栅电极（222）的阈值电压调节结构（225）；其中，所述阈值电压调节结构（225）用于调节所述晶体管（220）的阈值电压。

11.一种半导体器件（200），所述半导体器件（200）包括：

衬底（201）；

沿第一方向和第三方向呈阵列排布的多个沟道部（228），所述第一方向平行于所述衬底（201），所述第三方向垂直于所述衬底（201）；

沿所述第三方向延伸且贯穿所述沟道部（228）的栅电极（219）；

位于所述沟道部（228）和所述栅电极（219）之间的第二栅介质层（218）；所述沟道部（228）、所述第二栅介质层（218）和所述栅电极（219）共同构成晶体管（220）；

覆盖每个所述沟道部（228）沿所述第一方向上相对设置的两个侧壁的第一栅介质层（216）；

位于沿所述第一方向排列的相邻所述晶体管（220）之间的背栅电极（222）；其中，所述背栅电极（222）和所述第一栅介质层（216）接触；所述背栅电极（222）用于调节所述晶体管（220）的阈值电压。

12.根据权利要求 11 所述的半导体器件（200），其中，所述沟道部（228）沿第二方向上相对设置的两个侧壁分别构成第一源漏极（229）和第二源漏极（230）；所述第二方向平行于所述衬底（201）且和所述第一方向相交；所述半导体器件（200）还包括：

沿所述第一方向延伸的位线（232），且沿所述第一方向排列的多个所述第一源漏极（229）连接至同一所述位线（232）；

多个存储电容（234），且所述存储电容（234）和所述第二源漏极（230）连接。

13.根据权利要求 11 或 12 所述的半导体器件（200），其中，所述半导体器件（200）还包括：

位于沿所述第一方向排列的相邻所述沟道部（228）的相邻背栅电极（222）之间的阈值电压调节结构（225），所述阈值电压调节结构（225）沿所述第三方向延伸且电连接沿第三方向排列的多个背栅电极（222）。

14.根据权利要求 11 至 13 中任一项所述的半导体器件（200），其中，所述沟道部（228）呈平行于所述衬底（201）的环状结构；

所述沟道部（228）沿第二方向的尺寸大于或等于所述背栅电极（222）沿所述第二方向的尺寸。

15.根据权利要求 11 至 13 中任一项所述的半导体器件（200），其中，所述背栅电极（222）的材料包括多晶硅。

16.根据权利要求 16 所述的半导体器件（200），其中，所述背栅电极（222）的掺杂浓度为 1E21~1E23cm^{-3}。

17.根据权利要求 12 所述的半导体器件（200），其中，所述背栅电极（222）和所述位线（232）之间设置有隔离结构（214）。

18.根据权利要求 17 所述的半导体器件（200），其中，所述隔离结构（214）的材料可以包括低介电常数材料。

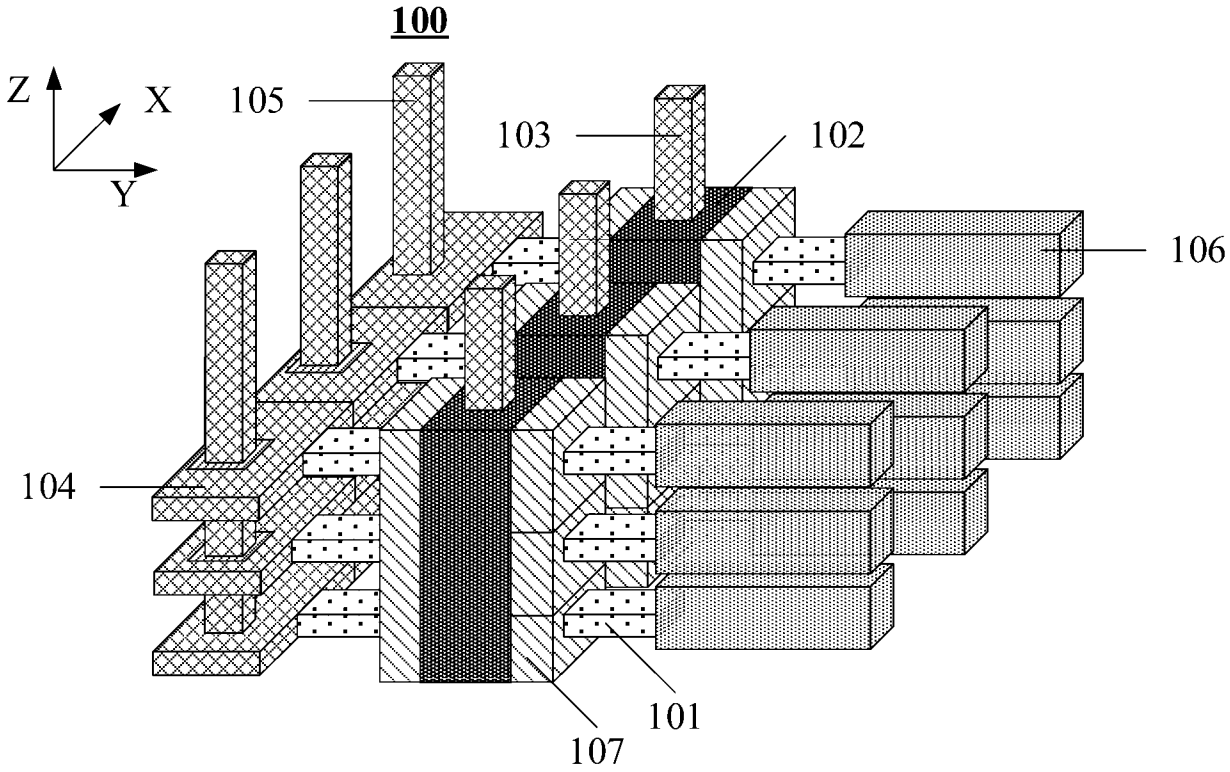

100
Z
X
Y
105
103
102
106
104
101
107

图 1

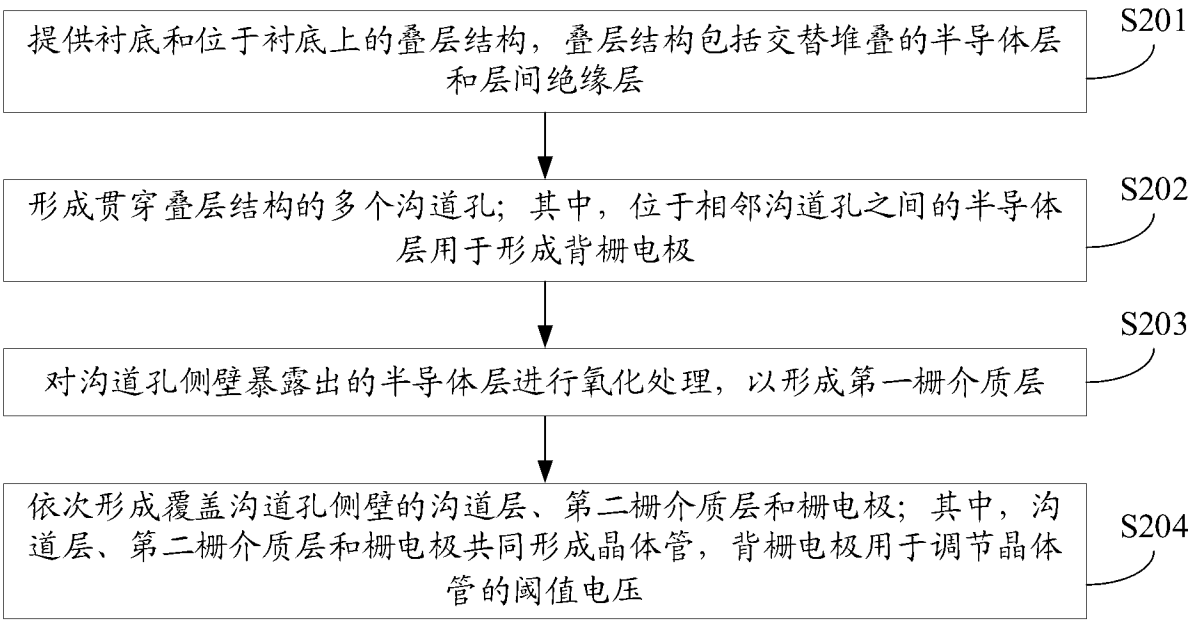

提供衬底和位于衬底上的叠层结构，叠层结构包括交替堆叠的半导体层和层间绝缘层
S201
形成贯穿叠层结构的多个沟道孔；其中，位于相邻沟道孔之间的半导体层用于形成背栅电极
S202
对沟道孔侧壁暴露出的半导体层进行氧化处理，以形成第一栅介质层
S203
依次形成覆盖沟道孔侧壁的沟道层、第二栅介质层和栅电极；其中，沟道层、第二栅介质层和栅电极共同形成晶体管，背栅电极用于调节晶体管的阈值电压
S204

图 2

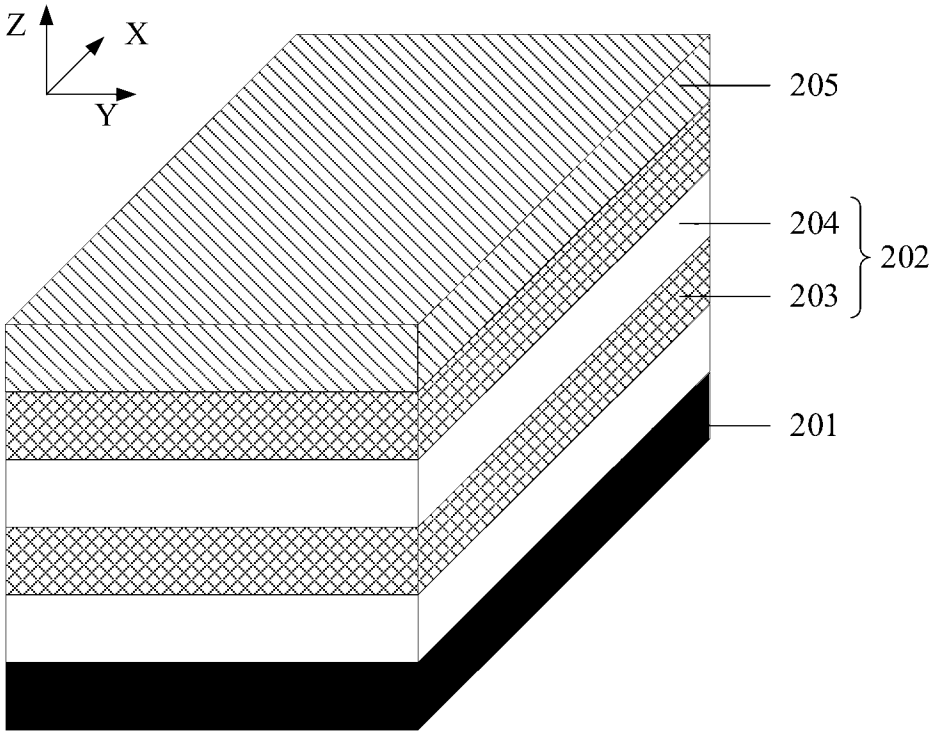

Z
X
Y
205
204
203
202
201

图 3A

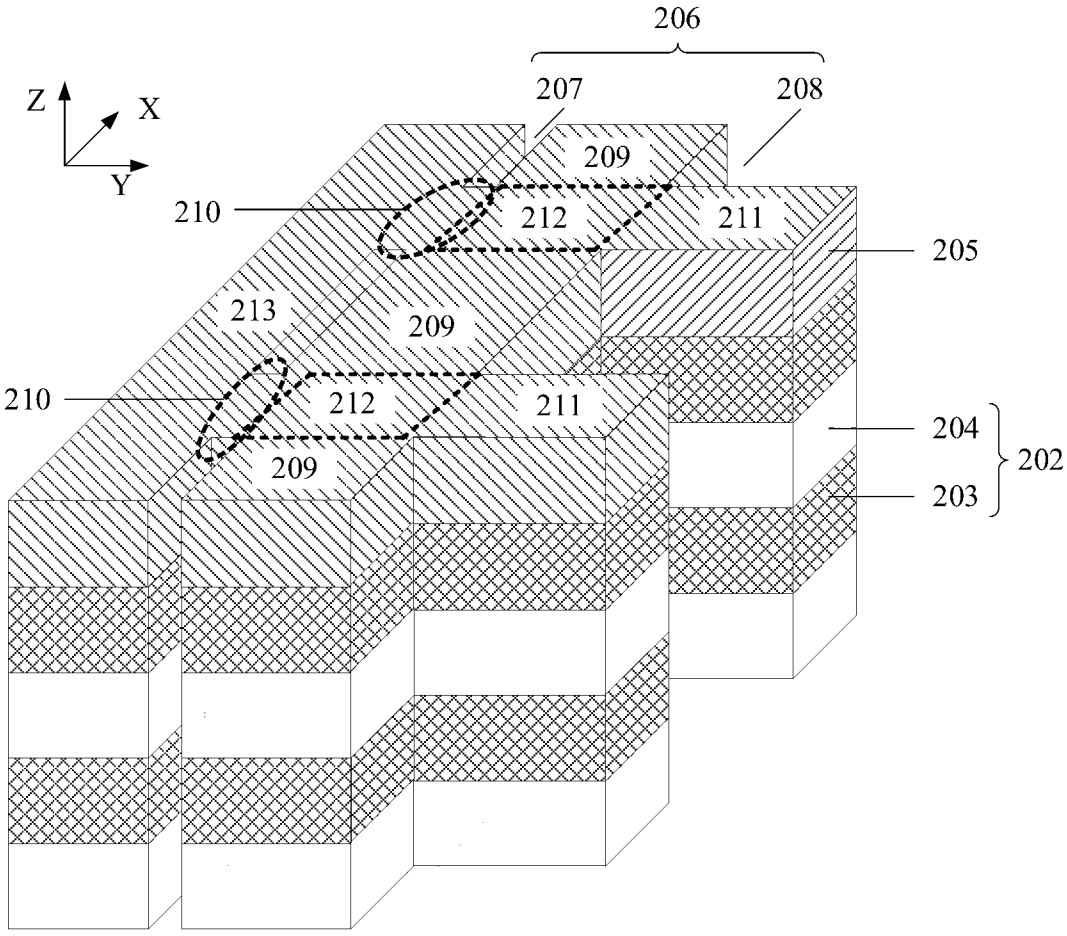

206
207
208
209
210
212
211
205
213
209
210
212
211
209
204
203
202
Z
X
Y

图 3B

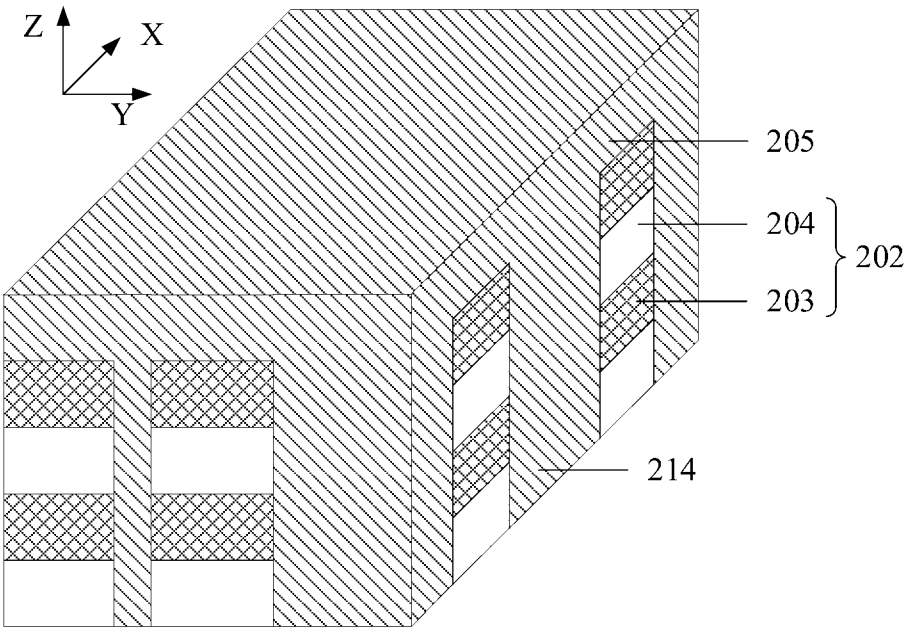


图 3C

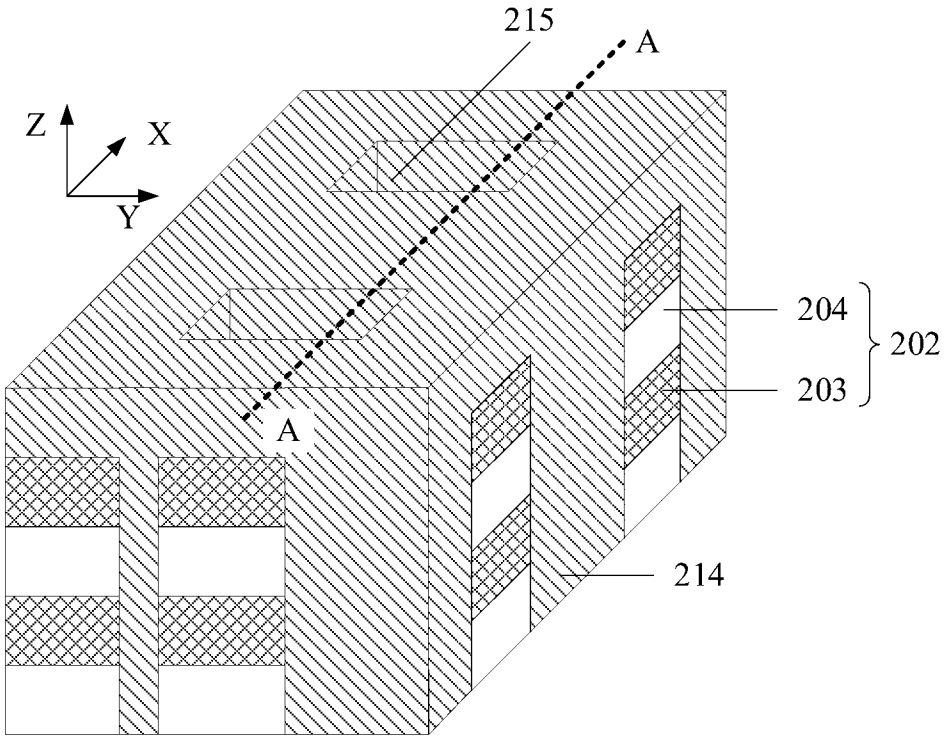


图 3D

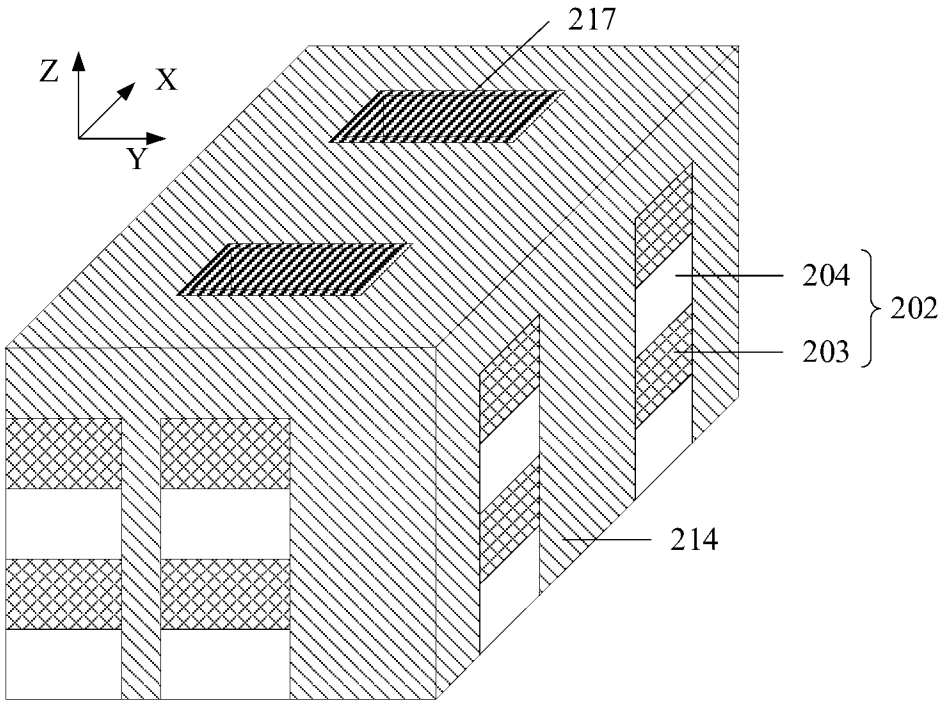


图 3E

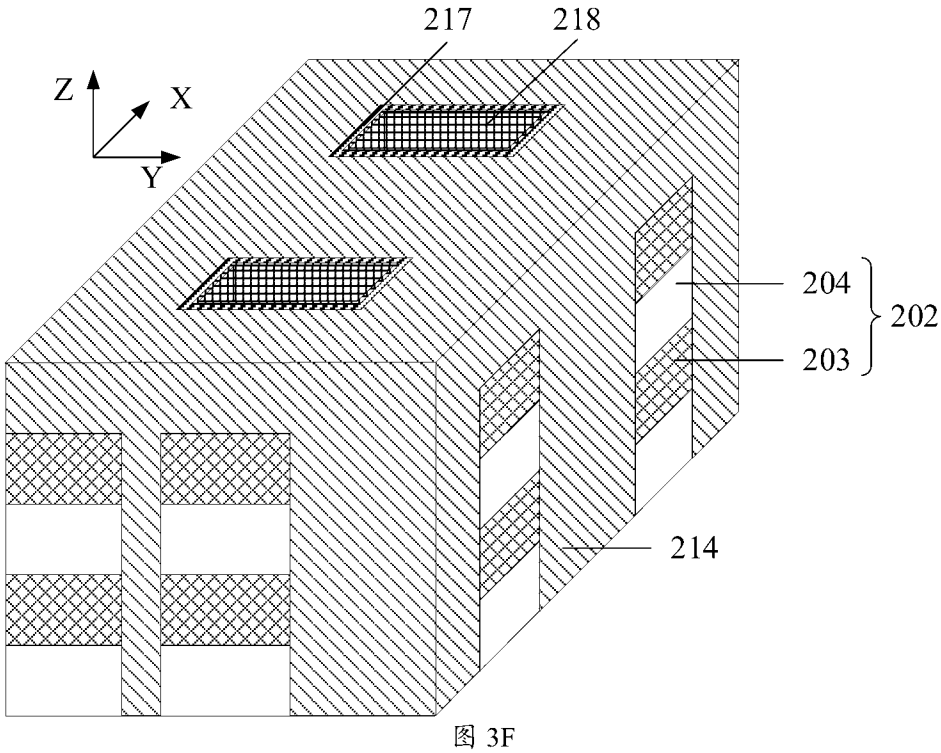


图 3F

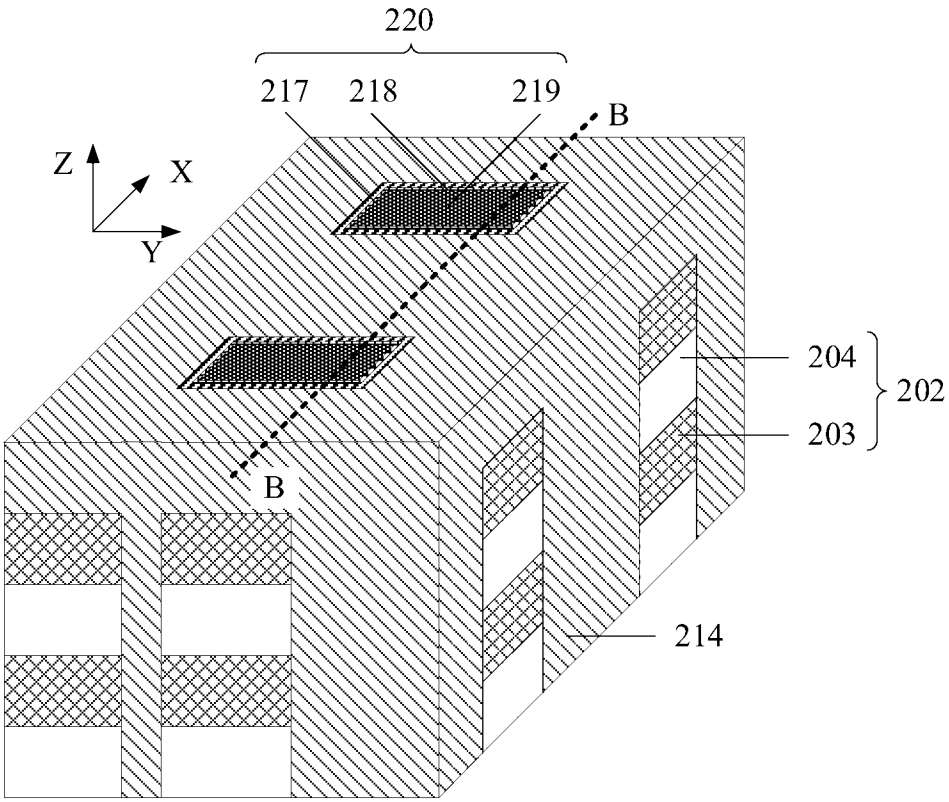

220
217
218
219
B
Z
X
Y
204
202
203
B
214

图 3G

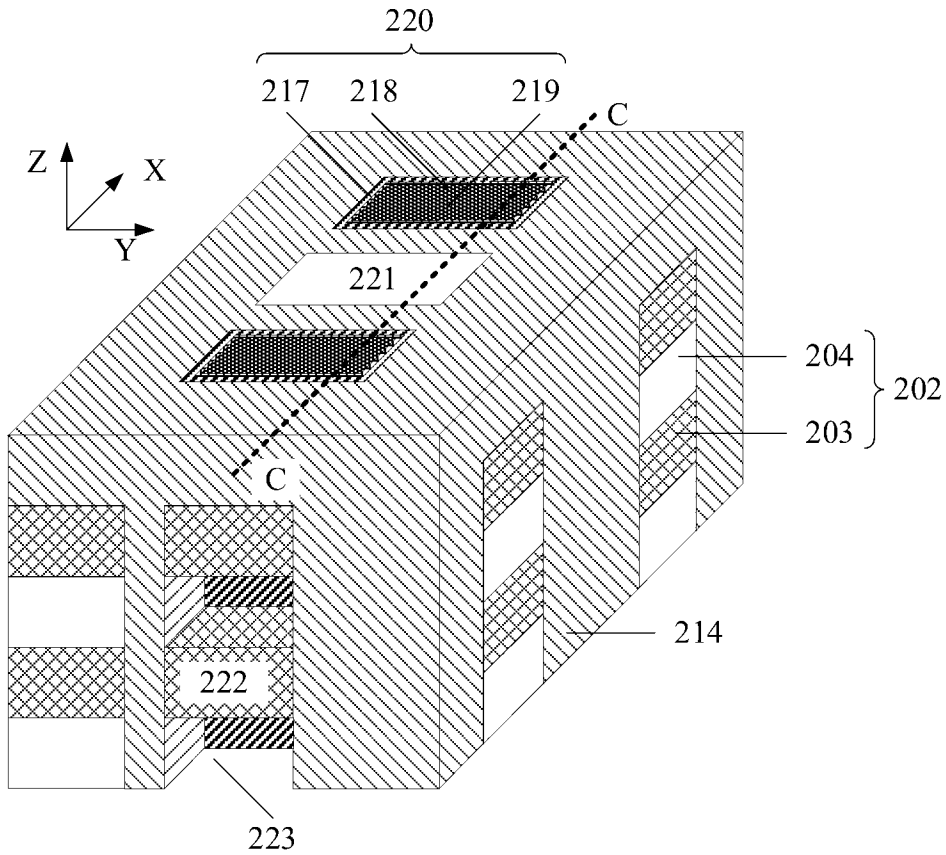

220
217
218
219
C
Z
X
Y
221
204
202
203
C
214
222
223

图 3H

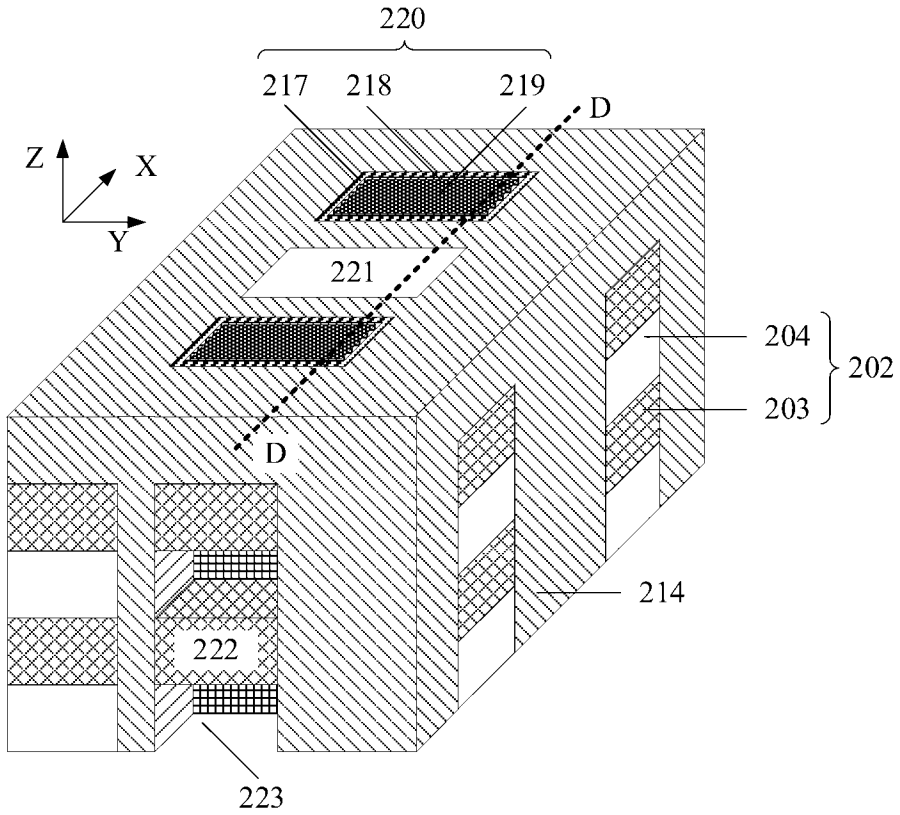

220
217
218
219
D
Z
X
Y
221
204
202
203
D
214
222
223

图 3I

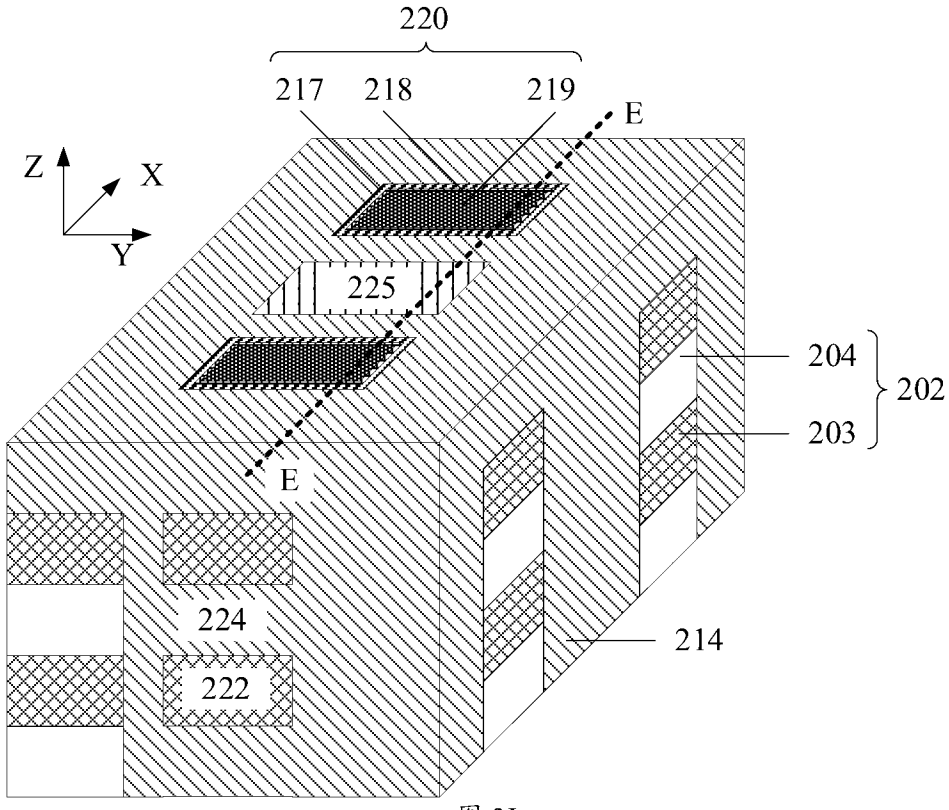

220
217
218
219
E
Z
X
Y
225
204
202
203
E
224
214
222

图 3J

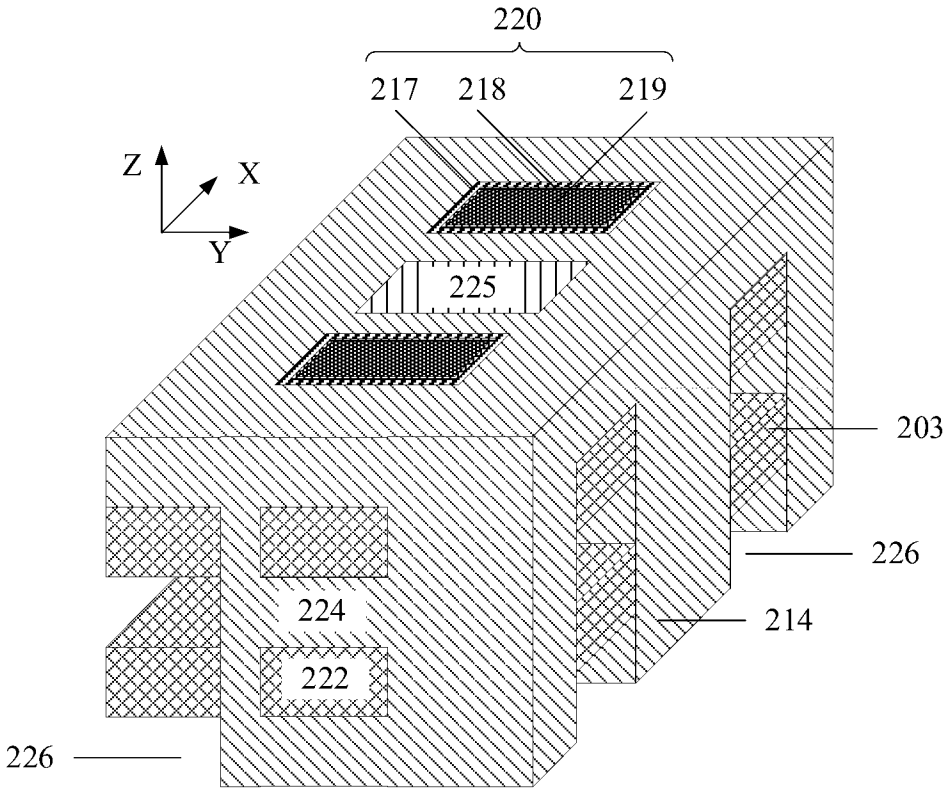

220
217
218
219
Z
X
Y
225
203
226
224
214
222
226

图 3K

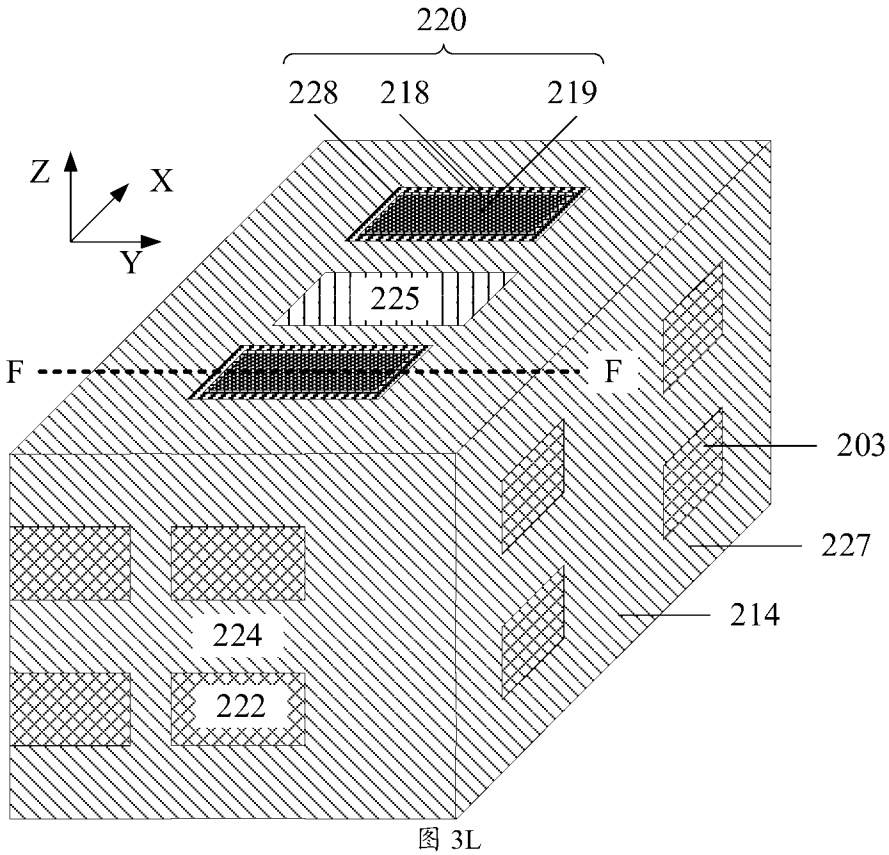

220
228
218
219
Z
X
Y
225
F
F
203
227
214
224
222

图 3L

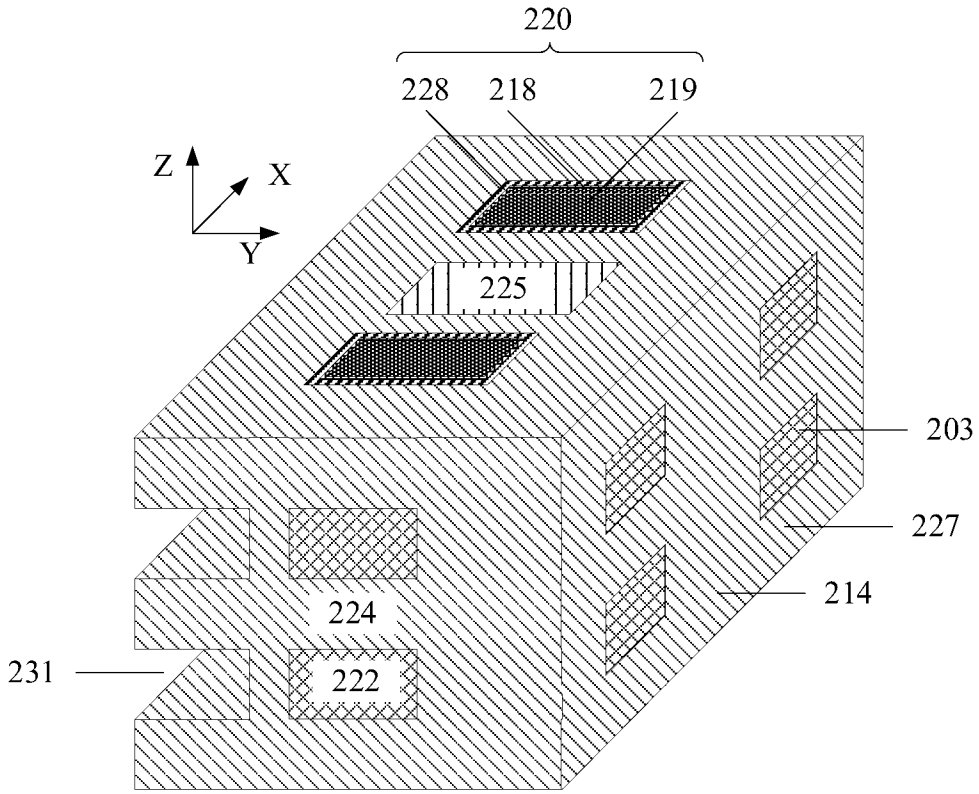

220
228
218
219
Z
X
Y
225
203
227
214
224
231
222

图 3M

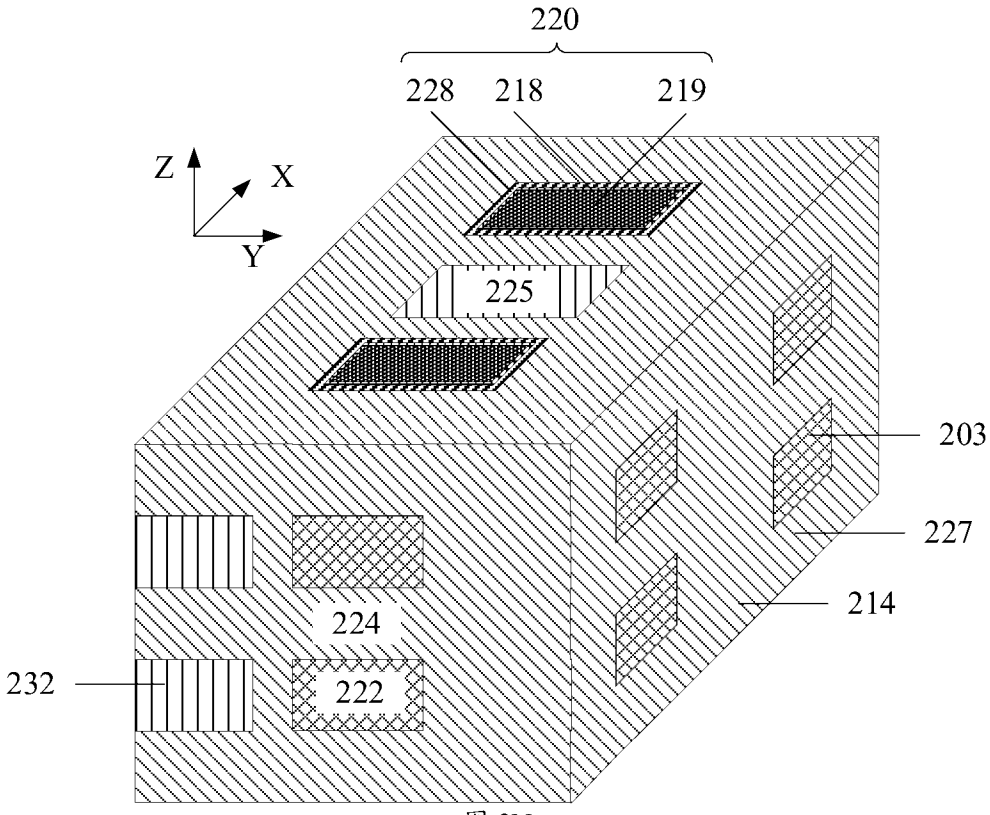

220
228
218
219
Z
X
Y
225
203
227
214
224
232
222

图 3N

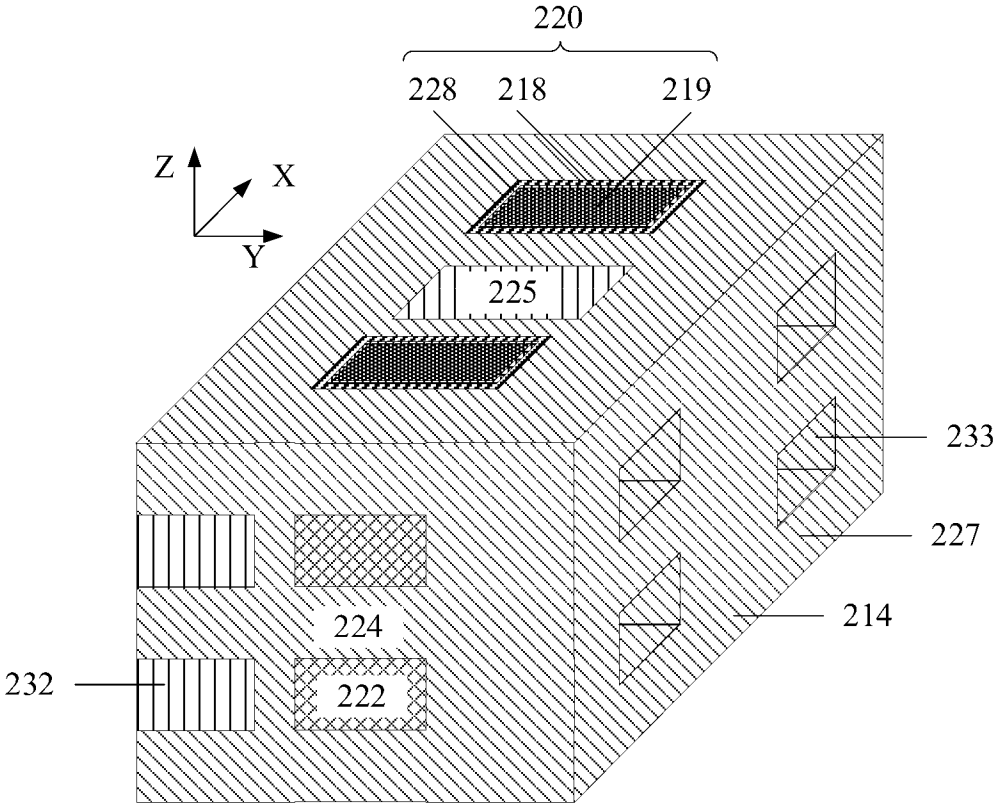

220
228
218
219
Z
X
Y
225
233
227
214
224
232
222

图 3O

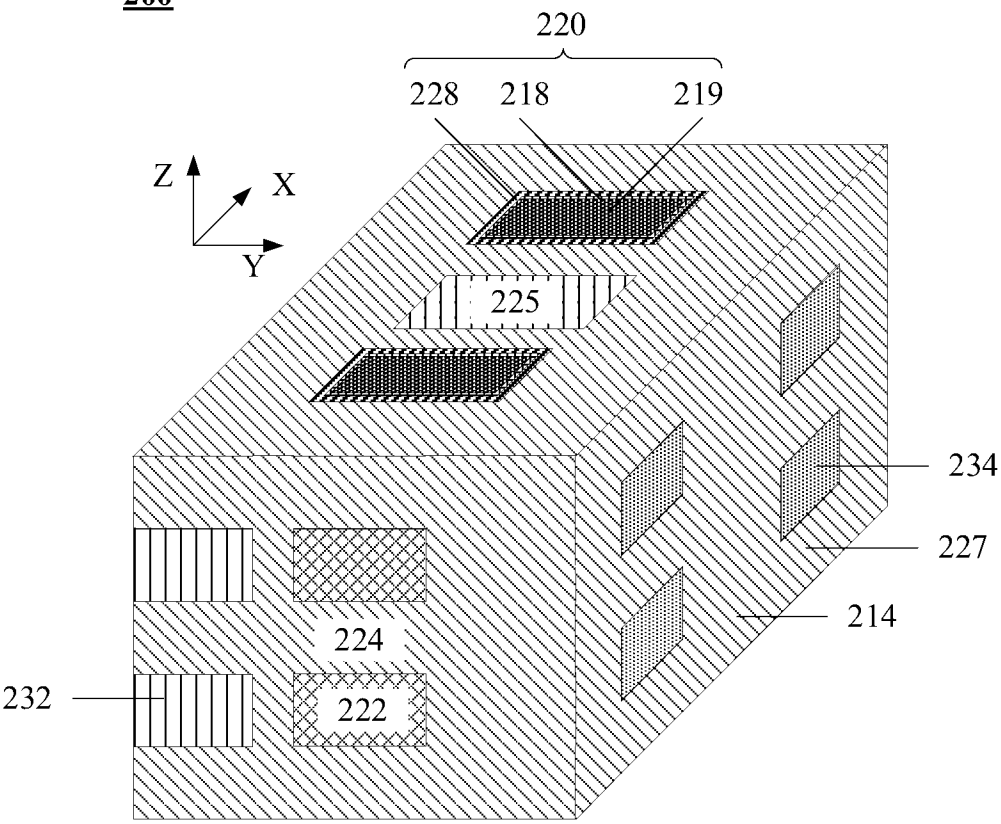

200
220
228
218
219
Z
X
Y
225
234
227
214
224
232
222

图 3P

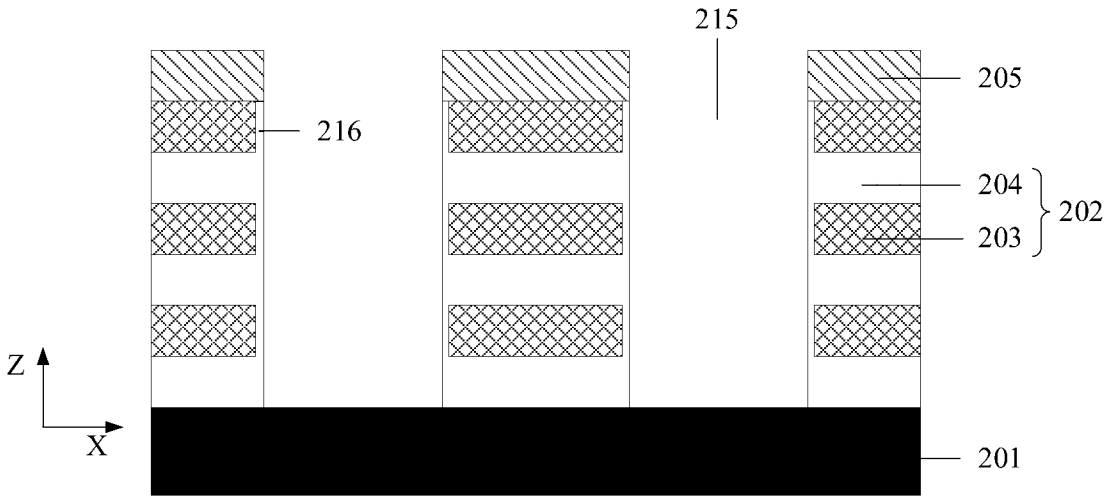

215
205
216
204
202
203
Z
X
201

图 4A

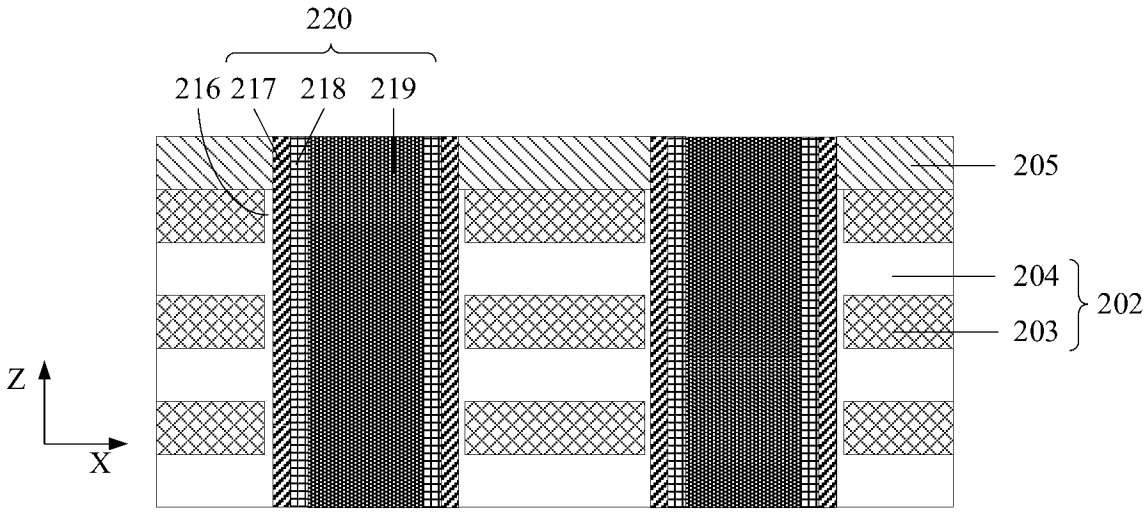

220
216 217 218 219
205
204
202
203
Z
X

图 4B

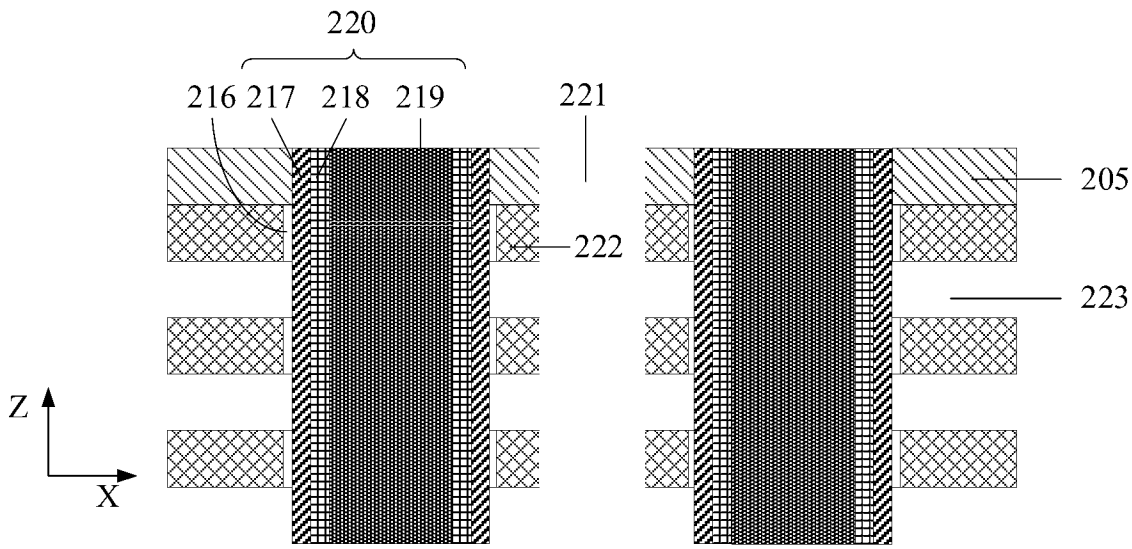

220
216 217 218 219
221
205
222
223
Z
X

图 4C

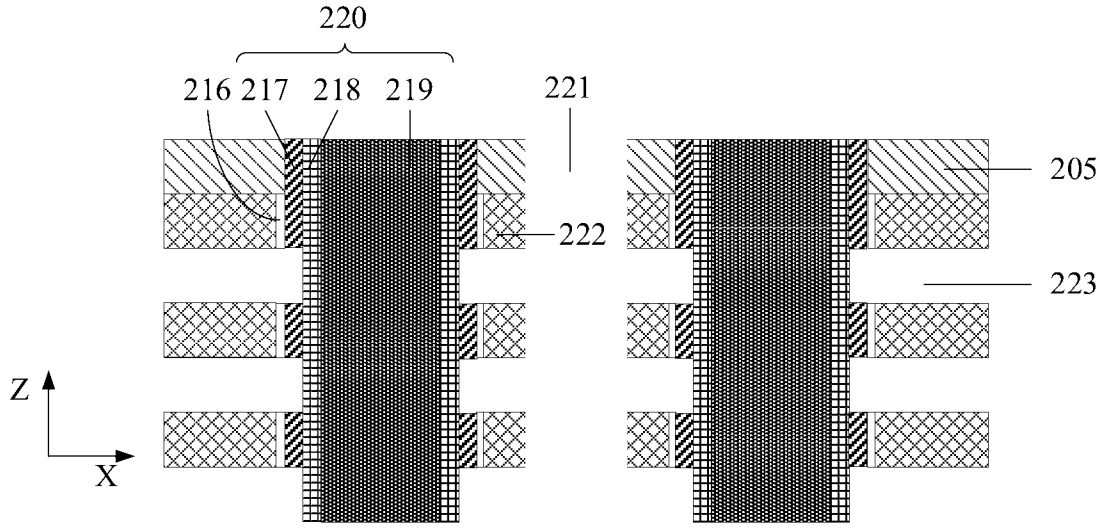

220
216
217
218
219
221
205
222
223
Z
X

图 4D

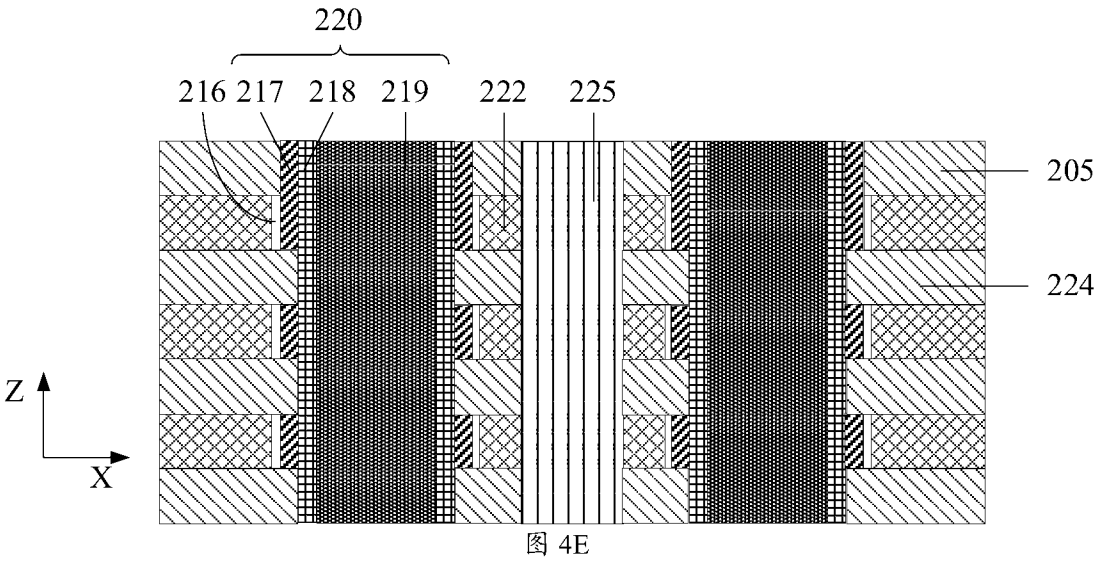

220
216
217
218
219
222
225
205
224
Z
X

图 4E

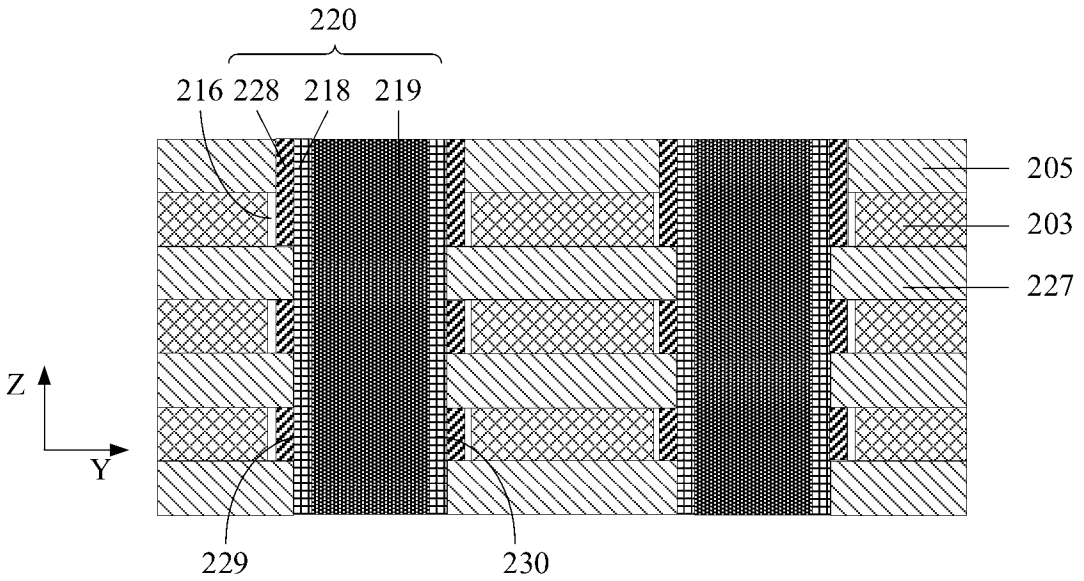

220
216
228
218
219
205
203
227
Z
Y
229
230

图 4F

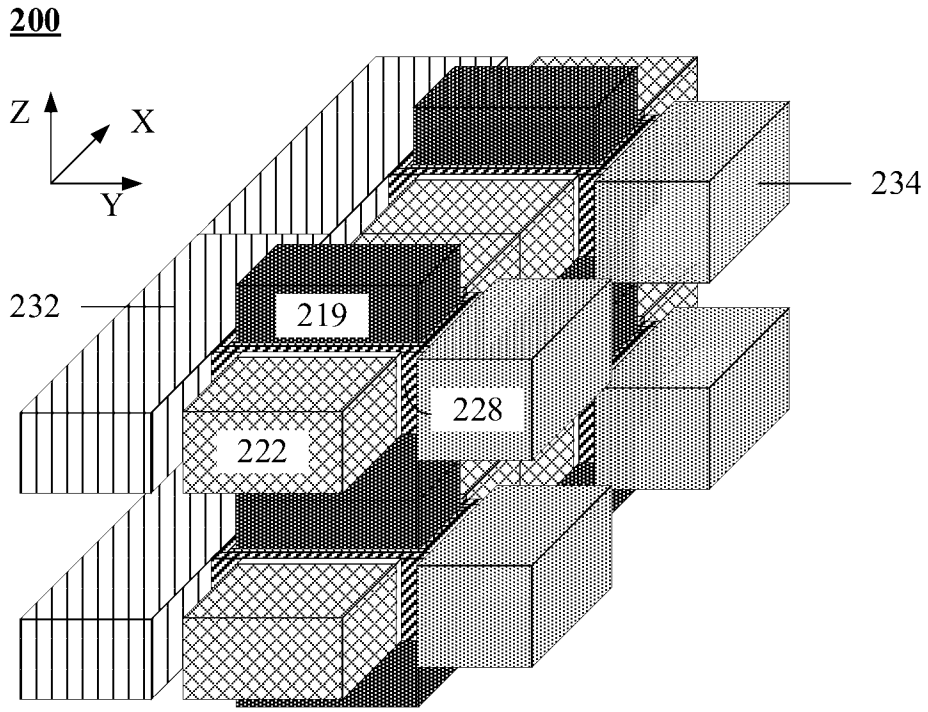

200
Z
X
Y
234
232
219
228
222

图 5A

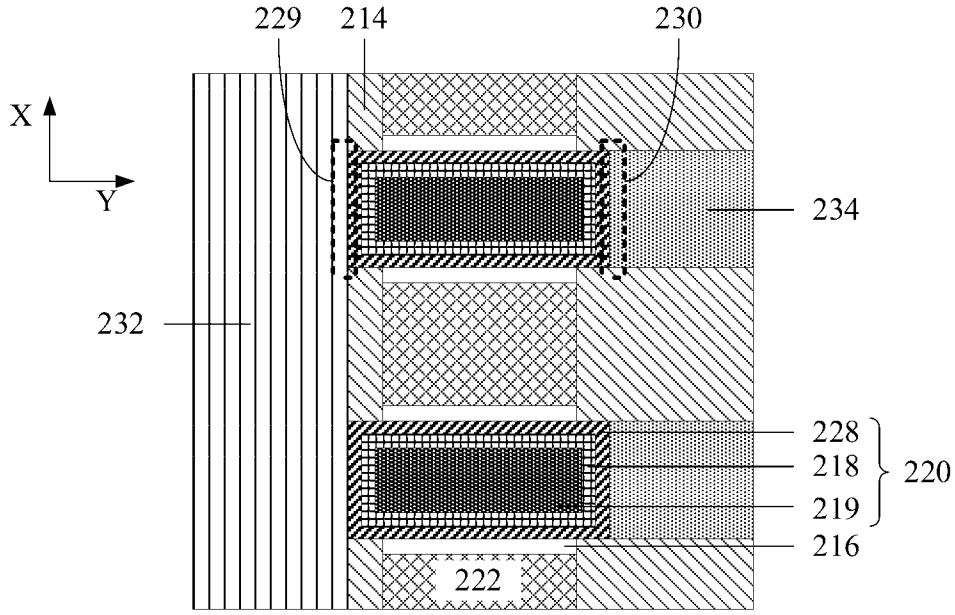

229
214
230
X
Y
234
232
228
218
220
219
216
222

图 5B

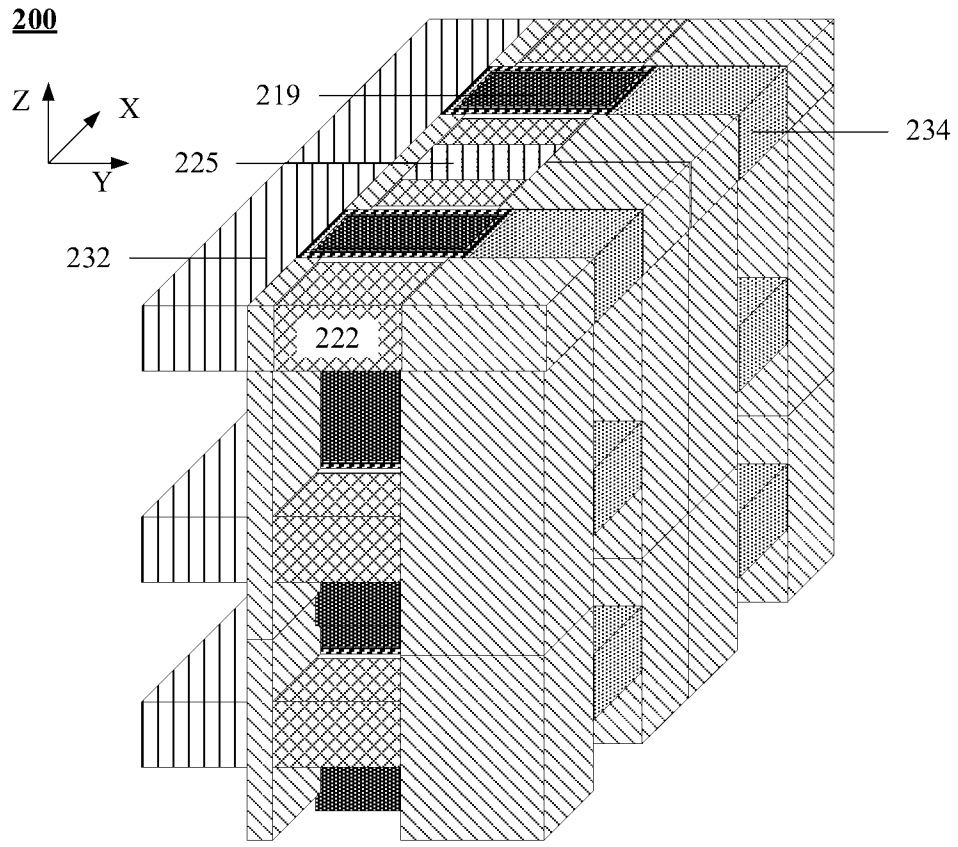

200
Z
X
Y
219
225
232
222
234

图 6A

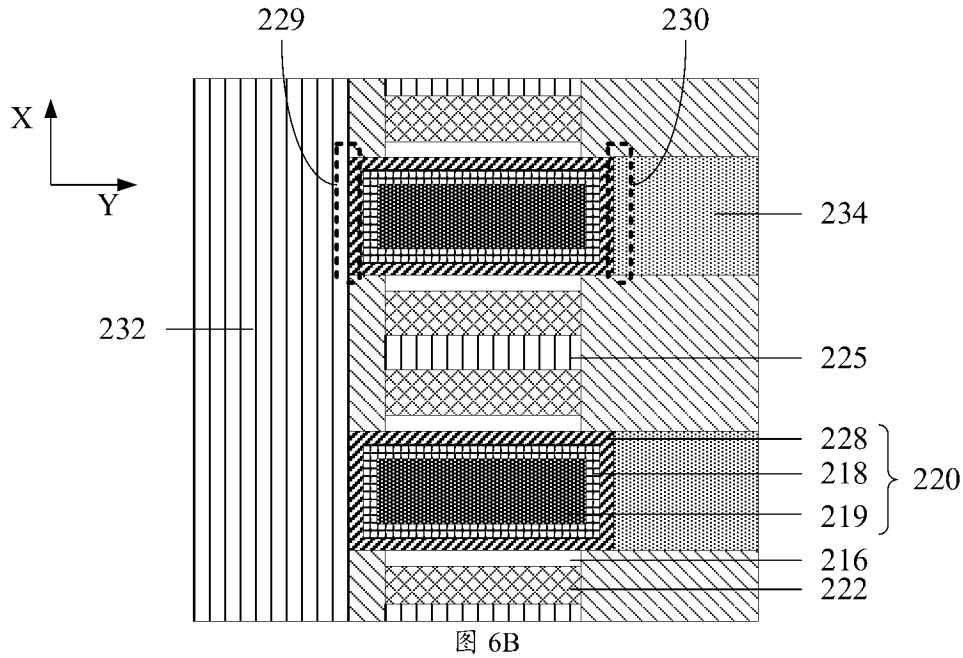

229
230
X
Y
234
232
225
228
218
219
220
216
222

图 6B

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/138777

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; ENTXT; IEEE: 背栅, 侧壁, 电容, 动态存储器, 动态随机存储器, 动态随机存取存储器, 沟道, 环形, 孔, 绕, 三维, 有源层, 栅电极, 栅极电极, 栅极介质层, 栅极绝缘层, 栅介质层, 栅绝缘层, access, active, all, around, back, CAA, channel, DRAM, dynamic, gate, hole, memory, parallel, random, side, sidewall, substrate, through, surround+, horizon+, "3D", capacitor?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 116033747 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 28 April 2023 (2023-04-28) description, paragraphs [0039]-[0085], and figures 1-35	11-18
A	CN 116033747 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 28 April 2023 (2023-04-28) description, paragraphs [0039]-[0085], and figures 1-35	1-10
Y	CN 116896873 A (SAMSUNG ELECTRONICS CO., LTD.) 17 October 2023 (2023-10-17) description, paragraphs [0018]-[0096], and figures 1-16	11-18
A	CN 116896873 A (SAMSUNG ELECTRONICS CO., LTD.) 17 October 2023 (2023-10-17) description, paragraphs [0018]-[0096], and figures 1-16	1-10
A	CN 115188715 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 14 October 2022 (2022-10-14) entire document	1-18

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 June 2024	**01 August 2024**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/138777

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 114975447 A (SK HYNIX INC.) 30 August 2022 (2022-08-30) entire document	1-18
A	US 2021159231 A1 (SAMSUNG ELECTRONICS CO., LTD.) 27 May 2021 (2021-05-27) entire document	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/138777

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116033747	A	28 April 2023	None			
CN	116896873	A	17 October 2023	KR	20230140214	A	06 October 2023
				TW	202339231	A	01 October 2023
				TWI	824877	B	01 December 2023
				US	2023320066	A1	05 October 2023
CN	115188715	A	14 October 2022	US	2023422474	A1	28 December 2023
CN	114975447	A	30 August 2022	US	2022278106	A1	01 September 2022
				US	11844206	B2	12 December 2023
				US	2024064959	A1	22 February 2024
				KR	20220122293	A	02 September 2022
US	2021159231	A1	27 May 2021	US	11411007	B2	09 August 2022
				KR	20210063111	A	01 June 2021
				US	2022328492	A1	13 October 2022

国际检索报告

国际申请号
PCT/CN2023/138777

A. 主题的分类

H10B12/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC：H10B, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;CNKI;VEN;ENTXT;IEEE:背栅，侧壁，电容，动态存储器，动态随机存储器，动态随机存取存储器，沟道，环形，孔，绕，三维，有源层，栅电极，栅极电极，栅极介质层，栅极绝缘层，栅介质层，栅绝缘层，access,active,all,around,back,CAA,channel,DRAM,dynamic,gate,hole,memory,parallel,random,side,sidewall,substrate,through,surround+,horizon+,"3D",capacitor?

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 116033747 A (长鑫存储技术有限公司) 2023年4月28日 (2023 - 04 - 28) 说明书第[0039]-[0085]段，附图1-35	11-18
A	CN 116033747 A (长鑫存储技术有限公司) 2023年4月28日 (2023 - 04 - 28) 说明书第[0039]-[0085]段，附图1-35	1-10
Y	CN 116896873 A (三星电子株式会社) 2023年10月17日 (2023 - 10 - 17) 说明书第[0018]-[0096]段，附图1-16	11-18
A	CN 116896873 A (三星电子株式会社) 2023年10月17日 (2023 - 10 - 17) 说明书第[0018]-[0096]段，附图1-16	1-10
A	CN 115188715 A (长鑫存储技术有限公司) 2022年10月14日 (2022 - 10 - 14) 全文	1-18
A	CN 114975447 A (爱思开海力士有限公司) 2022年8月30日 (2022 - 08 - 30) 全文	1-18

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"D" 申请人在国际申请中引证的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2024年6月13日	2024年8月1日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 曹毓涵 电话号码 (+86) 010-53961208

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2021159231 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2021年5月27日 (2021 - 05 - 27) 全文	1-18

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/138777

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116033747	A	2023年4月28日	无			
CN	116896873	A	2023年10月17日	KR	20230140214	A	2023年10月6日
				TW	202339231	A	2023年10月1日
				TWI	824877	B	2023年12月1日
				US	2023320066	A1	2023年10月5日
CN	115188715	A	2022年10月14日	US	2023422474	A1	2023年12月28日
CN	114975447	A	2022年8月30日	US	2022278106	A1	2022年9月1日
				US	11844206	B2	2023年12月12日
				US	2024064959	A1	2024年2月22日
				KR	20220122293	A	2022年9月2日
US	2021159231	A1	2021年5月27日	US	11411007	B2	2022年8月9日
				KR	20210063111	A	2021年6月1日
				US	2022328492	A1	2022年10月13日