

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3872927号  
(P3872927)

(45) 発行日 平成19年1月24日(2007. 1. 24)

(24) 登録日 平成18年10月27日(2006. 10. 27)

(51) Int. Cl.		F I	
<b>H02M</b>	<b>3/07</b>	<b>(2006.01)</b>	H02M 3/07
<b>H03K</b>	<b>5/02</b>	<b>(2006.01)</b>	H03K 5/02 C
<b>H03K</b>	<b>19/0185</b>	<b>(2006.01)</b>	H03K 19/00 I O I E

請求項の数 12 (全 20 頁)

(21) 出願番号	特願2000-80410 (P2000-80410)	(73) 特許権者	000003078
(22) 出願日	平成12年3月22日 (2000. 3. 22)		株式会社東芝
(65) 公開番号	特開2001-268893 (P2001-268893A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年9月28日 (2001. 9. 28)	(74) 代理人	100058479
審査請求日	平成16年11月26日 (2004. 11. 26)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 昇圧回路

(57) 【特許請求の範囲】

【請求項1】

初段の入力端子に電源電位または接地電位が印加され、各々の出力端子が順次次段の入力端子にそれぞれ接続された複数の昇圧ユニットと、

上記昇圧ユニットの最終段の出力電位で制御され、最終段より前の段の昇圧ユニットの出力電位を転送する出力回路部と、

上記出力回路部から出力される正または負の昇圧電位を電源の一方に用いて、上記正または負の昇圧電位と接地電位間の振幅のリセット信号を生成し、上記各昇圧ユニットに供給することにより、各昇圧ユニットにおける電荷が残存するトランジスタのゲートノードをリセットするリセットパルス発生器と、

上記リセットパルス発生器における上記正または負の昇圧電位が印加されるノードを、上記電荷が残存するトランジスタのゲートノードのリセット後にディスチャージするディスチャージ回路と

を具備することを特徴とする昇圧回路。

【請求項2】

前記昇圧ユニットは、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記出力端子に接続された第1 MOS トランジスタと、電流通路の一端が前記入力端子に接続され、電流通路の他端が上記第1 MOS トランジスタのゲートに接続され、ゲートが出力端子に接続された第2 MOS トランジスタと、電流通路の一端が上記第1 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲート

トに前記リセット信号が供給されるリセット用の第3 MOS トランジスタと、電流通路の一端が上記第2 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第4 MOS トランジスタと、一方の電極が前記出力端子に接続され、他方の電極に第1のクロック信号が供給される第1のキャパシタと、一方の電極が前記第1 MOS トランジスタのゲートに接続され、他方の電極に第2のクロック信号が供給される第2のキャパシタとを備えることを特徴とする請求項1に記載の昇圧回路。

### 【請求項3】

前記昇圧ユニットは、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記出力端子に接続された第1 MOS トランジスタと、電流通路の一端が前記入力端子に接続され、電流通路の他端が上記第1 MOS トランジスタのゲートに接続され、ゲートが出力端子に接続された第2 MOS トランジスタと、電流通路の一端が上記第1 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第3 MOS トランジスタと、電流通路の一端が上記第2 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第4 MOS トランジスタと、一方の電極が前記出力端子に接続される第1のキャパシタと、一方の電極が前記第1 MOS トランジスタのゲートに接続される第2のキャパシタと、一方の電極が前記第1のキャパシタの他方の電極に接続され、他方の電極に第1のクロック信号が供給される第3のキャパシタと、電流通路の一端が前記第1のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第5 MOS トランジスタと、一方の電極が前記第2のキャパシタの他方の電極に接続され、他方の電極に第2のクロック信号が供給される第4のキャパシタと、電流通路の一端が前記第2のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第6 MOS トランジスタとを備えることを特徴とする請求項1に記載の昇圧回路。

### 【請求項4】

一方の電極が前記リセット信号発生器における上記正または負の昇圧電位が印加されるノードに接続され、他方の電極に接地電位または電源電圧が印加される第5のキャパシタを更に具備することを特徴とする請求項1に記載の昇圧回路。

### 【請求項5】

前記リセットパルス発生器は、正電圧と接地電位間の電圧で動作し、リセット信号のハイレベルを前記正電位にシフトするハイレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、上記ハイレベルシフタの出力のロウレベルを上記負の昇圧電位にレベルシフトするロウレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する奇数段のインバータ回路と、偶数段目のインバータ回路の出力信号と奇数段目のインバータ回路の出力信号が供給され、前記各昇圧ユニットに前記リセット信号を供給する論理回路とを備え、

前記ディスチャージ回路は、正電圧と接地電位間の電圧で動作し、ディスチャージインネーブル信号のハイレベルを前記正電位にシフトするハイレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、上記ハイレベルシフタの出力のロウレベルを上記負の昇圧電位にレベルシフトするロウレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が上記リセットパルス発生器における負の昇圧電位が印加される電源線に接続され、電流通路の他端が接地点に接続され、ゲートに前記偶数段目のインバータ回路の出力信号が供給される第7 MOS トランジスタとを備える

ことを特徴とする請求項1に記載の昇圧回路。

### 【請求項6】

前記リセットパルス発生器は、前記出力回路部から出力される正の昇圧電圧と接地電位

間の電圧で動作し、リセット信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、上記正の昇圧電圧と上記接地電位間の電圧で動作し、前記各昇圧ユニットに前記リセット信号を供給する偶数段のインバータ回路とを備え、

前記ディスチャージ回路は、昇圧電圧と接地電位間の電圧で動作し、ディスチャージインネブル信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、上記昇圧電圧と接地電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が上記リセットパルス発生器における正の昇圧電位が印加される電源線に接続され、電流通路の他端が電源に接続され、ゲートに上記偶数段目のインバータ回路の出力信号が供給される第7 MOSトランジスタとを備える

ことを特徴とする請求項1に記載の昇圧回路。

10

【請求項7】

位相の異なるクロック信号に応答して、順次電荷を転送して昇圧を行う昇圧回路と、

前記昇圧回路の出力電圧に基づいて動作する回路とを具備し、

前記昇圧回路は、初段の入力端子に電源電位または接地電位が印加され、各々の出力端子が順次次段の入力端子にそれぞれ接続された複数の昇圧ユニットと、前記昇圧ユニットの最終段の出力電位で制御され、最終段より前の段の昇圧ユニットの出力電位を転送する出力回路部と、前記出力回路部から出力される正または負の昇圧電位を電源の一方に用いて、前記正または負の昇圧電位と接地電位間の振幅のリセット信号を生成し、前記各昇圧ユニットに供給することにより、各昇圧ユニットにおける電荷が残存するトランジスタのゲートノードをリセットするリセットパルス発生器と、前記リセットパルス発生器における前記正または負の昇圧電位が印加されるノードを、前記電荷が残存するトランジスタのゲートノードのリセット後にディスチャージするディスチャージ回路とを備えることを特徴とする電圧発生回路。

20

【請求項8】

前記各昇圧ユニットはそれぞれ、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記出力端子に接続された第1 MOSトランジスタと、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記第1 MOSトランジスタのゲートに接続され、ゲートが出力端子に接続された第2 MOSトランジスタと、電流通路の一端が前記第1 MOSトランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第3 MOSトランジスタと、電流通路の一端が前記第2 MOSトランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第4 MOSトランジスタと、一方の電極が前記出力端子に接続され、他方の電極に第1のクロック信号が供給される第1のキャパシタと、一方の電極が前記第1 MOSトランジスタのゲートに接続され、他方の電極に第2のクロック信号が供給される第2のキャパシタとを備えることを特徴とする請求項7に記載の電圧発生回路。

30

【請求項9】

前記各昇圧ユニットはそれぞれ、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記出力端子に接続された第1 MOSトランジスタと、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記第1 MOSトランジスタのゲートに接続され、ゲートが出力端子に接続された第2 MOSトランジスタと、電流通路の一端が前記第1 MOSトランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第3 MOSトランジスタと、電流通路の一端が前記第2 MOSトランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第4 MOSトランジスタと、一方の電極が前記出力端子に接続される第1のキャパシタと、一方の電極が前記第1 MOSトランジスタのゲートに接続される第2のキャパシタと、一方の電極が前記第1のキャパシタの他方の電極に接続され、他方の電極に第1のクロック信号が供給される第3のキャパシタと、電流通路の一端が前記第1のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記

40

50

リセット信号が供給されるリセット用の第5 MOS トランジスタと、一方の電極が前記第2のキャパシタの他方の電極に接続され、他方の電極に第2のクロック信号が供給される第4のキャパシタと、電流通路の一端が前記第2のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第6 MOS トランジスタとを備えることを特徴とする請求項7に記載の電圧発生回路。

【請求項10】

一方の電極が前記リセット信号発生器における前記正または負の昇圧電位が印加されるノードに接続され、他方の電極に接地電位または電源電圧が印加される第5のキャパシタを更に具備することを特徴とする請求項7に記載の電圧発生回路。

10

【請求項11】

前記リセットパルス発生器は、正電圧と接地電位間の電圧で動作し、リセット信号のハイレベルを前記正電位にシフトするハイレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、前記ハイレベルシフタの出力のロウレベルを前記負の昇圧電位にレベルシフトするロウレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する奇数段のインバータ回路と、偶数段目のインバータ回路の出力信号と奇数段目のインバータ回路の出力信号が供給され、前記各昇圧ユニットに前記リセット信号を供給する論理回路とを備え、

前記ディスチャージ回路は、正電圧と接地電位間の電圧で動作し、ディスチャージインーブル信号のハイレベルを前記正電位にシフトするハイレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、前記ハイレベルシフタの出力のロウレベルを前記負の昇圧電位にレベルシフトするロウレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が前記リセットパルス発生器における負の昇圧電位が印加される電源線に接続され、電流通路の他端が接地点に接続され、ゲートに前記偶数段目のインバータ回路の出力信号が供給される第7 MOS トランジスタとを備えることを特徴とする請求項7に記載の電圧発生回路。

20

【請求項12】

前記リセットパルス発生器は、前記出力回路部から出力される正の昇圧電圧と接地電位間の電圧で動作し、リセット信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、前記正の昇圧電圧と前記接地電位間の電圧で動作し、前記各昇圧ユニットに前記リセット信号を供給する偶数段のインバータ回路とを備え、

30

前記ディスチャージ回路は、昇圧電圧と接地電位間の電圧で動作し、ディスチャージインーブル信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、前記昇圧電圧と接地電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が前記リセットパルス発生器における正の昇圧電位が印加される電源線に接続され、電流通路の他端が電源に接続され、ゲートに前記偶数段目のインバータ回路の出力信号が供給される第7 MOS トランジスタとを備えることを特徴とする請求項7に記載の電圧発生回路。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

この発明は、複数の昇圧ユニット（昇圧セル）における各々の出力端子を順次次段の入力端子にそれぞれ接続し、位相の異なるクロック信号に応答して各昇圧ユニットの入力端子から出力端子に順次電荷を転送して昇圧動作を行う昇圧回路に関するもので、特に各々の昇圧ユニットにおける電荷が残存するトランジスタのゲートノードのリセット技術に関する。

【0002】

【従来の技術】

図10は、従来の昇圧回路の構成例を示す回路図である。この昇圧回路については、IEEE Journal of Solid-State Circuits, Vol.27, No.11, November 1992, pp.1540-1546, A.Umeza

50

wa et al. "A 5-V-Only Operation 0.6- $\mu$ m Flash EEPROM with Row Decoder Scheme in Triple Well Structure"に記載されている。

【0003】

この昇圧回路は、昇圧ユニット（昇圧セル）11a, 11b、昇圧ユニット12及び出力回路部13で構成されている。各昇圧ユニット11a, 11b, 12はそれぞれ、2つのMOSトランジスタ（MOSFET）と2つのキャパシタで構成され、各々の出力端子と入力端子がそれぞれ順次接続されている。

【0004】

すなわち、上記昇圧ユニット11aは、Nチャネル型MOSトランジスタQN1, QN2とキャパシタC1, C2を備えている。上記MOSトランジスタQN1, QN2の電流通路の一端はそれぞれ、電源電圧VCCが印加される電源端子14に接続される。上記MOSトランジスタQN2の電流通路の他端はMOSトランジスタQN1のゲートに接続され、ゲートは上記MOSトランジスタQN1の電流通路の他端に接続される。上記キャパシタC1の一方の電極は、上記MOSトランジスタQN1の電流通路の他端に接続され、このキャパシタC1の他方の電極にはクロック信号phi1が供給される。また、上記キャパシタC2の一方の電極は、上記MOSトランジスタQN1のゲートに接続され、このキャパシタC2の他方の電極にはクロック信号phi3が供給される。

【0005】

同様に、上記昇圧ユニット11bは、Nチャネル型MOSトランジスタQN3, QN4とキャパシタC3, C4を備えている。上記MOSトランジスタQN3, QN4の電流通路の一端はそれぞれ、上記MOSトランジスタQN1の電流通路の他端に接続される。上記MOSトランジスタQN4の電流通路の他端はMOSトランジスタQN3のゲートに接続され、ゲートは上記MOSトランジスタQN3の電流通路の他端に接続される。上記キャパシタC3の一方の電極は、上記MOSトランジスタQN3の電流通路の他端に接続され、このキャパシタC3の他方の電極にはクロック信号phi2が供給される。上記キャパシタC4の一方の電極は、上記MOSトランジスタQN3のゲートに接続され、このキャパシタC4の他方の電極にはクロック信号phi4が供給される。

【0006】

また、上記昇圧ユニット12は、Nチャネル型MOSトランジスタQN5, QN6とキャパシタC5, C6を備えている。上記MOSトランジスタQN5, QN6の電流通路の一端はそれぞれ、上記MOSトランジスタQN3の電流通路の他端に接続される。上記MOSトランジスタQN6の電流通路の他端はMOSトランジスタQN5のゲートに接続され、ゲートは上記MOSトランジスタQN5の電流通路の他端に接続される。上記キャパシタC5の一方の電極は、上記MOSトランジスタQN5の電流通路の他端に接続され、このキャパシタC5の他方の電極には上記クロック信号phi1が供給される。上記キャパシタC6の一方の電極は、上記MOSトランジスタQN5のゲートに接続され、このキャパシタC6の他方の電極には上記クロック信号phi3が供給される。

【0007】

上記出力回路部13は、Nチャネル型MOSトランジスタQN7によって構成されている。上記MOSトランジスタQN7の電流通路の一端は、上記MOSトランジスタQN3の電流通路の他端に接続され、このMOSトランジスタQN7のゲートは上記MOSトランジスタQN5のゲートに接続される。そして、上記MOSトランジスタQN7の電流通路の他端から、電源電圧VCCを昇圧した正の電圧VPPを出力するようになっている。

【0008】

上記のような構成において、図11のタイミングチャートに示すように、位相の異なる4相のクロック信号phi1, phi2, phi3, phi4が入力されると、これらのクロック信号の1サイクル毎に、昇圧ユニット11a, 11bによって電源電圧VCCが順次昇圧されてMOSトランジスタQN7の電流通路の一端に供給される。また、この昇圧された電圧が昇圧ユニット12に供給されて更に昇圧されて電圧VGが生成され、上記MOSトランジスタQN7のゲートに供給される。このように、最終段の転送MOSトラン

10

20

30

40

50

ジスタQ N 7のゲートが昇圧ユニット1 2によってオーバードライブされ、M O SトランジスタQ N 7の閾値電圧による出力電圧V P Pの低下が抑制される。

【0009】

ところで、上記のような4相型の昇圧回路では、昇圧動作の終了後、各M O Sトランジスタのゲートノードに高い電圧がフローティングのまま残ってしまうと、再昇圧動作時に転送M O SトランジスタQ N 1, Q N 3, Q N 7がオン状態を維持し、昇圧動作ができなくなってしまう。

【0010】

そこで、図1 2に示すように、上記図1 0に示した回路における各M O SトランジスタQ N 1 ~ Q N 6のゲートと各キャパシタC 1 ~ C 6との接続ノードと接地点(G N D)間にそれぞれ、リセット用のNチャネル型M O SトランジスタQ N 8 ~ Q N 1 3を設けた構成が提案されている。これらのM O SトランジスタQ N 8 ~ Q N 1 3のゲートには、リセット信号R S Tが供給される。

10

【0011】

上記のような構成において、図1 3のタイミングチャートに示すように、最終段の転送用M O SトランジスタQ N 7のゲート電圧V Gは、各クロック信号p h i 1 ~ p h i 4の1サイクル毎に上昇していき、出力電圧V P Pは所望の電圧に昇圧される。そして、昇圧動作が終了した時点でリセット信号R S TをハイレベルにしてM O SトランジスタQ N 8 ~ Q N 1 3をオンさせ、各M O SトランジスタQ N 1 ~ Q N 6のゲートと各キャパシタC 1 ~ C 6との接続ノードをそれぞれ接地して放電すれば、転送M O SトランジスタQ N 1, Q N 3, Q N 7を強制的にオフさせることができ、再昇圧動作で誤動作することはない。

20

【0012】

更に、図1 4に示すように、上記図1 2に示した昇圧回路における出力電圧V P Pの出力ノードと接地点G N D間に、リセット用のNチャネル型M O SトランジスタQ N 2 1を設けた構造も知られている。そして、昇圧動作の終了後、このM O SトランジスタQ N 2 1のゲートにリセット信号R S Tを供給することにより、出力ノードも接地してリセットする。

【0013】

このように、正の電圧を発生する昇圧回路の場合には、ソースを接地し、ゲートに接地電位と電源電圧V C C間の振幅のリセット信号が入力されるNチャネル型M O Sトランジスタを用いることで、比較的容易に各ノードのリセットを行うことができる。

30

【0014】

また、上述した文献には、図1 5に示すような負電圧を発生する昇圧回路も開示されている。この回路は、上記図1 0に示した回路におけるNチャネル型M O SトランジスタQ N 1 ~ Q N 7に代えて、Pチャネル型M O SトランジスタQ P 1 ~ Q P 7を設けたものである。また、初段の昇圧ユニットの1 1 aの入力端子、すなわちM O SトランジスタQ N 1, Q N 2の電流通路の一端は、電源端子1 4に代えて接地点G N Dに接続する。

【0015】

同様に、上記図1 2に示した回路におけるNチャネル型M O SトランジスタQ N 1 ~ Q N 1 3に代えて、Pチャネル型M O SトランジスタQ P 1 ~ Q P 1 3を設けた図1 6に示すような構成の負の昇圧電圧を発生する昇圧回路にも適用できる。

40

【0016】

ところで、図1 6に示すような負の昇圧電圧を発生する昇圧回路を構成した場合、リセット用のPチャネル型M O SトランジスタQ P 8 ~ Q P 1 3のゲートには、接地電位と所定の負の昇圧電位間の振幅のリセット信号R S T 'を与える必要がある。しかし、通常のリセット信号R S Tは接地電位と電源電位間の振幅の信号であるため、そのまま単純にPチャネル型M O SトランジスタQ P 8 ~ Q P 1 3のゲートに与えることはできない。このようなリセット信号R S T 'を生成するために、別の負電圧発生回路を設けることは勿論可能であるが、回路が増えるとともに制御が複雑化するという問題がある。

【0017】

50

**【発明が解決しようとする課題】**

上記のように従来の昇圧回路は、電荷が残存するトランジスタのゲートノードをリセットするために、振幅の大きなリセット信号を生成する必要があり、リセット信号のために別の電圧発生回路を用いると回路規模が増大したり、制御が複雑化するという問題があった。

**【0018】**

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、電荷が残存するトランジスタのゲートノードをリセットする構成であっても、回路規模の増大を抑制できるとともに制御の簡単化も図れる昇圧回路を提供することにある。

**【0021】****【課題を解決するための手段】**

この発明の一態様に係る昇圧回路は、初段の入力端子に電源電位または接地電位が印加され、各々の出力端子が順次次段の入力端子にそれぞれ接続された複数の昇圧ユニットと、上記昇圧ユニットの最終段の出力電位で制御され、最終段より前の段の昇圧ユニットの出力電位を転送する出力回路部と、上記出力回路部から出力される正または負の昇圧電位を電源の一方に用いて、上記正または負の昇圧電位と接地電位間の振幅のリセット信号を生成し、上記各昇圧ユニットに供給することにより、各昇圧ユニットにおける電荷が残存するトランジスタのゲートノードをリセットするリセットパルス発生器と、上記リセットパルス発生器における上記正または負の昇圧電位が印加されるノードを、上記電荷が残存するトランジスタのゲートノードのリセット後にディスチャージするディスチャージ回路とを具備する。

**【0022】**

上記のような構成によれば、リセット信号の生成に昇圧部の出力電圧自身を用いるので、簡単な論理回路のみで構成でき、別の負電圧発生回路を用いる必要がなくなり、比較的簡単な制御で昇圧ユニットの電荷が残存するトランジスタのゲートノードをリセットできる。従って、回路規模の増大を抑制できるとともに制御の簡単化も図れる昇圧回路を提供できる。

**【0023】****【発明の実施の形態】**

以下、この発明の実施の形態について図面を参照して説明する。

**〔第1の実施の形態〕**

図1は、この発明の第1の実施の形態に係る昇圧回路について説明するためのもので、4相型負電圧発生昇圧回路である。この回路は、いわゆる降圧回路であるが、以降の説明では負電圧を発生する昇圧回路として説明する。

**【0024】**

この4相型負電圧発生昇圧回路は、リセット信号発生部21、昇圧部22及びトランジスタ部23で構成されている。トランジスタ部23は、昇圧部22と他の回路との間に設けられ、スイッチング信号SWNによってオン/オフ制御されることにより、昇圧部22から出力される負電圧VBBを負荷となる他の回路へ供給したり、遮断したりする。

**【0025】**

上記リセット信号発生部21は、リセットパルス発生器24、ディスチャージ回路25及びキャパシタ26から構成されている。上記リセットパルス発生器24は、ハイレベルシフタ27、ロウレベルシフタ28、インバータ回路29～31、Nチャネル型MOSトランジスタQN50、QN51、及びPチャネル型MOSトランジスタQP50等から構成されている。上記ハイレベルシフタ27、ロウレベルシフタ28及びインバータ回路29～31はそれぞれ、入力端子と出力端子とが順次接続されている。上記ハイレベルシフタ27は正電圧VSWと接地点GND間の電圧で動作し、上記ロウレベルシフタ28及びインバータ回路29～31はそれぞれ、正電圧VSWと昇圧部22から出力される負電圧VBBで動作する。上記正電圧VSWは、電源電圧VCCでも良いし、電源電圧VCCから発生した別の電圧でも良い。リセット信号RSTは、ハイレベルシフタ27の入力端子I

10

20

30

40

50

Nに供給され、このハイレベルシフタ27の出力端子OUT, OUTBから出力される信号がロウレベルシフタ28の入力端子IN, INBに供給される。このロウレベルシフタ28の出力端子OUTから出力される信号は、インバータ回路28の入力端子に供給され、このインバータ回路29の出力信号がインバータ回路30の入力端子に供給される。インバータ回路30の出力信号は、インバータ回路31の入力端子及び上記MOSトランジスタQP50, QN51のゲートに供給される。上記インバータ回路31の出力信号は、上記MOSトランジスタQN50のゲートに供給される。

#### 【0026】

上記MOSトランジスタQN50, QN51の電流通路の一端はそれぞれ接地点GNDに接続され、他端はMOSトランジスタQN51の電流通路の一端に共通接続される。このMOSトランジスタQN51の電流通路の他端は、電源線32に接続される。この電源線32には、昇圧部22で発生した負電圧VBBが供給される。そして、上記MOSトランジスタQN50, QP50, QN51の電流通路の接続点から内部リセット信号RSTHBを発生し、昇圧部22に供給する。この内部リセット信号RSTHBは、リセット信号RSTがロウレベルの時には0V、ハイレベルの時にはVBBレベルとなる。

#### 【0027】

上記ディスチャージ回路25は、ハイレベルシフタ33、ロウレベルシフタ34、インバータ回路35, 36、及びNチャネル型MOSトランジスタQN52等から構成されている。上記ハイレベルシフタ33、ロウレベルシフタ34及びインバータ回路35, 36はそれぞれ、入力端子と出力端子とが順次接続されている。上記ハイレベルシフタ33は、正電圧VSWと接地点GND間の電圧で動作し、ロウレベルシフタ34及びインバータ回路35, 36はそれぞれ、正電圧VSWと昇圧回路22から出力される負電圧VBBで動作する。ディスチャージ信号GNDENは、ハイレベルシフタ33の入力端子INに供給され、このハイレベルシフタ33の出力端子OUT, OUTBから出力される信号がロウレベルシフタ34の入力端子IN, INBに供給される。このロウレベルシフタ34の出力端子OUTから出力される信号は、インバータ回路35の入力端子に供給され、このインバータ回路35の出力信号がインバータ回路36の入力端子に供給される。インバータ回路36の出力信号は、上記MOSトランジスタQN52のゲートに供給される。上記MOSトランジスタQN52の電流通路の一端は、電源線32に接続され、他端は接地点GNDに接続されている。

#### 【0028】

上記キャパシタ26は、上記電源線32と接地点GND間に接続されている。このキャパシタ26は、上記昇圧部22中の内部リセット信号RSTHBが入力されるPチャネル型MOSトランジスタの全ゲート容量と同程度、またはそれに比べて大きい容量を有するキャパシタまたは寄生容量である。このキャパシタ26としてはゲート容量を用いても良いし、2つのポリシリコン層間、2つの金属層間、またはポリシリコン層と金属間の静電容量でも良い。

#### 【0029】

なお、負電圧VBBが供給される電源線32には、この電源線32が配線されるPNジャンクション容量やMOSトランジスタのゲート電極とソース領域とのオーバーラップ容量等の大きい寄生容量が付随することがある。この場合には、外付けのキャパシタ26は不要になる。内部リセット信号RSTHBが入力されるPチャネル型MOSトランジスタの全ゲート容量と同程度、またはそれに比べて大きい容量が必要なのは、キャパシタ26の一方の電極側の負電圧VBBは、リセット時にゲート容量との分割電圧になってもPチャネル型MOSトランジスタのオン抵抗が十分に低くなるようにするためである。

#### 【0030】

図2(a)は、上記図1に示した回路におけるハイレベルシフタ27, 33の構成例を示す回路図である。このハイレベルシフタは、Pチャネル型MOSトランジスタQP60, QP61、Nチャネル型MOSトランジスタQN60, QN61及びインバータ40で構成されている。上記MOSトランジスタQP60, QP61の電流通路の一端及びバック

10

20

30

40

50



ゲートには、正電圧 $V_{SW}$ が印加される。これら $MOS$ トランジスタ $QP60$ 、 $QP61$ の電流通路の他端と接地点 $GND$ 間にはそれぞれ、 $MOS$ トランジスタ $QN60$ 、 $QN61$ の電流通路が接続されている。上記 $MOS$ トランジスタ $QP60$ のゲートは、上記 $MOS$ トランジスタ $QP61$ 、 $QN61$ の電流通路の接続点（出力端子 $OUT$ ）に接続される。また、上記 $MOS$ トランジスタ $QP61$ のゲートは、上記 $MOS$ トランジスタ $QP60$ 、 $QN60$ の電流通路の接続点（出力端子 $OUTB$ ）に接続される。上記 $MOS$ トランジスタ $QN60$ のゲートは入力端子 $IN$ に接続される。この入力端子 $IN$ には、インバータ40の入力端子が接続され、インバータ40の出力端子は $MOS$ トランジスタ $QN61$ のゲートに接続されている。

#### 【0031】

10

上記入力端子 $IN$ に供給されたりセット信号 $RST$ またはディスチャージ信号 $GNDEN$ のハイレベルは、正電圧 $V_{SW}$ にレベルシフトされ、出力端子 $OUT$ または $OUTB$ から相補的に出力される。

#### 【0032】

図2(b)は、上記図1に示した回路におけるロウレベルシフタ28、34の構成例を示す回路図である。このロウレベルシフタは、 $P$ チャネル型 $MOS$ トランジスタ $QP62$ 、 $QP63$ 、及び $N$ チャネル型 $MOS$ トランジスタ $QN62$ 、 $QN63$ で構成されている。上記 $MOS$ トランジスタ $QP62$ 、 $QP63$ の電流通路の一端及びバックゲートには、正電圧 $V_{SW}$ が印加される。これら $MOS$ トランジスタ $QP62$ 、 $QP63$ の電流通路の他端と負電圧 $V_{BB}$ が印加される電源線32間にはそれぞれ、 $MOS$ トランジスタ $QN62$ 、 $QN63$ の電流通路が接続されている。上記 $MOS$ トランジスタ $QP62$ のゲートには入力端子 $IN$ が接続されており、上記 $MOS$ トランジスタ $QP63$ のゲートには入力端子 $INB$ が接続されている。これらの入力端子 $IN$ 、 $INB$ にはそれぞれ、ハイレベルシフタ27または33の出力端子 $OUT$ 、 $OUTB$ がそれぞれ接続される。上記 $MOS$ トランジスタ $QN62$ のゲートは、上記 $MOS$ トランジスタ $QP63$ 、 $QN63$ の電流通路の接続点（出力端子 $OUT$ ）に接続される。また、上記 $MOS$ トランジスタ $QN63$ のゲートは、上記 $MOS$ トランジスタ $QP62$ 、 $QN62$ の電流通路の接続点（出力端子 $OUTB$ ）に接続される。

20

#### 【0033】

上記入力端子 $IN$ 、 $INB$ に供給されたハイレベルシフタの出力信号のロウレベルは、負電圧 $V_{BB}$ にレベルシフトされ、出力端子 $OUT$ 、 $OUTB$ から相補的に出力される。よって、上記ハイレベルシフタとロウレベルシフタを通過したリセット信号 $RST$ またはディスチャージイネーブル信号 $GNDEN$ は、正電圧 $V_{SW}$ と負電圧 $V_{BB}$ 間の振幅の信号となる。

30

#### 【0034】

なお、上記図2(b)に示したロウレベルシフタは、出力端子 $OUT$ と $OUTB$ を備えているが、図1に示した回路構成の場合には、出力端子 $OUT$ のみを利用している。

#### 【0035】

また、図3(a)は、上記図1に示した回路におけるインバータ回路29~31、35、36の構成例を示す回路図である。このインバータ回路は、正電圧 $V_{SW}$ と負電圧 $V_{BB}$ を電源電圧として動作する $CMOS$ インバータ構成になっている。すなわち、入力端子 $IN$ には $P$ チャネル型 $MOS$ トランジスタ $QP70$ と $N$ チャネル型 $MOS$ トランジスタ $QN70$ のゲートが接続される。上記 $MOS$ トランジスタ $QP70$ の電流通路の一端とバックゲートに正電圧 $V_{SW}$ が印加される。また、 $N$ チャネル型 $MOS$ トランジスタ $QN70$ の電流通路の一端には、負電圧 $V_{BB}$ が印加される。これら $MOS$ トランジスタ $QP70$ 、 $QN70$ の電流通路の他端は共通接続され、出力端子 $OUT$ に接続されている。

40

#### 【0036】

上記構成にあっては、入力端子 $IN$ に供給された信号が反転され、この反転信号のハイレベルは正電圧 $V_{SW}$ 、ロウレベルは負電圧 $V_{BB}$ となって出力端子 $OUT$ から出力される。

50

## 【 0 0 3 7 】

図 3 ( b ) は、上記図 1 に示した回路におけるインバータ回路 2 9 ~ 3 1 , 3 5 , 3 6 の他の構成例を示す回路図である。このインバータ回路は、Pチャネル型MOSトランジスタQ P 7 1 とNチャネル型MOSトランジスタQ N 7 1 , Q N 7 2 とで構成されている。上記MOSトランジスタQ P 7 1 , Q N 7 1 , Q N 7 2 の電流通路は直列接続されている。MOSトランジスタQ P 7 1 の電流通路の一端とバックゲートには、正電圧V S W が印加される。上記MOSトランジスタQ N 7 2 の電流通路の一端には、負電圧V B B が印加される。第 1 の入力端子I N 1 にはMOSトランジスタQ P 7 1 , Q N 7 2 のゲートが接続され、第 2 の入力端子I N 2 にはMOSトランジスタQ N 7 1 のゲートが接続される。そして、上記MOSトランジスタQ P 7 1 , Q N 7 1 の電流通路の接続点に、出力端子O U T が接続されている。

10

## 【 0 0 3 8 】

上記構成のインバータ回路において、第 1 , 第 2 の入力端子I N 1 , I N 2 を短絡して用いる。この構成では、MOSトランジスタQ P 7 1 とQ N 7 2 間にMOSトランジスタQ N 7 1 が介在されることにより、より高い耐圧を確保できる。なお、短絡した入力端子I N 1 , I N 2 に供給された信号が反転され、この反転信号のハイレベルが正電圧V S W 、ロウレベルが負電圧V B B となって出力端子O U T から出力される点は図 3 ( a ) に示した回路と同様である。

## 【 0 0 3 9 】

図 4 は、上記図 1 に示した回路における昇圧部 2 2 の構成例について説明するための回路図である。この昇圧部 2 2 は、昇圧ユニット ( 昇圧セル ) 5 1 a , 5 1 b 、昇圧ユニット 5 2 、及び出力回路部 5 3 で構成されている。各昇圧ユニット 5 1 a , 5 1 b , 5 2 はそれぞれ、4 つのMOSトランジスタ ( MOS F E T ) と 2 つのキャパシタで構成され、各々の出力端子と入力端子がそれぞれ順次接続されている。

20

## 【 0 0 4 0 】

すなわち、上記昇圧ユニット 5 1 a は、Pチャネル型MOSトランジスタQ P 3 1 , Q P 3 2 , Q P 4 1 , Q P 4 2 とキャパシタC 3 1 , C 3 2 を備えている。上記MOSトランジスタQ P 3 1 , Q P 3 2 の電流通路の一端はそれぞれ、接地点G N D に接続される。上記MOSトランジスタQ P 3 2 の電流通路の他端はMOSトランジスタQ P 3 1 のゲートに接続され、ゲートは上記MOSトランジスタQ P 3 1 の電流通路の他端に接続される。上記キャパシタC 3 1 の一方の電極は、上記MOSトランジスタQ P 3 1 の電流通路の他端に接続され、このキャパシタC 3 1 の他方の電極にはクロック信号p h i 1 が供給される。上記キャパシタC 3 2 の一方の電極は、上記MOSトランジスタQ P 3 1 のゲートに接続され、このキャパシタC 3 2 の他方の電極にはクロック信号p h i 3 が供給される。上記MOSトランジスタQ P 4 1 の電流通路は、MOSトランジスタQ P 3 2 のゲートと接地点G N D 間に接続され、このMOSトランジスタQ P 4 1 のゲートには上記リセット信号発生部 2 1 から出力される内部リセット信号R S T H B が供給される。また、上記MOSトランジスタQ P 4 2 の電流通路は、MOSトランジスタQ P 3 1 のゲートと接地点G N D 間に接続され、このMOSトランジスタQ P 4 2 のゲートには上記内部リセット信号R S T H B が供給される。

30

40

## 【 0 0 4 1 】

同様に、上記昇圧ユニット 5 1 b は、Pチャネル型MOSトランジスタQ P 3 3 , Q P 3 4 , Q P 4 3 , Q P 4 4 とキャパシタC 3 3 , C 3 4 を備えている。上記MOSトランジスタQ P 3 3 , Q P 3 4 の電流通路の一端はそれぞれ、上記MOSトランジスタQ P 3 1 の電流通路の他端に接続される。上記MOSトランジスタQ P 3 4 の電流通路の他端はMOSトランジスタQ P 3 3 のゲートに接続され、ゲートは上記MOSトランジスタQ P 3 3 の電流通路の他端に接続される。上記キャパシタC 3 3 の一方の電極は、上記MOSトランジスタQ P 3 3 の電流通路の他端に接続され、このキャパシタC 3 3 の他方の電極にはクロック信号p h i 2 が供給される。上記キャパシタC 3 4 の一方の電極は、上記MOSトランジスタQ P 3 3 のゲートに接続され、このキャパシタC 3 4 の他方の電極にはク

50

ロック信号  $phi_4$  が供給される。上記 MOS トランジスタ  $QP_{43}$  の電流通路は、MOS トランジスタ  $QP_{34}$  のゲートと接地点  $GND$  間に接続され、この MOS トランジスタ  $QP_{43}$  のゲートには上記内部リセット信号  $RSTHB$  が供給される。また、上記 MOS トランジスタ  $QP_{44}$  の電流通路は、MOS トランジスタ  $QP_{33}$  のゲートと接地点  $GND$  間に接続され、この MOS トランジスタ  $QP_{44}$  のゲートには上記内部リセット信号  $RSTHB$  が供給される。

#### 【0042】

また、上記昇圧ユニット 52 は、P チャネル型 MOS トランジスタ  $QP_{35}$ 、 $QP_{36}$ 、 $QP_{45}$ 、 $QP_{46}$  とキャパシタ  $C_{35}$ 、 $C_{36}$  を備えている。上記 MOS トランジスタ  $QP_{35}$ 、 $QP_{36}$  の電流通路の一端はそれぞれ、上記 MOS トランジスタ  $QP_{33}$  の電流通路の他端に接続される。上記 MOS トランジスタ  $QP_{36}$  の電流通路の他端は MOS トランジスタ  $QP_{35}$  のゲートに接続され、ゲートは上記 MOS トランジスタ  $QP_{35}$  の電流通路の他端に接続される。上記キャパシタ  $C_{35}$  の一方の電極は、上記 MOS トランジスタ  $QP_{35}$  の電流通路の他端に接続され、このキャパシタ  $C_{35}$  の他方の電極にはクロック信号  $phi_1$  が供給される。上記キャパシタ  $C_{36}$  の一方の電極は、上記 MOS トランジスタ  $QP_{35}$  のゲートに接続され、このキャパシタ  $C_{36}$  の他方の電極にはクロック信号  $phi_3$  が供給される。上記 MOS トランジスタ  $QP_{45}$  の電流通路は、MOS トランジスタ  $QP_{35}$  のゲートと接地点  $GND$  間に接続され、この MOS トランジスタ  $QP_{45}$  のゲートには上記内部リセット信号  $RSTHB$  が供給される。また、上記 MOS トランジスタ  $QP_{46}$  の電流通路は、MOS トランジスタ  $QP_{36}$  のゲートと接地点  $GND$  間に接続され、この MOS トランジスタ  $QP_{46}$  のゲートには上記内部リセット信号  $RSTHB$  が供給される。

#### 【0043】

上記出力回路部 53 は、P チャネル型 MOS トランジスタ  $QN_{37}$  によって構成されている。上記 MOS トランジスタ  $QN_{37}$  の電流通路の一端は、上記 MOS トランジスタ  $QP_{33}$  の電流通路の他端に接続され、この MOS トランジスタ  $QP_{37}$  のゲートは上記 MOS トランジスタ  $QP_{35}$  のゲートに接続される。そして、上記 MOS トランジスタ  $QN_{37}$  の電流通路の他端から、昇圧した負電圧  $V_{BB}$  を出力するようになっている。

#### 【0044】

上記のように、昇圧部 22 の回路構成は、基本的には図 16 に示した回路と同様であるが、リセット用の各 MOS トランジスタ  $QP_{41} \sim QP_{46}$  のゲートに供給する内部リセット信号  $RSTHB$  として、リセット信号発生回路 21 の出力信号を用いている。このリセット信号発生回路 21 は、この昇圧部 22 から出力される負電圧  $V_{BB}$  を用いて上記内部リセット信号  $RSTHB$  を生成する。

#### 【0045】

図 5 は、上記図 1 乃至図 4 に示した昇圧回路の動作を説明するためのタイミングチャートである。図示するように、従来の昇圧回路と同様にクロック信号  $phi_1$ 、 $phi_2$ 、 $phi_3$ 、 $phi_4$  が入力されると、これらクロック信号の 1 サイクル毎に MOS トランジスタ  $QP_{37}$  のゲート電圧  $V_G$  と出力電圧  $V_{BB}$  が低下して行く。そして、出力電圧  $V_{BB}$  が所望の昇圧レベル  $V_{neg}$  まで低下し、リセット信号  $RST$  が入力されると、このリセット信号  $RST$  から内部リセット信号  $RST$  が生成されてリセット用の MOS トランジスタ  $QP_{41} \sim QP_{46}$  のゲートが駆動され、各 MOS トランジスタ  $QP_{31} \sim QP_{37}$  のゲートを接地電位 ( $0V$ ) にする。このとき、スイッチング信号  $SWN$  を上記負の昇圧レベル  $V_{neg}$  にしてトランジスタ部 23 を遮断する。この時点では、出力電圧  $V_{BB}$  は負の昇圧レベル  $V_{neg}$  を保持している。その後、ディスチャージ信号  $GNDEN$  がハイレベルとなると、出力電圧  $V_{BB}$  とスイッチング信号  $SWN$  は、接地電位 ( $0V$ ) となる。

#### 【0046】

ここで、リセット信号  $RST$  のタイミングによらず、トランジスタ部 23 をオンさせる場合には、 $SWN'$  に示すように正電圧  $V_{SW}$  に固定すれば良い。

10

20

30

40

50

## 【 0 0 4 7 】

上記のような構成によれば、リセット信号の生成に昇圧部 2 2 の出力電圧  $V_{BB}$  自身を用いるので、静電容量といくつかの論理回路のみで接地電位と所定の負の昇圧電位間の振幅のリセット信号を容易に発生することが可能となる。よって、別の負電圧発生回路を用いる必要がなくなり、回路規模の増大を抑制できるとともに制御の簡単化も図れる。

## 【 0 0 4 8 】

なお、図 4 に示した昇圧部 2 2 において、負電圧  $V_{BB}$  の出力ノードと接地点  $GND$  間に、リセット用の P チャネル型 MOS トランジスタを設け、昇圧動作の終了後、この MOS トランジスタのゲートに内部リセット信号  $RST$  を供給し、出力ノードも接地してリセットするように構成しても良いのは勿論である。

10

## 【 0 0 4 9 】

## 〔 第 2 の実施の形態 〕

図 6 乃至図 8 はそれぞれ、この発明の第 2 の実施の形態に係る昇圧回路について説明するためのもので、4 相型正電圧発生昇圧回路に適用した例である。正電圧発生回路の内部（電荷が残存する）トランジスタのゲートノードを接地電位にリセットするには、電源電圧  $V_{CC}$  の振幅の信号で可能だが、この場合には内部トランジスタのゲートノードを  $0V$  から昇圧する必要があるため効率が悪い。そこで、昇圧回路の出力電圧  $V_{PP}$  をリセット用の MOS トランジスタのゲートに与えることによって、内部トランジスタのゲートノードを  $V_{CC}$  レベルにリセットできるようにしている。従って、内部トランジスタのゲートノードが  $V_{CC}$  レベルから昇圧することになるので、 $0V$  にリセットする場合に比べて昇圧に必要な電荷を  $V_{CC}$  分減らすことができる。

20

## 【 0 0 5 0 】

図 6 に示す 4 相型正電圧発生昇圧回路は、リセット信号発生部 4 1、昇圧部 4 2 及びこれらの回路部 4 1、4 2 間を接続するトランジスタ部 4 3 とで構成されている。上記トランジスタ部 4 3 は、昇圧部 4 2 の出力端と他の回路との間に設けられ、スイッチング信号  $SWP$  によってオン/オフ制御されることにより、昇圧部 4 2 から出力される正電圧  $V_{PP}$  を負荷となる他の回路へ供給したり、遮断したりする。

## 【 0 0 5 1 】

上記リセット信号発生部 4 1 は、リセットパルス発生器 4 4、ディスチャージ回路 4 5 及びキャパシタ 4 6 から構成されている。上記リセットパルス発生器 4 4 は、ハイレベルシフタ 4 7、インバータ回路 4 8、4 9 等から構成されている。上記ハイレベルシフタ 4 7 及びインバータ回路 4 8、4 9 はそれぞれ、入力端子と出力端子とが順次接続されており、昇圧回路 4 2 から出力される正の昇圧電圧  $V_{PP}$  と接地点  $GND$  間の電圧で動作する。リセット信号  $RST$  は、ハイレベルシフタ 4 7 の入力端子  $IN$  に供給され、このハイレベルシフタ 4 7 の出力端子  $OUT$  から出力される信号がインバータ回路 4 8 の入力端子に供給され、このインバータ回路 4 8 の出力信号がインバータ回路 4 9 の入力端子に供給される。このインバータ回路 4 9 の出力信号は、内部リセット信号  $RSTH$  として出力される。この内部リセット信号  $RSTH$  は、リセット信号  $RST$  がロウレベルの時には  $0V$ 、ハイレベルの時には  $V_{PP}$  レベルとなる。

30

## 【 0 0 5 2 】

上記ディスチャージ回路 4 5 は、ハイレベルシフタ 5 0、インバータ回路 5 1、5 2、N チャネル型 MOS トランジスタ  $QN80$  等から構成されている。上記ハイレベルシフタ 5 0 及びインバータ回路 5 1、5 2 はそれぞれ、入力端子と出力端子とが順次接続されており、昇圧部 4 2 から出力される昇圧電圧  $V_{PP}$  と接地点  $GND$  間の電圧で動作する。ディスチャージ信号  $GNDEN$  は、ハイレベルシフタ 5 0 の入力端子  $IN$  に供給され、このハイレベルシフタ 5 0 の出力端子  $OUT$  から出力される信号がインバータ回路 5 1 の入力端子に供給され、このインバータ回路 5 1 の出力信号がインバータ回路 5 2 の入力端子に供給される。このインバータ回路 5 2 の出力信号は、上記 MOS トランジスタ  $QN80$  のゲートに供給される。上記 MOS トランジスタ  $QN80$  の電流通路の一端は、昇圧部 4 2 の出力電圧  $V_{PP}$  が供給される電源線 5 3 に接続され、他端は電源  $V_{CC}$  に接続されている

40

50

。

## 【 0 0 5 3 】

上記キャパシタ 4 6 は、上記電源線 5 3 と電源 V C C 間に接続されている。このキャパシタ 4 6 は、第 1 の実施の形態と同様に、上記昇圧部 4 2 中の内部リセット信号 R S T H が入力される N チャネル型 M O S トランジスタの全ゲート容量と同程度、またはそれに比べて大きい容量を有するキャパシタまたは寄生容量である。このキャパシタ 4 6 としてはゲート容量を用いても良いし、2 つのポリシリコン層間、2 つの金属層間、またはポリシリコン層と金属間の静電容量でも良い。

## 【 0 0 5 4 】

なお、昇圧電圧 V P P が供給される電源線 5 3 には、この電源線 5 3 が配線される P N ジャンクション容量や M O S トランジスタのゲート電極とソース領域とのオーバーラップ容量等の大きい寄生容量が付随することがある。この場合には、外付けのキャパシタ 4 6 は不要になる。内部リセット信号 R S T H が入力される N チャネル型 M O S トランジスタの全ゲート容量と同程度、またはそれに比べて大きい容量が必要なのは、キャパシタ 4 6 の一方の電極側の電圧 V P P は、リセット時にゲート容量との分割電圧になってしまっても N チャネル型 M O S トランジスタのオン抵抗が十分に低くなるようにするためである。

## 【 0 0 5 5 】

図 7 は、上記図 6 に示した回路における昇圧部 4 2 の構成例について説明するための回路図である。この回路は、上記図 4 に示した回路における P チャネル型 M O S トランジスタ Q P 3 1 ~ Q P 3 7 , Q P 4 1 ~ Q P 4 6 に代えて N チャネル型 M O S トランジスタ Q N 3 1 ~ Q N 3 7 , Q N 4 1 ~ Q N 4 6 を設けたものである。そして、上記各 M O S トランジスタ Q N 4 1 ~ Q N 4 6 のゲートには、上記リセット信号発生部 4 1 から出力される内部リセット信号 R S T H を供給している。また、各リセット用 M O S トランジスタ Q N 4 1 ~ Q N 4 6 の電流通路の一端を接地点に代えて電源 V C C に接続している。

## 【 0 0 5 6 】

このような構成であっても、図 8 のタイミングチャートに示すように、クロック信号 p h i 1 , p h i 2 , p h i 3 , p h i 4 が入力されると、これらクロック信号の 1 サイクル毎に M O S トランジスタ Q N 3 7 のゲート電圧 V G と出力電圧 V P P が上昇して行く。そして、リセット信号 R S T が入力されると、このリセット信号 R S T から内部リセット信号 R S T H が生成されてリセット用の M O S トランジスタ Q N 4 1 ~ Q N 4 6 のゲートを駆動し、各 M O S トランジスタ Q N 3 1 ~ Q N 3 7 のゲートを昇圧電圧 V P P にする。このとき、スイッチング信号 S W P を上記正の昇圧レベル V p o s にしてトランジスタ部 4 3 を遮断する。この時点では、出力電圧 V P P は正の昇圧レベル V p o s を保持している。その後、ディスチャージ信号 G N D E N がハイレベルとなると、出力電圧 V P P とスイッチング信号 V p o s は V C C レベルとなる。

## 【 0 0 5 7 】

ここで、リセット信号 R S T のタイミングによらず、トランジスタ部 4 3 をオンさせる場合には、S W P ' に示すように 0 V に固定すればよい。

## 【 0 0 5 8 】

このように、本実施の形態では、昇圧部 4 2 の出力電圧 V P P をリセット用の M O S トランジスタ Q N 4 1 ~ Q N 4 6 のゲートに与えることによって、内部トランジスタのゲートノードを V C C レベルにリセットする。よって、内部トランジスタのゲートノードを V C C レベルから昇圧開始することになるので、0 V にリセットする場合に比べて昇圧に必要な電荷を V C C 分減らすことができる。

## 【 0 0 5 9 】

## [ 第 3 の実施の形態 ]

図 9 は、この発明の第 3 の実施の形態に係る昇圧回路について説明するためのもので、上記図 1 に示した第 1 の実施の形態における昇圧部 2 2 の他の構成例を具体的に示している。すなわち、図 4 に示した回路における各キャパシタ C 3 1 ~ C 3 6 をそれぞれ直列接続した 2 個のキャパシタ C 3 1 - 1 , C 3 1 - 2 ~ C 3 6 - 1 , C 3 6 - 2 で構成すると

10

20

30

40

50

もに、これらキャパシタC31-1, C31-2~C36-1, C36-2の接続ノードと接地点GND間にもリセット用のMOSトランジスタQP100~QP105を設けたものである。

#### 【0060】

この第3の実施の形態は、次のような点を配慮したものである。すなわち、昇圧回路の内部電圧は、出力電圧よりも高くなる。このため、キャパシタに絶縁膜の厚さが薄いものを用いた場合、内部の最大電圧は絶縁膜の耐圧を超える恐れがある。勿論、十分な耐圧のある厚い絶縁膜のキャパシタを用いることも可能であるが、例えば半導体記憶装置のように薄い絶縁膜を有するキャパシタと同一工程で形成することができず、製造工程が複雑化する。そこで、本実施の形態では、薄い絶縁膜のキャパシタC31-1, C31-2~C36-1, C36-2を直列に接続して用いている。これらのキャパシタC31-1, C31-2~C36-1, C36-2としてMOS型のものを用いると、2つのキャパシタの接続ノードにはPN接合が形成される。この接続ノードは確実にリセットする必要があるが、従来のように電源電圧VCCレベルの振幅のリセット信号を用いるとリセットすることができなかった。しかし、昇圧された負電圧VBBと接地電位間の振幅のリセット信号RSTHBを用いることにより、これらのキャパシタC31-1, C31-2~C36-1, C36-2の接続ノードを確実にリセットできる。

10

#### 【0061】

なお、上記図7に示した回路における各キャパシタC31~C36をそれぞれ直列接続した2個のキャパシタで構成するとともに、これらキャパシタの接続ノードと電源VCC間にリセット用のMOSトランジスタを設けても良いのは勿論である。

20

#### 【0062】

上述したように、4相型電圧発生昇圧回路のリセット信号に昇圧部の出力電圧自身を用いてリセット信号を生成することによって、別の電圧発生回路を用いる必要がなくなり、簡単な論理回路のみで構成できるため、比較的容易に内部トランジスタのゲートノードのリセットを行うことができる。

#### 【0063】

##### 【発明の効果】

以上説明したように、この発明によれば、電荷が残存するトランジスタのゲートノードをリセットする構成であっても、回路規模の増大を抑制できるとともに制御の簡単化も図れる昇圧回路が得られる。

30

##### 【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る昇圧回路について説明するためのもので、4相型負電圧発生昇圧回路を示す回路図。

【図2】図1に示した回路の具体的な構成例を示すもので、(a)図はハイレベルシフトの構成例、(b)図はロウレベルシフトの構成例を示す回路図。

【図3】図1に示した回路の具体的な構成例を示すもので、(a)図はインバータ回路の構成例、(b)図はインバータ回路の他の構成例を示す回路図。

【図4】図1に示した回路における昇圧部の構成例について説明するための回路図。

【図5】図1乃至図4に示した昇圧回路の動作を説明するためのタイミングチャート。

40

【図6】この発明の第2の実施の形態に係る昇圧回路について説明するためのもので、4相型正電圧発生昇圧回路を示す回路図。

【図7】図6に示した回路における昇圧部の構成例について説明するための回路図。

【図8】図6及び図7に示した回路の動作を説明するためのタイミングチャート。

【図9】この発明の第3の実施の形態に係る昇圧回路について説明するためのもので、図1に示した第1の実施の形態における昇圧部の他の構成例を説明するための回路図。

【図10】従来の昇圧回路の構成例を示す回路図。

【図11】図10に示した昇圧回路の動作を説明するためのタイミングチャート。

【図12】従来の昇圧回路の他の構成例を示す回路図。

【図13】図12に示した昇圧回路の動作を説明するためのタイミングチャート。

50

【図 1 4】従来の昇圧回路の更に他の構成例を示す回路図。

【図 1 5】負電圧を発生する従来の昇圧回路の構成例を示す回路図。

【図 1 6】負電圧を発生する従来の昇圧回路の他の構成例を示す回路図。

【符号の説明】

2 1 , 4 1 ... リセット信号発生部

2 2 , 4 2 ... 昇圧部

2 3 , 4 3 ... トランジスタ部

2 4 , 4 4 ... リセットパルス発生器

2 5 , 4 5 ... ディスチャージ回路

2 6 , 4 6 ... キャパシタ

2 7 , 3 3 , 4 7 , 5 0 ... ハイレベルシフタ

2 8 , 3 4 ... ロウレベルシフタ

2 9 ~ 3 1 , 3 5 , 3 6 , 4 8 , 4 9 , 5 1 , 5 2 ... インバータ回路

3 2 , 5 2 ... 電源線

Q P 3 1 ~ Q P 3 7 , Q P 4 1 ~ Q P 4 6 , Q P 5 0 , Q P 6 0 ~ Q P 6 3 , Q P 7 0 ,  
Q P 7 1 ... Pチャネル型MOSトランジスタ

Q N 3 1 ~ Q N 3 7 , Q N 4 1 ~ Q N 4 6 , Q N 5 0 , Q N 5 1 , Q N 6 0 ~ Q N 6 3 ,  
Q N 7 0 ~ Q N 7 2 , Q N 8 0 ... Nチャネル型MOSトランジスタ

C 3 1 ~ C 3 6 , C 3 1 - 1 , C 3 1 - 2 ~ C 3 6 - 1 , C 3 6 - 2 ... キャパシタ

p h i 1 ~ p h i 4 ... クロック信号

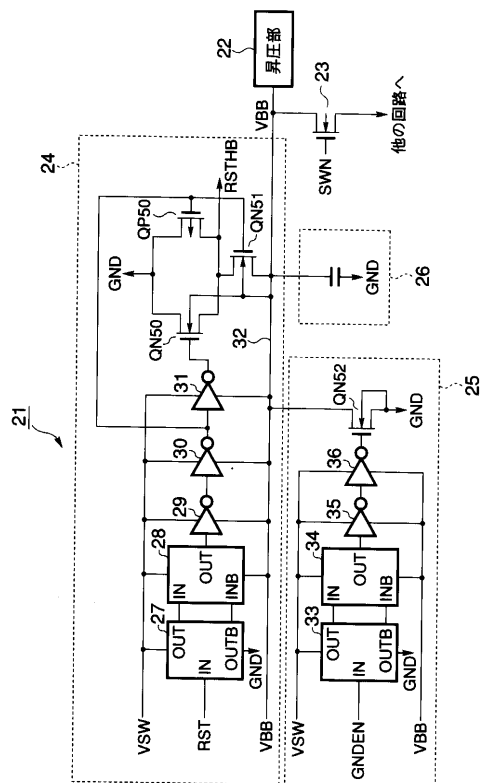
R S T H , R S T H B ... リセット信号

G N D E N ... ディスチャージ信号

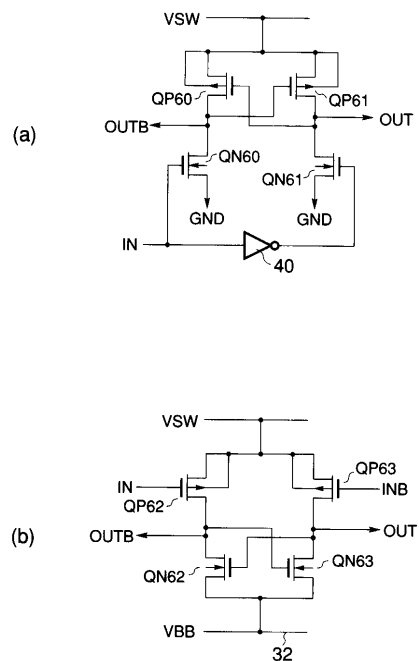
10

20

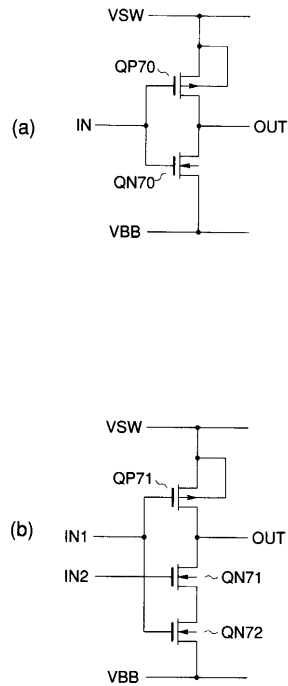
【図 1】



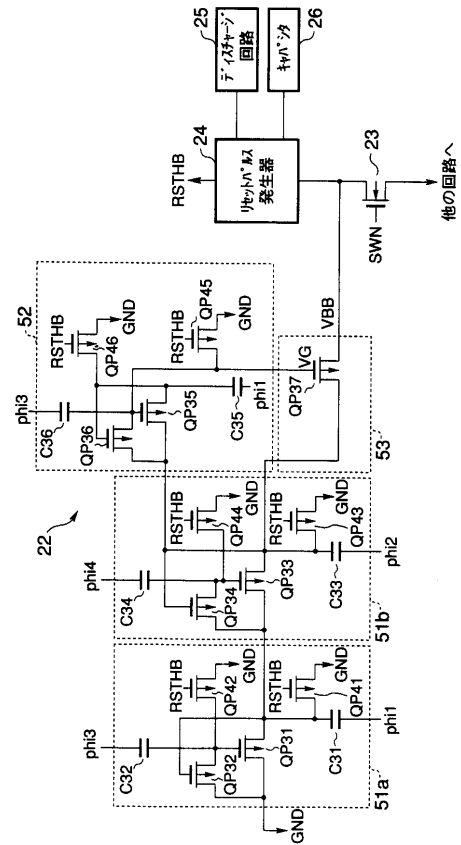
【図 2】



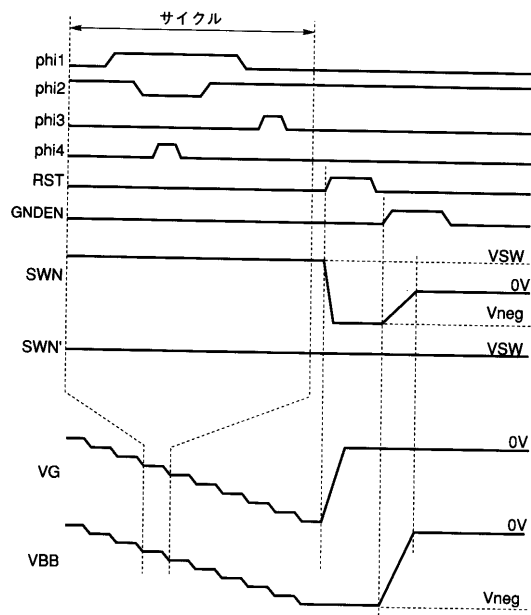
【図 3】



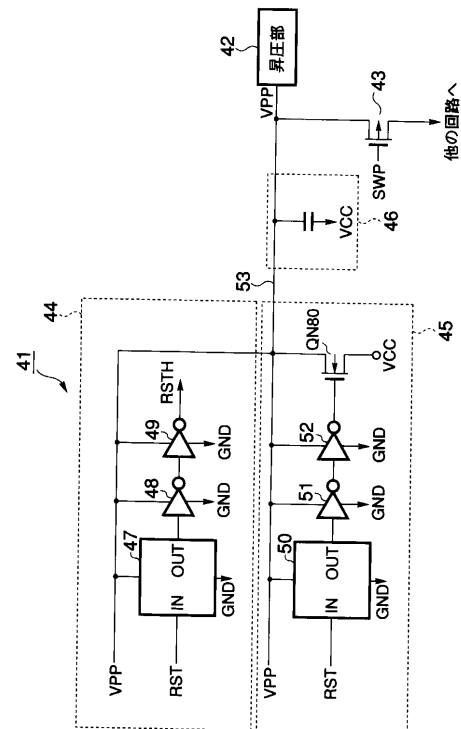
【図 4】



【図 5】

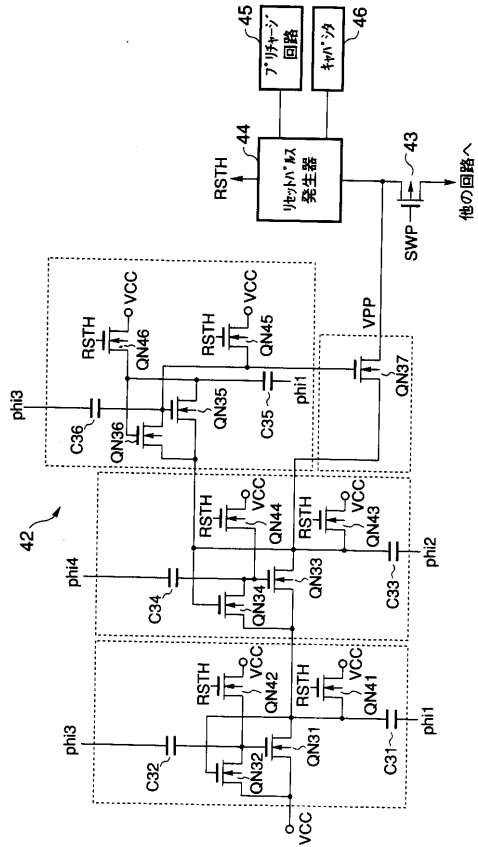


【図 6】

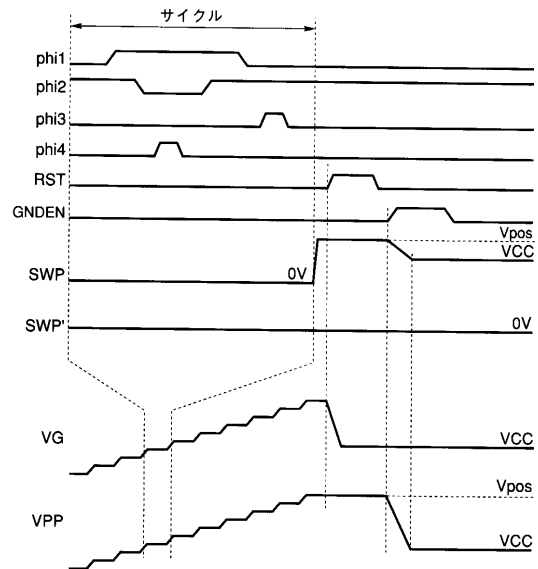




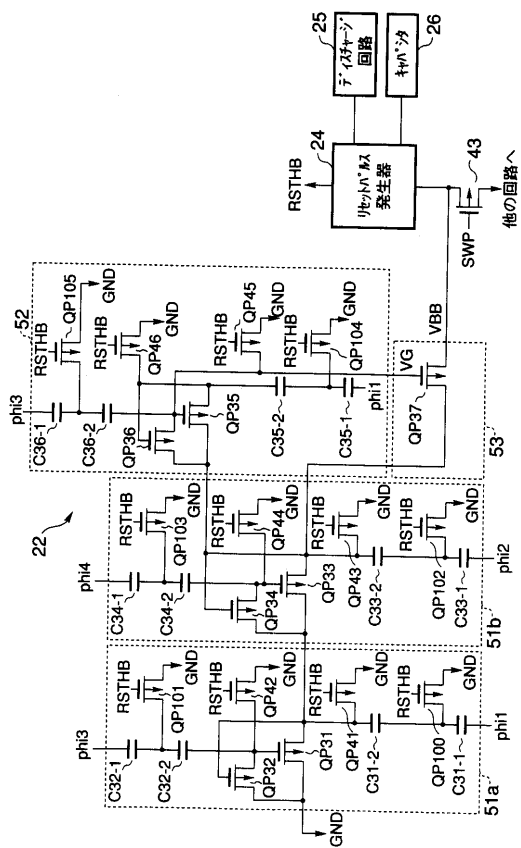
【図 7】



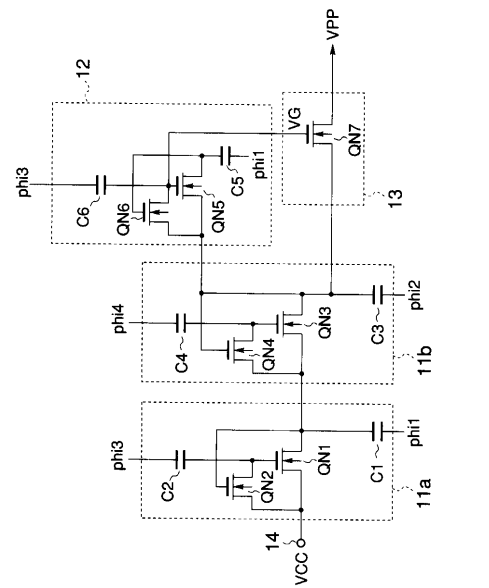
【図 8】



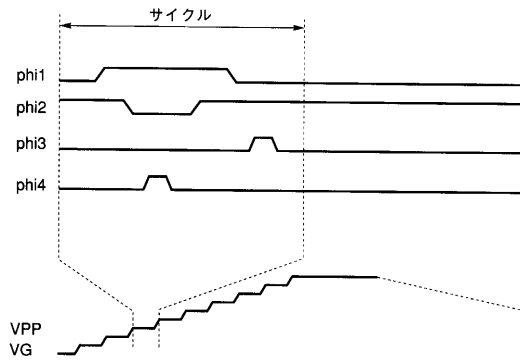
【図 9】



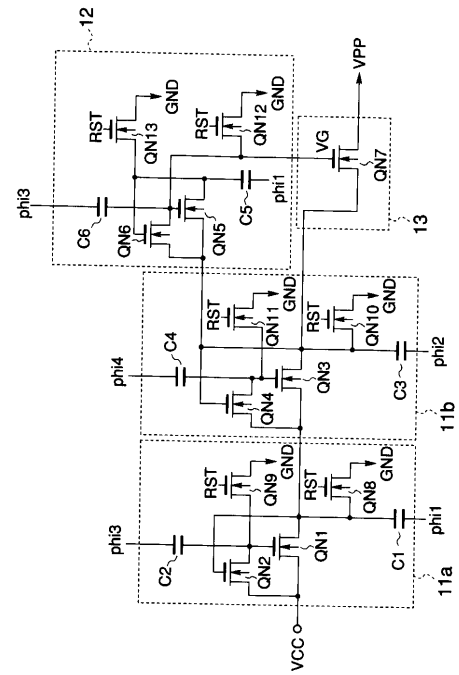
【図 10】



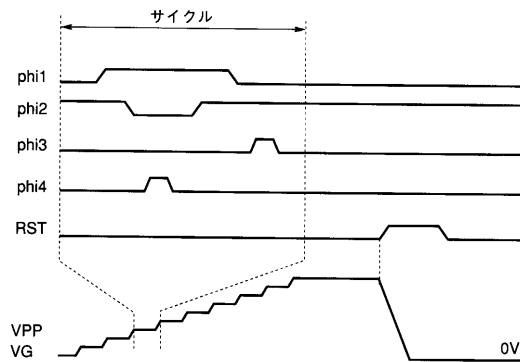
【図 1 1】



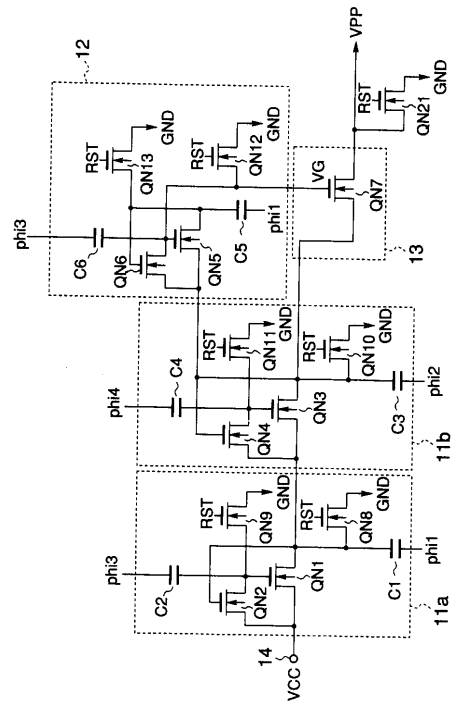
【図 1 2】



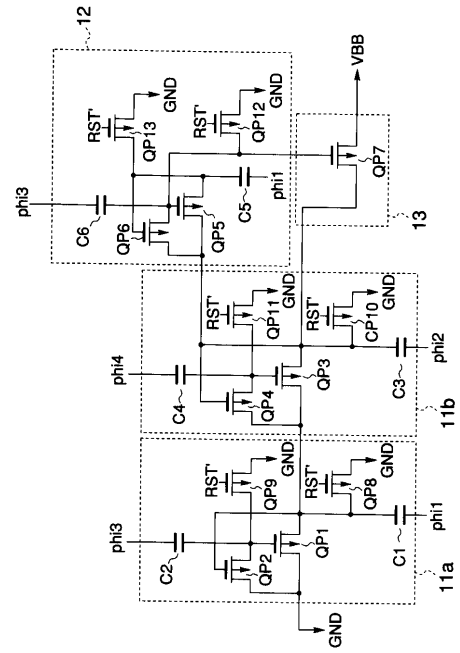
【図 1 3】



【図 1 4】



【 図 1 6 】



---

フロントページの続き

(72)発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 三島木 英宏

(56)参考文献 特開平07-111093(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/07,

H03K 5/02,

H03K 19/0185