

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-189919

(P2006-189919A)

(43) 公開日 平成18年7月20日(2006.7.20)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 13/362 (2006.01)	G06F 13/362 510E	5B060
G06F 12/00 (2006.01)	G06F 12/00 560B	5B061
G06F 13/28 (2006.01)	G06F 12/00 571B	
G06F 13/36 (2006.01)	G06F 13/28 310J	
	G06F 13/28 310Y	
審査請求 未請求 請求項の数 13 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2004-381607 (P2004-381607)
 (22) 出願日 平成16年12月28日 (2004.12.28)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 君島 裕一郎
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 Fターム(参考) 5B060 CD14 KA03 KA04
 5B061 BA01 BB07 BB13 BC05 DD09
 DD18

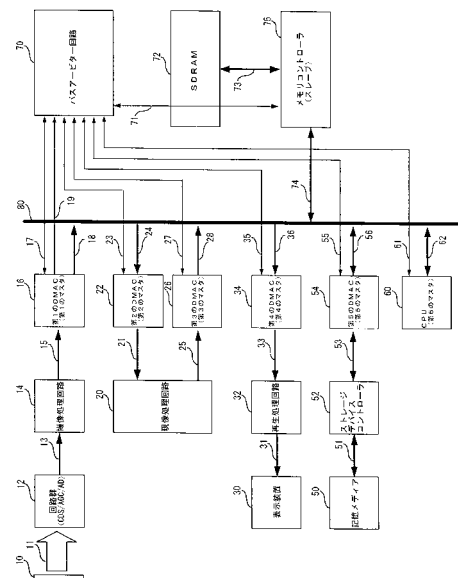
(54) 【発明の名称】 電子機器、制御方法及びコンピュータプログラム

(57) 【要約】

【課題】 リアルタイムでの処理を行えるようにする。

【解決手段】 リアルタイム性の高いバスマスタであって、撮像素子10からの撮像データをDMA伝送する第1のDMAコントローラ(第1のマスタ)16にデータバッファ100を設け、このデータバッファ100のデータ蓄積量と所定の閾値との大小判定から、バスバンド幅を推定し、バスバンド幅が足りないと推定された場合においては、他のバスマスタ22、26からの要求の一部あるいは全てを禁止することにより、第1のDMAコントローラ(第1のマスタ)16に多くのバンド幅を割り当てるようにして、撮像データをSDRAMに記録する処理をリアルタイムで行えることを保証できるようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

情報処理を行う第 1～第 n (n は 2 以上の自然数) のバスマスタから、バススレーブに対して行われる要求を受け付け、受け付けた要求の何れかを前記バススレーブに対して出力する要求受付処理手段と、

前記第 1 のバスマスタで処理されるデータを蓄積する蓄積手段と、

前記蓄積手段に蓄積されたデータの蓄積量と、閾値とを比較する比較手段と、

前記比較手段により行われた比較の結果に応じて、前記第 2～第 n のバスマスタから、前記バススレーブに対して行われる要求の少なくとも 1 つを禁止する禁止手段とを有し、

前記バススレーブは、前記第 1～第 n のバスマスタからの要求に基づいて情報処理を行うことを特徴とする電子機器。 10

【請求項 2】

被写体を撮像する撮像素子と、

前記蓄積手段は、前記撮像素子を用いた撮像動作に基づいて得られた画像データを蓄積することを特徴とする請求項 1 に記載の電子機器。

【請求項 3】

前記第 1～第 n のバスマスタから前記バススレーブに対して行われる要求、及びその要求に対する応答が、前記第 1～第 n (n は 2 以上の自然数) のバスマスタ間で非同期に行われるスプリットバストランザクション方式であることを特徴とする請求項 1 又は 2 に記載の電子機器。 20

【請求項 4】

前記比較手段により行われた比較の結果に応じて、前記禁止手段によりなされた要求の禁止を解除する解除手段を有し、

前記比較手段は、前記蓄積手段に蓄積されたデータの蓄積量と、前記第 2～第 n のバスマスタからバススレーブに対して行われる要求の少なくとも 1 つを禁止するか否かを判断するための第 1 の閾値、及び前記要求の禁止を解除するか否かを判断するための第 2 の閾値とを比較することを特徴とする請求項 1～3 の何れか 1 項に記載の電子機器。

【請求項 5】

前記比較手段は、前記蓄積手段に蓄積されたデータの蓄積量と、複数の閾値とを比較し、比較した結果に基づく複数の禁止信号を生成し、 30

前記禁止手段は、前記比較手段により生成された複数の禁止信号に基づいて、前記第 2～第 n のバスマスタから、前記バススレーブに対して行われる複数の要求を部分的に禁止することを特徴とする請求項 1～3 の何れか 1 項に記載の電子機器。

【請求項 6】

前記比較手段は、前記蓄積手段に蓄積されたデータの蓄積量と、前記第 2～第 n のバスマスタからバススレーブに対して行われる要求の少なくとも 1 つを禁止するか否かを判断するための複数の閾値、及び前記要求の禁止を解除するか否かを判断するための複数の閾値とを比較することを特徴とする請求項 5 に記載の電子機器。

【請求項 7】

情報処理を行う第 1～第 n (n は 2 以上の自然数) のバスマスタから、バススレーブに対して行われる要求を受け付け、受け付けた要求の何れかを前記バススレーブに対して出力する要求受付処理ステップと、 40

前記第 1 のバスマスタで処理されるデータを蓄積する蓄積ステップと、

前記蓄積ステップにより蓄積されたデータの蓄積量と、閾値とを比較する比較ステップと、

前記比較ステップにより行われた比較の結果に応じて、前記第 2～第 n のバスマスタから、前記バススレーブに対して行われる要求の少なくとも 1 つを禁止する禁止ステップとを有することを特徴とする制御方法。

【請求項 8】

被写体を撮像する撮像ステップを有し、 50

前記蓄積ステップは、前記撮像ステップによる撮像動作に基づいて得られた画像データを蓄積することを特徴とする請求項 7 に記載の制御方法。

【請求項 9】

前記第 1 ～第 n のバスマスタから前記バススレーブに対して行われる要求、及びその要求に対する応答を、前記第 1 ～第 n (n は 2 以上の自然数) のバスマスタ間で非同期に行うことを特徴とする請求項 7 又は 8 に記載の制御方法。

【請求項 10】

前記比較ステップにより行われた比較の結果に応じて、前記禁止ステップによりなされた要求の禁止を解除する解除ステップを有し、

前記比較ステップは、前記蓄積ステップにより蓄積されたデータの蓄積量と、前記第 2 ～第 n のバスマスタからバススレーブに対して行われる要求の少なくとも 1 つを禁止するか否かを判断するための第 1 の閾値、及び前記要求の禁止を解除するか否かを判断するための第 2 の閾値とを比較することを特徴とする請求項 7 ～ 9 の何れか 1 項に記載の制御方法。 10

【請求項 11】

前記比較ステップは、前記蓄積ステップにより蓄積されたデータの蓄積量と、複数の閾値とを比較し、比較した結果に基づく複数の禁止信号を生成し、

前記禁止ステップは、前記比較ステップにより生成された複数の禁止信号に基づいて、前記第 2 ～第 n のバスマスタから、前記バススレーブに対して行われる複数の要求を部分的に禁止することを特徴とする請求項 7 ～ 9 の何れか 1 項に記載の制御方法。 20

【請求項 12】

前記比較ステップは、前記蓄積ステップにより蓄積されたデータの蓄積量と、前記第 2 ～第 n のバスマスタからバススレーブに対して行われる要求の少なくとも 1 つを禁止するか否かを判断するための複数の閾値、及び前記要求の禁止を解除するか否かを判断するための複数の閾値とを比較することを特徴とする請求項 11 に記載の制御方法。

【請求項 13】

情報処理を行う第 1 ～第 n (n は 2 以上の自然数) のバスマスタから、バススレーブに対して行われる要求を受け付け、受け付けた要求の何れかを前記バススレーブに対して出力する要求受付処理ステップと、

前記第 1 のバスマスタで処理されるデータを蓄積する蓄積ステップと、 30
前記蓄積ステップにより蓄積されたデータの蓄積量と、閾値とを比較する比較ステップと、

前記比較ステップにより行われた比較の結果に応じて、前記第 2 ～第 n のバスマスタから、前記バススレーブに対して行われる要求の少なくとも 1 つを禁止する禁止ステップとをコンピュータに実行させることを特徴とするコンピュータプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器、制御方法及びコンピュータプログラムに関し、特に、複数のバスマスタが、バススレーブに対し要求を行って情報処理を行うために用いて好適なものである。 40

【背景技術】

【0002】

従来のバス管理方法には、CPU (Central Processing Unit)、DMAC (Direct Memory Access Controller) 等がバスマスタとしてバスを管理する方法が知られている (例えば、特許文献 1 参照)。

【0003】

【特許文献 1】特開平 11-272606 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、昨今、システムの多機能化が進むことに伴い、CPUや、DMAC以外の多数のバスマスタが接続されると、あるバスマスタがバスを占有する間、ほかのバスマスタがバスへのアクセスを待たされ、バスを使用できるまでの待ち時間が長くなる。

【0005】

そこで、バスが使用できるようになるまでの待ち時間を解消するために、スレーブへのアクセスの要求と応答を分離し、それぞれに対し、複数のマスタが非同期にバスにアクセスできる、スプリットバストランザクションという方式が採用されるようになった。この方式を採用することにより、あるマスタがバスを占有することなく、複数のマスタが非同期に連続して要求と応答を行うことが可能となり、バス全体としてのスループットが向上し、バス効率（バンド幅）を高めることが可能となった。 10

【0006】

しかしながら、例えば、スレーブとなるデバイスがSDRAMで、多数のマスタが、非同期にかつランダムに、同一バンクの異なるページ（ROWアドレス）へアクセスするような場合（以下、ページコンフリクトと呼ぶ）、即ちページクローズ（SDRAMへのプリチャージ）及びページオープン（SDRAMへのページアクティブコマンド）が、SDRAMへのアクセス毎に発生する場合、バス転送効率が大幅に低減することがある。

【0007】

また、SDRAM以外でも、スレーブとなる他のデバイスに固有の要因によって、スレーブの応答が遅れることが多々ある。よって、すべてのアプリケーションにおいて必ずしも最適な応答速度が得られるとは限らない。スプリットバス制御方式では、全体のスループットの向上は望めるものの、応答が非同期であるために、応答速度を予測することが困難な場合がある。従って、スレーブとなるデバイスがSDRAMの場合のように、ページコンフリクトが頻繁に起こる場合は、バスのパフォーマンスは著しく低下する。このような場合、リアルタイム性の高いマスタのリアルタイム保証が難しくなってくる。 20

【0008】

例えば、デジタルカメラにおいて、撮像データの取り込みを行うような場合には、センササイズの増大とともに処理するデータ量も比例し、特に、多数の撮像データを連写する場合においては、多量のデータ処理におけるリアルタイム性を保証しなくてはならない。一般的にリアルタイム保証をする場合は、当該リアルタイム性の高いマスタに高い優先度を与える。具体的には、全マスタ間で要求の調停（アービトレーション）を行い、前記のようなリアルタイム性の高いマスタには、高い優先度を割り当て、大幅なバンド幅を割り当てることより、リアルタイム保証している。 30

【0009】

しかしながら、スプリットバス制御方式であると、マスタは要求を先行して発行し、スレーブからの応答を、要求を発行した後に、非同期に受けとる。応答速度は、バスの転送効率に依存する場合が多く、前記の例のようなページコンフリクトが頻発するケースでは、応答が大幅に遅れる場合が発生する。そして、マスタが先行して発行する要求の量は限界がある。

【0010】

つまり、マスタは、要求データを送受信できる準備ができた段階で、要求コマンドをスレーブに対して送信するのであるが、応答が大幅に遅れるような場合においては、要求送信数に限界がある。したがって、優先度を高くしたいマスタの優先度をバスアービターで高く設定したとしても、当該マスタが要求の限界数を出し切った状態においては、要求をそれ以上に出すことができず、その間に、別のマスタの要求が割り込み、結果的に優先度を高くしたいマスタに十分なバス帯域（バンド幅）を割り当てられないことがある。即ち、スレーブの応答速度によっては、適切なアービトレーションを行えないことが起こりえる。そして、このような場合、リアルタイム性の高いバスであってもリアルタイムでの処理が困難になるという問題が生じる。 40

【0011】

そこで、本発明は、リアルタイムでの処理を行えるようにすることを目的とする。

【課題を解決するための手段】

【0012】

本発明に係る電子機器は、情報処理を行う第1～第n（nは2以上の自然数）のバスマスタから、バスマスタに対して行われる要求を受け付け、受け付けた要求の何れかを前記バスマスタに対して出力する要求受付処理手段と、前記第1のバスマスタで処理されるデータを蓄積する蓄積手段と、前記蓄積手段に蓄積されたデータの蓄積量と、閾値とを比較する比較手段と、前記比較手段により行われた比較の結果に応じて、前記第2～第nのバスマスタから、前記バスマスタに対して行われる要求の少なくとも1つを禁止する禁止手段とを有し、前記バスマスタは、前記第1～第nのバスマスタからの要求に基づいて情報処理を行うことを特徴とする。

【0013】

本発明に係る制御方法は、情報処理を行う第1～第n（nは2以上の自然数）のバスマスタから、バスマスタに対して行われる要求を受け付け、受け付けた要求の何れかを前記バスマスタに対して出力する要求受付処理ステップと、前記第1のバスマスタで処理されるデータを蓄積する蓄積ステップと、前記蓄積ステップにより蓄積されたデータの蓄積量と、閾値とを比較する比較ステップと、前記比較ステップにより行われた比較の結果に応じて、前記第2～第nのバスマスタから、前記バスマスタに対して行われる要求の少なくとも1つを禁止する禁止ステップとを有することを特徴とする。

【0014】

本発明に係るコンピュータプログラムは、情報処理を行う第1～第n（nは2以上の自然数）のバスマスタから、バスマスタに対して行われる要求を受け付け、受け付けた要求の何れかを前記バスマスタに対して出力する要求受付処理ステップと、前記第1のバスマスタで処理されるデータを蓄積する蓄積ステップと、前記蓄積ステップにより蓄積されたデータの蓄積量と、閾値とを比較する比較ステップと、前記比較ステップにより行われた比較の結果に応じて、前記第2～第nのバスマスタから、前記バスマスタに対して行われる要求の少なくとも1つを禁止する禁止ステップとをコンピュータに実行させることを特徴とする。

【発明の効果】

【0015】

本発明によれば、第1のバスマスタで処理されるデータの蓄積量と、閾値との比較結果に応じて、前記第2～第nのバスマスタから、前記バスマスタに対して行われる要求の少なくとも1つを禁止するようにしたので、前記禁止された要求を行った第2～第nバスマスタのバンド幅を第1のバスマスタへ割り振ることができる。これにより、第1のバスマスタのリアルタイム保証を可及的に行うことができる。

【発明を実施するための最良の形態】

【0016】

次に、図面を参照しながら、本発明の実施形態について説明する。以下の全ての実施形態では、電子機器の一例としてデジタルカメラを採用するが、デジタルカメラの代わりにデジタルビデオカメラ、カメラ付き携帯電話等の撮像装置を採用することも可能である。

（第1の実施形態）

図1は、第1の実施形態に係るデジタルカメラの構成の一例を示すブロック図である。以下、図1について説明する。

図1において、80は、データバスである。本実施形態のデータバス80は、システムバスと画像データバスとを兼用するものであっても、システムバスと画像データバスとを異なるバスで構成するものであっても良い。

【0017】

10は、被写体の光学像を撮影し、その撮像信号を生成する撮像素子（CCD等）である。11は、撮像素子10で生成された撮像信号である。12は、撮像信号11のノイズ除去を行う相関2重サンプリング回路（CDS）と、CDSから出力された撮像信号11を

10

20

30

40

50

適正なレベルに増幅するためのオートゲインコントロール回路(A G C)と、A G Cから出力された撮像信号 1 1 をデジタル化することにより撮像信号 1 1 を撮像データに変換する A / D 変換回路とを備えた回路群である。

【0018】

1 3 は、回路群 1 2 から出力される撮像データを伝送するデータ線である。1 4 は、撮像データに対して黒レベル補正、シェーディング補正等を適正に行う撮像処理回路である。1 5 は、撮像処理回路 1 4 より出力される撮像データを伝送するデータ線である。1 6 は、撮像処理回路 1 4 より出力された撮像データを D M A 転送するための第 1 の D M A C (第 1 のマスタ) である。1 7 は、第 1 の D M A C (第 1 のマスタ) 1 6 がスレーブとなるメモリコントローラ 7 5 に対して送信要求を発行するための要求信号や、メモリコントローラ 7 5 で要求を受け付けたことを第 1 の D M A C (第 1 のマスタ) 1 6 に通知するための要求受付信号等を伝送するデータ線である。 10

【0019】

1 8 は、第 1 の D M A C (第 1 のマスタ) 1 6 からバス 8 0 にデータを伝送するデータ線である。1 9 は、他のマスタからの要求を禁止することを指示するための要求禁止制御信号を伝送するデータ線である。この要求禁止制御信号は、第 1 の D M A C (第 1 のマスタ) 1 6 が、リアルタイム保証を行えなくなったことを判定した場合に、第 1 の D M A C (第 1 のマスタ) 1 6 からバスアービター回路 7 0 に送信される。2 0 は、撮像データ 2 1 に対して適正な画像処理を行い、撮像データ 2 1 を J P E G 等の画像圧縮方法に従って圧縮画像データへ変換する処理を行って、現像データを生成する現像処理回路である。2 1 は、第 2 の D M A C (第 2 のマスタ) 2 2 から出力される撮像データである。2 2 は、撮像データ 2 1 を D M A 転送するための第 2 の D M A C (第 2 のマスタ) である。2 3 は、第 2 の D M A C (第 2 のマスタ) 2 2 が、メモリコントローラ (スレーブ) 7 5 に対して、受信要求を発行するための要求信号や、メモリコントローラ 7 5 で要求を受け付けたことを第 2 の D M A C (第 2 のマスタ) 2 2 に通知するための要求受付信号等である。2 4 は、第 2 の D M A C (第 2 のマスタ) 2 2 とバス 8 0 とを接続するデータ線である。 20

【0020】

2 5 は、現像処理回路 2 0 で生成された現像データを伝送するデータ線である。2 6 は、現像データを D M A 転送するための第 3 の D M A C (第 3 のマスタ) である。2 7 は、第 3 の D M A C (第 3 のマスタ) 2 6 が、メモリコントローラ (スレーブ) 7 5 に対して、送信要求を発行するための要求信号や、メモリコントローラ 7 5 で要求を受け付けたことを第 3 の D M A C (第 3 のマスタ) 2 6 に通知するための要求受付信号等を伝送するデータ線である。 30

【0021】

2 8 は、第 3 の D M A C (第 3 のマスタ) 2 6 からバス 8 0 にデータを伝送するデータ線である。3 2 は、圧縮画像データのデコード処理、リサイズ処理、ビデオ信号変換処理等を行い、ビデオ信号を生成するための再生処理回路である。3 0 は、再生処理回路 3 2 より生成されたビデオ信号を表示するための表示装置である。3 1 は、再生処理回路 3 2 で生成され、表示装置 3 0 へ出力されるビデオ信号を伝送するデータ線である。

【0022】

3 4 は、再生処理回路 3 2 へバス 8 0 を介して受信したデータを D M A 転送するための第 4 の D M A C (第 4 のマスタ) である。3 3 は、第 4 の D M A C (第 4 のマスタ) 3 4 から再生処理回路 3 2 へ送信されるデータ等を伝送するデータ線である。3 5 は、第 4 の D M A C (第 4 のマスタ) 3 4 がメモリコントローラ (スレーブ) 7 5 に対して、受信要求を発行するための要求信号や、メモリコントローラ 7 5 で要求を受け付けたことを第 4 の D M A C (第 4 のマスタ) 3 4 に通知するための要求受付信号等を伝送するデータ線である。3 6 は、バス 8 0 から第 4 の D M A C (第 4 のマスタ) 3 4 にデータを伝送するデータ線である。 40

【0023】

5 0 は、コンパクトフラッシュ (登録商標) カード (C F カード)、S D カード等の記 50

憶メディアであり、データの記録、あるいは既に記録されたデータを読み出すための装置である。52は、記憶メディア50とのインターフェースを行うストレージデバイスコントローラである。51は、記憶メディア50と、ストレージデバイスコントローラ52との間で送受信されるデータを伝送するデータ線である。54は、ストレージデバイスコントローラ52のデータとバス80との間において、データをDMA転送するための第5のDMAC（第5のマスタ）である。53は、ストレージデバイスコントローラ52と第5のDMAC（第5のマスタ）との間で送受信されるデータを伝送するデータ線である。55は、第5のDMAC5（第5のマスタ）がメモリコントローラ（スレーブ）75に対して、送信要求を発行するための要求信号や、SDRAM72へのアドレス等の情報を伝送するデータ線である。56は、第5のDMAC（第5のマスタ）54からバス80及びバス80から第5のDMAC（第5のマスタ）54にデータを伝送するデータ線である。 10

【0024】

60は、デジタルカメラ全体を制御するCPU（第6のマスタである）。61は、CPU（第6のマスタ）60がメモリコントローラ（スレーブ）75に対して、送信要求を発行するための要求信号や、SDRAM72へのアドレス等の情報を伝送するデータ線である。62は、CPU（第6のマスタ）60からバス80及びバス80からCPU（第6のマスタ）60にデータを伝送するデータ線である。70は、CPU（第6のマスタ）60、第1のDMAC（第1のマスタ）16、第2のDMAC（第2のマスタ）22、第3のDMAC（第3のマスタ）26、第4のDMAC（第4のマスタ）34及び第5のDMAC（第5のマスタ）54から、データ線17、23、27、35、55、61を介して伝 20
送される要求信号の何れかを、あらかじめ決められた優先順位によって選択するバスアービターである。

【0025】

71は、バスアービター回路70によって選択（アービトレーション）された要求信号や、バスアービター回路70からの要求を受け付けたことを示す要求受付信号等のインターフェースを行う信号を伝送するデータ線である。72は、画像データ等を保持するためのメモリ素子である大容量メモリデバイス（SDRAM）である。75は、SDRAM72へのデータのリード／ライトを行うためのコントローラ（メモリコントローラ）である。73は、SDRAM72からメモリコントローラ75及びメモリコントローラ75からSDRAM72にデータを伝送するデータ線である。74は、メモリコントローラ（スレーブ）75からバス80及びバス80からメモリコントローラ（スレーブ）75にデータを伝送するデータ線である。 30

【0026】

図2は、図1における第1のDMAC（第1のマスタ）16の概略構成の一例を示したブロック図である。図3は、図1におけるバスアービター回路70の概略構成の一例を示した機能ブロック図である。以下、図2及び図3について説明をする。但し、簡単のために図3では、マスタからの要求信号を、第1のDMAC（第1のマスタ）16からデータ線17を介して伝送される要求信号、第2のDMAC（第2のマスタ）22からデータ線23を介して伝送される要求信号、及び第3のDMAC（第3のマスタ）26からデータ線27を介して伝送される要求信号の3つに限定している。マスタの数が3つを超えても 40
バスアービター回路70の制御方式は同じである。

【0027】

図2において、100は、第1のDMAC（第1のマスタ）16内のデータバッファである。

また、図3において、221は、第1～第3のDMAC（第1～第3のマスタ）16、22、26からデータ線17、23、27を介して伝送される要求信号に基づく要求を禁止する要求禁止信号を生成するための要求禁止制御回路である。19は、図1で説明したとおり第1のDMAC（第1のマスタ）16が他のマスタを禁止することを示す要求禁止制御信号を伝送するデータ線である。なお、ここでは、簡単のために、第1のDMAC（第1のマスタ）16が他のマスタを禁止する信号のみを示しているが、第1のDMAC（ 50

第 1 のマスタ) 1 6 以外のマスタが他のマスタを禁止するようにしても良い。

【0028】

208 は、第 1 の D M A C (第 1 のマスタ) 1 6 の要求が、その他のどのマスタに禁止されるのかを示す信号を送送するデータ線である。209 は、第 2 の D M A C (第 2 のマスタ) 2 2 の要求が、その他のどのマスタに禁止されるのかを示す信号を送送するデータ線である。210 は、第 3 の D M A C (第 3 のマスタ) 2 6 の要求が、その他のどのマスタに禁止されるのかを示す信号を送送するデータ線である。

【0029】

212 は、要求禁止制御回路 221 より生成された第 1 の D M A C (第 1 のマスタ) 1 6 からの要求を禁止する要求禁止信号を送送するデータ線である。213 は、要求禁止制御回路 221 より生成された第 2 の D M A C (第 2 のマスタ) 2 2 からの要求を禁止する要求禁止信号を送送するデータ線である。214 は、要求禁止制御回路 221 より生成された第 3 の D M A C (第 3 のマスタ) 2 6 からの要求を禁止する要求禁止信号を送送するデータ線である。

【0030】

216 は、第 1 の D M A C (第 1 のマスタ) からの要求を禁止するためにデータ線 212 を介して送信された要求禁止信号により制御された、第 1 の D M A C (第 1 のマスタ) 1 6 からの最終的な要求信号を送送するデータ線である。217 は、第 2 の D M A C (第 2 のマスタ) 2 2 からの要求を禁止するためにデータ線 213 を介して送信された要求禁止信号により制御された、第 2 の D M A C (第 2 のマスタ) 2 2 からの最終的な要求信号を送送するデータ線である。218 は、第 3 の D M A C (第 3 のマスタ) からの要求を禁止するためにデータ線 214 を介して送信された要求禁止信号により制御された、第 3 の D M A C (第 3 のマスタ) 2 6 からの最終的な要求信号を送送するデータ線である。

【0031】

222 は、データ線 216 ~ 218 を介して伝送された要求信号をアービトレーションするアービトレーション回路である。本実施形態のアービトレーション回路 222 は、個々の要求の優先順位をプログラマブルに設定可能な固定プライオリティとして動作するか、ラウンドロビン方式でプライオリティを順次、均等に割り振る方式等を備えているものとする。

【0032】

(撮像モード)

リリースがオンになると、C P U 60 は撮像モードに遷移する。また、このとき、撮像素子 10 は、被写体の光学像を撮像し、その撮像信号を生成し、生成した撮像信号を回路群 12 へ送信する。撮像モードに遷移した後、C P U 60 は第 1 の D M A C (第 1 のマスタ) 1 6 を起動する。回路群 12 からデータ線 13 に出力された撮像データは、撮像処理回路 14 に送られて処理された後、第 1 の D M A C (第 1 のマスタ) 1 6 へ送られる。

【0033】

第 1 の D M A C (第 1 のマスタ) 1 6 は、メモリコントローラ 75 に対して送信要求を発行するための要求信号を、データ線 17 を介してバスアービター回路 70 へ送信する。この要求信号は、バスアービター回路 70 で、アービトレーションされる。アービトレーションされた要求信号は、データ線 71 を介して、メモリコントローラ (スレーブ) 75 に送信される。メモリコントローラ (スレーブ) 75 は、前記要求に対して、撮像データの受信準備ができれば、バスアービター回路 70 からの要求を受け付けたことを示す要求受付信号を、データ線 71 を介してバスアービター回路 70 に送信する。そして、バスアービター回路 70 は、メモリコントローラ 75 で要求を受け付けたことを第 1 の D M A C (第 1 のマスタ) 1 6 に通知するための要求受付信号を、データ線 17 を介して第 1 の D M A C (第 1 のマスタ) 1 6 に送信する。

【0034】

更に、メモリコントローラ (スレーブ) 75 は、第 1 の D M A C (第 1 のマスタ) 1 6 に対して、データ有効信号と、マスタ I D とを送信する。第 1 の D M A C (第 1 のマスタ

） 16 は、このデータ有効信号やマスタ I D に同期して、データ線 18 に対して撮像データを送信する。この撮像データは、バス 80、データ線 74 を介し、メモリコントローラ（スレーブ）75 にて受信される。受信された撮像データは、データ線 73 を介して、S D R A M 72 に送信され保持される。本実施形態の撮像モードにおける撮像処理では、第 1 の D M A C （第 1 のマスタ）16 以外の他のマスタが並行して動作している。これらすべてのマスタからの要求は、バスアービター回路 70 にて予め決められた優先順位によってアービトレーションされる。S D R A M 72 に保持された撮像データは、すべての転送が完了すると、第 1 の D M A C （第 1 のマスタ）16 からの割り込み信号を C P U 60 へ送信する。また、前記撮像処理に必要なすべてのマスタからの割り込み信号を C P U 60 が受信すると、C P U 60 は、撮像処理の完了を確認し、S D R A M 72 へ保持された撮像データの現像処理モードへ遷移する。 10

【0035】

（現像処理モード）

C P U 60 は、現像処理モードへ遷移すると、現像処理モードに適切な設定を、現像処理回路 20 に対して行い、第 2 の D M A C （第 2 のマスタ）22 を起動する。また、これと同時に、C P U 60 は、現像処理された撮像データをメモリコントローラ（スレーブ）75 へ送信するための第 3 の D M A C （第 3 のマスタ）26 も起動させる。第 2 の D M A C （第 2 のマスタ）22 が起動すると、S D R A M 72 に保持された撮像処理後の撮像データを受信するために、第 2 の D M A C （第 2 のマスタ）22 は、バスアービター回路 70 に対して、受信要求を発光するための要求信号をデータ線 23 に送信する。この要求信号を受け付けたバスアービター回路 70 は、予め設定された優先順位に従ってこの要求信号に対してアービトレーションを行う。 20

【0036】

アービトレーションされた要求信号は、データ線 71 を介してメモリコントローラ（スレーブ）75 へ送信される。メモリコントローラ（スレーブ）75 は、撮像データの送信準備ができた段階で、データ線 23 に要求信号を送信した第 2 の D M A C （第 2 のマスタ）22 へ、要求受付信号を、データ線 71 を介してバスアービター回路 70 に送信する。そして、バスアービター回路 70 は、メモリコントローラ 75 で要求を受け付けたことを第 2 の D M A C （第 2 のマスタ）22 に通知するための要求受付信号を、データ線 23 を介して第 2 の D M A C （第 2 のマスタ）22 に送信する。その後、メモリコントローラ（スレーブ）75 は、データ線 73 を介して、S D R A M 72 から撮像データを読み出す。 30

【0037】

メモリコントローラ（スレーブ）75 は、データ有効信号とマスタ I D と共に、読み出された撮像データを、データ線 74、バス 80、データ線 24 を介して、第 2 の D M A C （第 2 のマスタ）22 へ送信する。前記撮像データを受信した第 2 の D M A C （第 2 のマスタ）22 は、データ線 21 を介して、前記受信した撮像データを現像処理回路 20 へ送信する。現像処理回路 20 では、予め C P U 60 より設定された現像パラメータによって、前記撮像データを画像処理する。

【0038】

そして、現像処理回路 20 は、最終的な現像処理を行う画像フォーマット、例えば圧縮画像データに保存するのに最適なフォーマットである Y C b C r 形式のフォーマットに、前記画像処理した撮像データを変換する。更に、現像処理回路 20 は、最終的な現像処理データとして保存するのに適切な画像サイズに、前記 Y C b C r 形式のフォーマットに変換した撮像データをリサイズするリサイズ処理を行い、例えば J P E G 形式に圧縮処理する。このときの画像フォーマットは、J P E G では、ベースライン J P E G であっても良いし、ロスレス形式の D P C M による処理を行った J P E G 画像でもよい。また、T I F F 形式や、画像補間処理やフォーマット変換を行わない R A W データであっても構わない。これらの画像フォーマットのうち、どの画像フォーマットで記録するのかについては、C P U 60 からの設定で予め設定されている。 40

【0039】

前記画像フォーマットで現像処理されたデータは、データ線 25 を介して第 3 の D M A C (第 3 のマスタ) 26 へ送信される。第 3 の D M A C (第 3 のマスタ) 26 は、メモリコントローラ 75 に対して送信要求を発行するための要求信号を、データ線 27 を介してバスアービター回路 70 へ送信する。この要求信号は、バスアービター回路 70 で、アービトレーションされる。アービトレーションされた要求信号は、データ線 71 を介してメモリコントローラ (スレーブ) 75 に送信される。メモリコントローラ (スレーブ) 75 は、前記要求に対して、データの受信準備ができれば、バスアービター回路 70 からの要求を受け付けたことを示す要求受付信号を、データ線 71 を介してバスアービター回路 70 に送信する。そして、バスアービター回路 70 は、メモリコントローラ 75 で要求を受け付けたことを第 3 の D M A C (第 3 のマスタ) 26 に通知するための要求受付信号を、データ線 27 を介して第 3 の D M A C (第 3 のマスタ) 26 に送信する。 10

【0040】

更に、メモリコントローラ (スレーブ) 75 は、第 3 の D M A C (第 3 のマスタ) 26 に対して、データ有効信号と、マスタ I D とを送信する。第 3 の D M A C (第 3 のマスタ) 26 は、このデータ有効信号やマスタ I D に同期して、データ線 28 に対して現像処理された撮像データを送信する。この現像処理された撮像データは、バス 80、データ線 74 を介して、メモリコントローラ (スレーブ) 75 にて受信され、データ線 73 を介して、S D R A M 72 に送信され保持される。また、前記現像処理された撮像データは、記憶メディア 50 へ記録される。記憶メディア 50 への記録は、第 5 の D M A C (第 5 のマスタ) 54 を介して行われるが、詳細な処理については説明を省略する。 20

【0041】

(同時処理モード)

同時処理モードは、前記撮像モードと、前記現像処理モードとをそれぞれ連続に並行して行うモードである。デジタルカメラが連写を行うモードの場合には、リリースがオンの状態の間、前記撮像モードと同様の処理にて、撮像データを連続して S D R A M 72 に記録し続ける。それと並行して、前記 S D R A M 72 に保持された撮像データは、前記の現像処理モードと同様の処理にて、次々と現像処理がなされて、現像処理された撮像データが、S D R A M 72 に記録され、最終的に記憶メディア 50 に記録される。このように、本実施形態の同時処理モードにおいては、前記撮像モードと、前記現像処理モードとが並行して処理されることとなる。 30

【0042】

したがって、本実施形態の同時処理モードにおいては、第 1 の D M A C (第 1 のマスタ) 16、第 2 の D M A C (第 2 のマスタ) 22、及び第 3 の D M A C (第 3 のマスタ) 26 と、図 1 には記載されていないが、同時処理モードを行うためのこれら以外の多数のマスタとがメモリコントローラ (スレーブ) 75 に対して、並行してトランザクションを起こす。このとき、本実施形態の同時処理モードにおいては、多数のマスタがひとつのスレーブに対してトランザクションを起こすために、バンド幅をそれぞれに対して十分に供給することが難しくなる。

【0043】

更に、現像処理時には、撮像データを記憶 (ライト) している S D R A M 72 のバンクと同一のバンクからの読み出しを行う可能性が高く、このとき、撮像データの S D R A M 72 への書き込みと、現像処理における撮像データの読み出しとが、ページコンフリクトを起こす可能性がある。このようにページコンフリクトを起こした場合においては、S D R A M 72 へのデータ書き込み、及び読み出しに時間を要し、バンド幅が著しく低下する恐れがある。このような場合においても、第 1 の D M A C (第 1 のマスタ) 16 において行われる、撮像データの S D R A M 72 への書き込みがリアルタイムに行われるように保証 (リアルタイム保証) をしなくてはならない。以下に、本実施形態での制御方式を先に説明した図 1、図 2、及び図 3 を用いて説明する。 40

【0044】

まず、撮像データは、データ線 15 より、データバッファ 100 に入力される。データ 50

バッファ100は、要求信号を送信できる分量の撮像データを蓄積すると、その要求信号を、データ線17を介してバスアービター回路70へ送信する。要求するデータ量は任意に設定可能である。図2では、簡単のため、「1」、「2」、「3」、「4」と、要求できるデータ量を数字で区切っている。データバッファ100は、初期状態では、データがまったく蓄積されていない。

【0045】

撮像データがデータバッファ100の「1」で示された領域に対応する分だけ蓄積されると、要求信号を、データ線17を介してバスアービター回路70に出力する。撮像データは、その間も、データバッファ100の「2」の領域へ蓄積されつづける。データバッファ100の「2」の領域に撮像データが蓄積されるまでは、第1のDMAC（第1のマスタ）16は、データ線17に要求信号を出力することはない。この間に、他のマスタ、すなわち、第2のDMAC（第2のマスタ）22、第3のDMAC（第3のマスタ）26、及び図には記載されていない他のマスタが、データ線23、27を介して要求信号をバスアービター回路70に送信し、第1のDMAC（第1のマスタ）16以外のマスタに対してバンド幅を供給する。

10

【0046】

第1のDMAC（第1のマスタ）16が、データ線17に要求信号を送信したのち、スレーブであるメモリコントローラ75で要求を受け付けたことを第1のDMAC（第1のマスタ）16に通知するための要求受付信号がデータ線17を介して返ってくると、要求を発行していたデータバッファ100の「1」で示された領域にある撮像データが、データ線18を介してメモリコントローラ（スレーブ）75へ送信される。このようにして撮像データの送信が完了すると、データバッファ100の「1」で示された領域では、データバッファ100は空となる（すなわち、データ蓄積量はゼロとなる）。

20

【0047】

第1のDMAC（第1のマスタ）16は、データバッファ100のデータ蓄積量をカウントするカウンタを持ち、要求を発行できるだけデータを蓄積できれば、カウンタを加算する。また、応答時に、データバッファ100の撮像データをメモリコントローラ（スレーブ）75に送信したときに、このカウンタを減算する。即ち、前記カウンタは、第1のDMAC（第1のマスタ）16に蓄積されているデータの蓄積量を示すことになる。

【0048】

前記データの蓄積量を示すカウンタの値が、データバッファ100の全容量値よりも少ない場合においては、撮像データを処理するのに、十分なバンド幅が第1のDMAC（第1のマスタ）16に割り当てられていることになる。これに対し、前記カウンタの値が、データバッファ100の全容量値に近づいた場合、即ち、撮像データを処理するのに十分なバンド幅が割り当てられていない場合は、トランザクションが破綻する恐れがある。

30

【0049】

そこで、本実施形態では、データバッファ100が、あるデータ蓄積量までデータを蓄えたら、比較的優先度の低いマスタからの要求信号を禁止する制御を行うようにしている。具体的には、データバッファ100に設けられたカウンタの値が、予め設定された他のマスタからの要求を禁止する閾値レベルを超えた場合、他のマスタからの要求を禁止することを指示するための要求禁止制御信号を、データ線19を介してバスアービター回路70に送信して、他のマスタからの要求を禁止する。

40

【0050】

例えば、第2のDMAC（第2のマスタ）22と、第3のDMAC（第3のマスタ）26は、現像処理を行っているマスタであるので、リアルタイム性を比較的必要としない。そこで、本実施形態では、これらのマスタ22、26からの要求を禁止する。また、閾値のレベル、禁止制御信号を複数用意し、ある閾値レベルでは、部分的にマスタからの要求を禁止して、別の閾値レベルでは、他の全てのマスタからの要求を禁止するような制御であってもよい。他のマスタの一部、あるいはすべてを禁止している状態であれば、第1のDMAC（第1のマスタ）16は、十分なバンド幅を得ることができ、他のマスタにバン

50

ド幅を割り当てない分、メモリコントローラ（スレーブ）75からの応答をそれまでより早く受けることができ、データバッファ100に蓄積されている撮像データを早く処理することが可能である。即ち、第1のDAMC（第1のマスタ）に設けられたカウンタの値は、他のマスタからの要求を禁止した時の値よりは減っていき、しばらくすると閾値レベルを下回ることになる。

【0051】

カウンタの値が閾値レベルを下回れば、要求禁止制御信号のデータ線19への送信を解除して、他のマスタの一部、あるいは全てからの要求の禁止を解除する。他のマスタからの要求の禁止を解除するための閾値レベルは、他のマスタからの要求を禁止するための閾値レベルと同一でもよいし、別々に持っても良い。また、他のマスタからの要求を禁止する
10
ときと同様に、他のマスタからの要求の禁止を解除するための閾値レベルを複数設定し、これら複数の閾値レベルを用いて、他のマスタからの要求の禁止を解除するようにしても良い。

【0052】

以上のようにすれば、第1のDAMC（第1のマスタ）16に十分なバンド幅が割り当てられている場合においては、第1のDAMC（第1のマスタ）16がバンド幅を占有することなく他のマスタにもバンド幅を均等に十分供給できるし、第1のDAMC（第1のマスタ）16に十分にバンド幅が割り当てられていない場合においては、第1のDAMC（第1のマスタ）16に対し、優先的にあるいは専用にバンド幅を割り当てることにより、リアルタイム保証を行うことが可能である。
20

【0053】

撮像データを送信する第1のDAMC（第1のマスタ）16に十分なバンド幅が与えられている場合においては、第1のDAMC（第1のマスタ）16が他のマスタからの要求を禁止することを指示するためにデータ線19に伝送される要求禁止制御信号は、ディスエーブル（無効）状態であり、第1のDAMC（第1のマスタ）16、第2のDAMC（第2のマスタ）22、及び第3のDAMC（第3のマスタ）26から、データ線17、23、27を介して伝送された要求信号は、要求禁止制御されることなく、そのままバスアービター回路70にてアービトレーションされ、アービトレーションされた要求信号が、データ線71を介してメモリコントローラ（スレーブ）75へ出力される。

【0054】

ところが、前記に説明したようにバンド幅が十分でないと、第1のDAMC（第1のマスタ）16では、他のマスタからの要求を禁止することを指示するためにデータ線19に伝送される要求禁止制御信号をアクティブにして他のマスタからの要求を禁止する。第2のDAMC（第2のマスタ）22、及び第3のDAMC（第3のマスタ）26の両者からの要求を禁止するのであれば、第2のDAMC（第2のマスタ）22、及び第3のDAMC（第3のマスタ）26が、それぞれどのマスタによって禁止されているかを示す信号として、第1のDAMC（第1のマスタ）16によって禁止されていることを示す信号を、例えば第1のDAMC（第1のマスタ）16からデータ線209、210を介して要求禁止制御回路211に送信し、第2のDAMC（第2のマスタ）22、及び第3のDAMC（第3のマスタ）26が、それぞれ第1のDAMC（第1のマスタ）16によって禁止さ
40
れていることを設定する。

【0055】

これにより、第1のDAMC（第1のマスタ）16以外の他のマスタからの要求を禁止することを指示するためにデータ線19に伝送される要求禁止制御信号がアクティブになると、第2のDAMC（第2のマスタ）22からの要求を禁止するためにデータ線213に送信された要求禁止信号と、第3のDAMC（第3のマスタ）26からの要求を禁止するためにデータ線214に送信された要求禁止信号とがアクティブになる。第2のDAMC（第2のマスタ）22、及び第3のDAMC（第3のマスタ）26からの要求を禁止する制御を行った後にデータ線217、218に送信される要求信号は、第1のDAMC（第1のマスタ）16以外の他のマスタからの要求を禁止することを指示するためにデータ
50

線 1 9 に伝送される要求禁止制御信号がアクティブである間は、アービトレーション回路 2 2 2 への要求をマスクする。

【0056】

そして、データ線 1 9 に伝送される要求禁止制御信号がディスエーブルとなれば、第 2 の D A M C (第 2 のマスタ) 2 2、及び第 3 の D A M C (第 3 のマスタ) 2 6 からの要求を禁止する状態が解除されて、第 1 の D A M C (第 1 のマスタ) 1 6、第 2 の D A M C (第 2 のマスタ) 2 2、及び第 3 の D A M C (第 3 のマスタ) 2 6 からの要求がマスクされることなく、データ線 1 7、2 3、2 7 を介して伝送された要求信号に対して通常のアービトレーションを行うことになる。なお、ここでは、第 1 の D A M C (第 1 のマスタ) 1 6 以外の他のマスタからの要求を禁止することを指示するためにデータ線 1 9 に伝送される要求禁止制御信号は、1 つであり、1 本の信号線を用いて伝送するようにしたが、部分的な禁止制御を行うために、複数の要求禁止制御信号を複数の信号線を用いて伝送するようにしても構わない。

【0057】

次に、図 4 のフローチャートを用いて、特定のマスタでリアルタイム処理を可能にするためのデジタルカメラの処理動作の一例を説明する。

まず、ステップ S 1 では、C P U 6 0 は、対象となるマスタ (第 1 の D M A C (第 1 のマスタ) 1 6) の初期設定を行う。

次に、ステップ S 2 では、C P U 6 0 は、マスタに設置されたデータバッファ 1 0 0 のリアルタイム性を保証するためのデータバッファ量の閾値を設定する。

次に、ステップ S 3 では、C P U 6 0 は、対象となるマスタである第 1 の D M A C (第 1 のマスタ) 1 6 を起動する。

次に、ステップ S 4 では、撮像データの D M A 伝送が終了したかどうかを判定する。この判定は一般的には、C P U 6 0 への割り込み処理にて行われる。この判定の結果、撮像データの D M A 転送が終了した場合には、送受信を終了させる。一方、撮像データの送受信においては、ステップ S 5 に進み、C P U 6 0 は、データバッファ 1 0 0 におけるデータ蓄積量と閾値との大小を判定する。

【0058】

この判定の結果、データ蓄積量が、ステップ S 2 において設定された閾値を上回ったら、ステップ S 6 に進み、対象となるマスタ (第 1 の D M A C (第 1 のマスタ) 1 6) は、他のマスタからの要求を禁止することを指示するための要求禁止制御信号を、データ線 1 9 を介してバスアービター回路 7 0 に送信する。これにより、バスアービター回路 7 0 は、他のマスタからの要求を禁止する制御を行う。

【0059】

一方、データ蓄積量が、ステップ S 2 において設定された閾値以下であった場合は、ステップ S 7 に進み、対象となるマスタ (第 1 の D M A C (第 1 のマスタ) 1 6) は、データ線 1 9 を介して伝送される要求禁止制御信号をディスエーブルとし、他のマスタからの要求の禁止を解除する。

以上のように、図 4 に示す制御フローチャートに従い、適当なタイミングで、対象となるマスタ (D M A C) のバッファ容量をモニタすることによって、各マスタの制御をソフトウェアにて実現することも容易に可能になる。

【0060】

以上のように本実施形態では、第 1 の D M A C 1 6 で処理されるデータの蓄積量と、閾値との比較結果に応じて、例えば第 2 及び第 3 の D M A C 2 2、2 6 から、メモリコントローラ 7 5 に対して行われる要求の少なくとも 1 つを禁止するようにしたので、前記禁止された要求を行った第 2 及び第 3 の D M A C 2 2、2 6 のバンド幅を第 1 の D M A C 1 6 へ割り振ることができる。これにより、第 1 の D M A C 1 6 のリアルタイム保証を行うことができる。

【0061】

また、第 1 の D M A C 1 6 で処理されるデータを撮像された画像データとしたので、撮

10

20

30

40

50

像処理に十分なバンド幅を第1のDMAC16に供給することができる。これにより、撮像処理のリアルタイム保証を行うことができる。

【0062】

また、第1～第3のDMAC16、22、26からメモリコントローラ75に対して行われる要求、及びその要求に対する応答として、スプリットバストランザクション方式を採用するようにしたので、ある特定のDMACがバスを占有することなく、複数のDMACが非同期に連続して要求と応答を行うことが可能となり、バス全体としてのスループットが向上し、バンド幅を高めることが可能になる。そして、このようなスプリットバストランザクション方式を採用しつつ、例えば第2及び第3のDMAC22、26から、メモリコントローラ75に対して行われる要求の少なくとも1つを禁止するようにしたので、バススレーブの応答が非同期であることより個々のDMACにおいてその応答の予測ができない場合においても、DMACのリアルタイム保証を行うことができる。

10

【0063】

さらに、例えば第2及び第3のDMAC22、26からメモリコントローラ75に対して行われる要求の少なくとも1つを禁止するか否かを判断するための第1の閾値、及び前記要求の禁止を解除するか否かを判断するための第2の閾値と、第1のDMAC16で処理されるデータの蓄積量とを比較するようにしたので、前記データの蓄積量と閾値との判定がハンチングする状態を防ぐことが可能になる。

【0064】

また、第1のDMAC16で処理されるデータの蓄積量と、複数の閾値とを比較し、比較した結果に基づく複数の要求禁止制御信号を生成し、生成した複数の要求禁止制御信号に基づいて、例えば第2及び第3のDMAC22、26から、メモリコントローラ75に対して行われる複数の要求を部分的に禁止するようにしたので、第2及び第3のDMAC22、26のバンド幅をより適切に第1のDMAC16へ割り振ることができる。

20

【0065】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。本実施形態では、リアルタイム保証を行うためのデータバッファを、各々のマスタに設けるだけのハードウェアリソースが無いような場合について説明する。したがって、ここでは、前述した第1の実施形態と異なる部分のみを説明し、同一の部分については、図1～図3に付した符号と同一の符号を付すなどして詳細な説明を省略する。

30

【0066】

前記デジタルカメラにおいて最もリアルタイム性を必要とする場合は、前記同時処理モード時の撮像データの取り込みであった。よって、本実施形態では、第1のDMAC(第1のマスタ)16に対してのみにデータバッファを設ける。具体的には、図1に示した撮像処理回路14の前段、データ線13の位置にデータバッファを設ける。このデータバッファのデータ蓄積量の判定によって、前述した第1の実施形態と同様に、閾値を上回れば、他のマスタからの要求を禁止する制御を行い、閾値を下回れば、前記他のマスタからの要求の禁止を解除する制御を行う。

【0067】

なお、本実施形態と、前述した第1の実施形態とでは、データバッファの設置位置を第1のDMAC(第1のマスタ)16の内部に設けるか、撮像処理回路14の前段に設けるかの違いがあるが、バス制御方式は全く同じである。

40

【0068】

(他の実施形態)

上述した実施形態の機能を実現するべく各種のデバイスを動作させるように、該各種デバイスと接続された装置あるいはシステム内のコンピュータに対し、前記実施形態の機能を実現するためのコンピュータプログラムを供給し、そのシステムあるいは装置のコンピュータ(CPUあるいはMPU)に格納されたプログラムに従って前記各種デバイスを動作させることによって実施したものも、本発明の範疇に含まれる。

50

【0069】

また、この場合、前記コンピュータプログラム自体が上述した実施形態の機能を実現することになり、そのコンピュータプログラム自体、及びそのコンピュータプログラムをコンピュータに供給するための手段、例えば、かかるコンピュータプログラムを格納した記録媒体は本発明を構成する。かかるコンピュータプログラムを記憶する記録媒体としては、例えばフレキシブルディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、磁気テープ、不揮発性のメモリカード、ROM等を用いることができる。

【0070】

また、コンピュータが供給されたコンピュータプログラムを実行することにより、上述の実施形態の機能が実現されるだけでなく、そのコンピュータプログラムがコンピュータにおいて稼働しているOS（オペレーティングシステム）あるいは他のアプリケーションソフト等と共同して上述の実施形態の機能が実現される場合にもかかるコンピュータプログラムは本発明の実施形態に含まれることは言うまでもない。

【0071】

さらに、供給されたコンピュータプログラムがコンピュータの機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに格納された後、そのコンピュータプログラムの指示に基づいてその機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部または全部を行い、その処理によって上述した実施形態の機能が実現される場合にも本発明に含まれることは言うまでもない。

【図面の簡単な説明】

【0072】

【図1】本発明の第1の実施形態を示し、デジタルカメラの構成の一例を示すブロック図である。

【図2】本発明の第1の実施形態を示し、第1のDMAC（第1のマスタ）16の概略構成の一例を示したブロック図である。

【図3】本発明の第1の実施形態を示し、バスアービター回路70の概略構成の一例を示した機能ブロック図である。

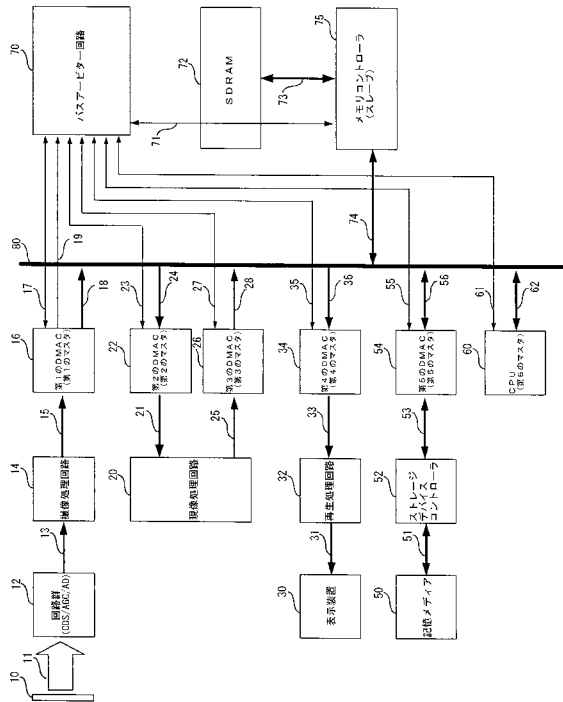
【図4】本発明の第1の実施形態を示し、特定のマスタでリアルタイム処理を可能にするためのデジタルカメラの処理動作の一例を説明するフローチャートである。

【符号の説明】

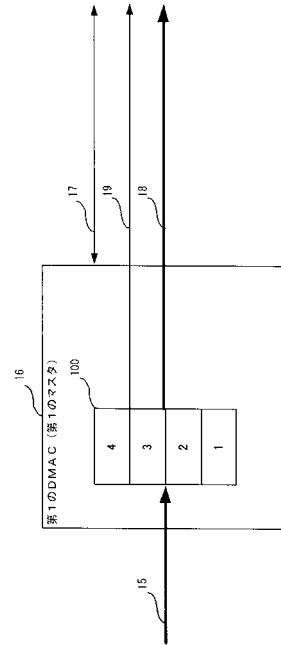
【0073】

- 10 撮像素子
- 14 撮像処理回路
- 16、22、26 第1～第3のDMAC（マスタ）
- 20 現像処理回路
- 70 バスアービター回路
- 72 SDRAM
- 75 メモリコントローラ（スレーブ）
- 100 データバッファ
- 221 要求禁止制御回路
- 222 アービトレーション回路

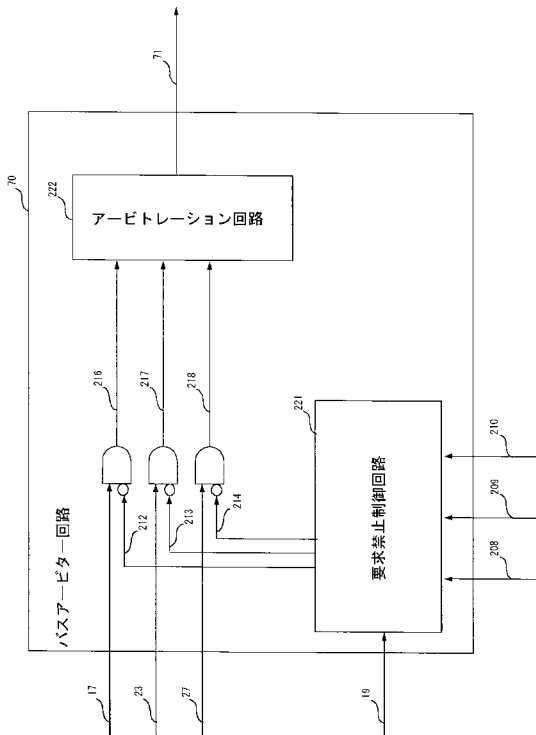
【図 1】



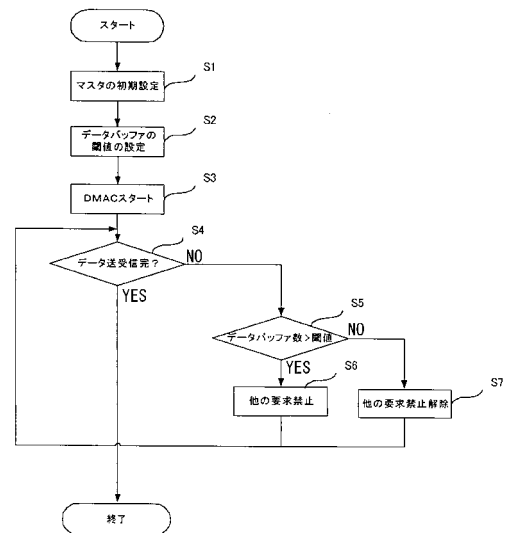
【图 2】



【 図 3 】



【图 4】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 6 F 13/36 5 1 0

G 0 6 F 13/36 5 2 0 B