

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成28年1月7日(2016.1.7)

【公表番号】特表2015-520908(P2015-520908A)
 【公表日】平成27年7月23日(2015.7.23)
 【年通号数】公開・登録公報2015-046
 【出願番号】特願2015-510502(P2015-510502)
 【国際特許分類】

G 1 1 C 11/15 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 27/105 (2006.01)

【F I】

G 1 1 C 11/15 1 8 0

H 0 1 L 27/10 4 4 7

【手続補正書】

【提出日】平成27年11月9日(2015.11.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

調整可能基準回路を調整する方法であって、

共に並列に連結された複数の基準対の第1の基準対の経路を選択するステップであって、前記基準対の各々が、第1の磁気トンネル接合(MTJ)要素を含む第1の経路と、第2のMTJ要素を含む第2の経路とを含む、選択するステップと、

前記第1の基準対の前記選択された経路内にMTJ要素のMTJ抵抗を設定するために、電流を前記選択された経路に流すステップであって、前記調整可能基準回路の基準抵抗が、前記複数の基準対の各基準対の抵抗に基づき、前記複数の基準対が、第1の状態にある第1の数のMTJ要素と、第2の状態にある第2の数のMTJ要素とを含み、前記第1の数と前記第2の数が異なる、電流を流すステップとを含む方法。

【請求項2】

メモリ要素の出力電圧を前記調整可能基準回路の基準電圧と比較して、前記メモリ要素の前記出力電圧に対応するデジタル値を判断するステップであって、前記調整可能基準回路の前記基準電圧が、前記調整可能基準回路の前記基準抵抗に基づく、判断するステップをさらに含む、請求項1に記載の方法。

【請求項3】

前記調整可能基準回路の前記基準抵抗が、前記複数の基準対の各基準対の前記抵抗の平均であり、前記第1の状態が並列状態に対応し、前記第2の状態の逆並列状態に対応する、請求項1に記載の方法。

【請求項4】

前記第1の基準対の前記選択された経路内の前記MTJ要素の第1の抵抗が前記MTJ要素の前記第1の状態に対応し、前記第1の基準対の前記選択された経路内の前記MTJ要素の第2の抵抗が前記MTJ要素の前記第2の状態に対応し、前記第2の抵抗が前記第1の抵抗よりも大きい、請求項1に記載の方法。

【請求項5】

前記複数の基準対の前記第1の基準対の前記経路が、各基準対内の前記第1のMTJ要素の空間的位置および前記第2のMTJ要素の空間的位置に関する情報に基づいて、かつ各基準対内の前記第1のMTJ要素および前記第2のMTJ要素の抵抗の変動に基づいて選択される、請求項1に記載の方法。

【請求項6】

少なくとも1つの制御信号をアサートして、十分な電流が前記第1の基準対の前記選択された経路内の前記MTJ要素に流れることを可能にするステップをさらに含む、請求項1に記載の方法。

【請求項7】

前記第1の経路が第1のトランジスタを含み、前記第2の経路が第2のトランジスタを含み、第1の制御信号が前記第1のトランジスタのゲート端末に提供され、第2の制御信号が前記第2のトランジスタのゲート端末に提供される、請求項6に記載の方法。

【請求項8】

第1の経路および第2の経路を含む第1の基準対であって、前記第1の経路が第1の磁気トンネル結合(MTJ)要素を含み、前記第2の経路が第2のMTJ要素を含む、第1の基準対と、

第3の経路および第4の経路を含む第2の基準対であって、前記第3の経路が第3のMTJ要素を含み、前記第4の経路が第4のMTJ要素を含む、第2の基準対と
を含む、

前記第1の基準対および前記第2の基準対は、共に並列に連結され、前記回路の基準抵抗は、前記第1、第2、第3、および第4のMTJ要素の各々の抵抗に基づき、前記回路の前記基準抵抗は、前記第1および第2のMTJ要素のうちの1つの抵抗を調整することにより調整可能であり、第1の数の前記第1、第2、第3、および第4のMTJ要素は、第1の状態にあり、第2の数の前記第1、第2、第3、および第4のMTJ要素は、第2の状態にあり、前記第1の数と前記第2の数が異なる、回路。

【請求項9】

メモリ要素の出力電圧が、前記メモリ要素の前記出力電圧に対応するデジタル値を判断するために、前記回路の基準抵抗に対応する基準電圧と比較される、請求項8に記載の回路。

【請求項10】

第1の経路および第2の経路を含む第1の基準対であって、前記第1の経路が第1の磁気トンネル結合(MTJ)要素を含み、前記第2の経路が第2のMTJ要素を含む、第1の基準対と、

第3の経路および第4の経路を含む第2の基準対であって、前記第3の経路は第3のMTJ要素を含み、前記第4の経路は第4のMTJ要素を含み、前記第1の基準対および前記第2の基準対は共に並列に結合され、前記回路の基準抵抗は、前記第1、第2、第3、および第4のMTJ要素の各々の抵抗に基づき、前記回路の基準抵抗は、前記第1および第2のMTJ要素のうちの1つの抵抗を調整することにより調整可能である、第2の基準対と、

前記第1の基準対に対して平行かつ前記第2の基準対に対して平行に結合されるスペア基準対であって、前記スペア基準対は、第1のスペアMTJ要素および第2のスペアMTJ要素を含み、前記回路の基準抵抗は、前記第1のスペアMTJ要素の抵抗を調整することにより調整可能であり、メモリ要素の出力電圧は、前記メモリ要素の前記出力電圧に対応するデジタル値を判断するために、前記回路の基準抵抗に対応する基準電圧と比較される、スペア基準対と
を含む回路。

【請求項11】

前記スペア基準対が、基準対のアレイに含まれ、基準対の前記アレイが前記第1の基準対および前記第2の基準対を含む、請求項10に記載の回路。

【請求項12】

前記スペア基準対が、基準対のアレイの外部であり、前記基準対のアレイが、前記第1の基準対および前記第2の基準対を含む、請求項10に記載の回路。

【請求項13】

第1の経路および第2の経路を含む第1の基準対であって、前記第1の経路が第1の磁気トンネル結合(MTJ)要素を含み、前記第2の経路が第2のMTJ要素を含み、第1の基準対と、

第3の経路および第4の経路を含む第2の基準対であって、前記第3の経路は第3のMTJ要素を含み、前記第4の経路は第4のMTJ要素を含み、前記第1の基準対および前記第2の基準対は共に並列に結合され、前記回路の基準抵抗は、前記第1、第2、第3、および第4のMTJ要素の各々の抵抗に基づき、前記回路の基準抵抗は、前記第1および第2のMTJ要素のうちの1つの抵抗を調整することにより調整可能である、第2の基準対と、

前記第1の基準対に対して平行かつ前記第2の基準対に対して平行に結合される基準ブロックであって、前記基準ブロックは、調整可能レジスタネットワークを含み、前記回路の基準抵抗は、前記調整可能レジスタネットワークの抵抗を調整することにより調整可能である、基準ブロックと
を含む回路。

【請求項14】

前記第1の基準対に対して平行かつ前記第2の基準対に対して平行に連結されるメモリ要素を含むメモリ経路をさらに含む、請求項8に記載の回路。

【請求項15】

前記回路の基準抵抗は、前記回路の初期抵抗を判断するためにセルフテストが前記回路で行われた後に調整される、請求項8に記載の回路。

【請求項16】

前記回路の基準抵抗は、前記回路の初期抵抗を判断するためにテストが前記回路で行われた後に調整される、請求項8に記載の回路。

【請求項17】

前記第1の経路が、第1のトランジスタを含み、第1の制御入力、前記第1のトランジスタのゲート末端に結合され、前記第2の経路が、第2のトランジスタを含み、第2の制御入力、前記第2のトランジスタのゲート末端に結合され、前記第1の制御入力、前記第2の制御入力とは異なる、請求項8に記載の回路。

【請求項18】

少なくとも1つの半導体ダイに統合される請求項8に記載の回路。

【請求項19】

前記第1の基準対および前記第2の基準対のうちの1つの前記抵抗が、前記第1の基準対および前記第2の基準対の空間的位置情報に基づき、かつ前記第1、第2、第3、および第4のMTJ要素の抵抗の変動に基づき、調整される、請求項8に記載の回路。

【請求項20】

前記第1の基準対および前記第2の基準対が統合される、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、航法デバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータからなるグループから選択されるデバイスをさらに含む、請求項8に記載の回路。

【請求項21】

共に並列に連結される複数の基準対のうちの第1の基準対の経路を選択するための手段であって、前記基準対の各々が、第1の磁気トンネル結合(MTJ)要素を含む第1の経路と、第2のMTJ要素を含む第2の経路とを含む、手段と、

前記第1の基準対の前記選択された経路内のMTJ要素の抵抗を設定するために、前記選択された経路に電流を流すための手段であって、装置の基準抵抗は、前記複数の基準対の各基準対の抵抗に基づき、前記複数の基準対は、第1の状態にある第1の数のMTJ要素、および第2の状態にある第2の数のMTJ要素を含み、第1の数と第2の数が異なる、手段と
を含む装置。

【請求項22】

メモリ要素の出力電圧を前記調整可能基準回路の前記基準電圧と比較し、前記メモリ要素の前記状態を判断するための手段をさらに含む、請求項21の装置。

【請求項23】

前記調整可能基準回路の前記基準抵抗が、前記複数の基準対の各基準対の前記抵抗の平均であり、前記第1の状態が並列状態に対応し、前記第2の状態が逆並列状態に対応する、請求項21の装置。

【請求項24】

前記第1の基準対の前記選択された経路内の前記MTJ要素の第1の抵抗が、前記MTJ要素の前記第1の状態に対応し、前記第1の基準対の前記選択された経路内の前記MTJ要素の第2の抵抗が、前記MTJ要素の前記第2の状態に対応し、前記第1の抵抗が前記第1の抵抗よりも大きい、請求項21に記載の装置。

【請求項25】

前記複数の基準対のうちの前記第1の基準対の前記経路が、各基準対の前記第1および第2のMTJ要素の空間的位置に関する情報に基づき、かつ各基準対の前記第1および第2のMTJ要素の前記抵抗の変動に基づき、選択される、請求項21に記載の装置。

【請求項26】

共に並列に連結される複数の基準対のうちの第1の基準対の経路を選択するためのステップであって、前記基準対の各々が、第1の磁気トンネル結合(MTJ)要素を含む第1の経路と、第2のMTJ要素を含む第2の経路とを含む、ステップと、

前記第1の基準対の前記選択された経路内のMTJ要素の抵抗を設定するために、前記選択された経路に電流を流すためのステップであって、調整可能基準回路の基準抵抗は、前記複数の基準対の各基準対の抵抗に基づき、前記複数の基準対は、第1の状態にある第1の数のMTJ要素、および第2の状態にある第2の数のMTJ要素を含み、第1の数と第2の数異なる、ステップを含む方法。

【請求項27】

前記複数の基準対のうちの前記第1の基準対を選択することが、電子デバイスに統合されるプロセッサにおいて実行される、請求項26に記載の方法。

【請求項28】

前記複数の基準対のうちの前記第1の基準対の前記経路が、各基準対の前記第1および第2のMTJ要素の空間的位置に関する情報に基づき、かつ各基準対の前記第1および第2のMTJ要素の前記抵抗の変動に基づき、選択される、請求項26に記載の方法。

【請求項29】

コンピュータにより実行可能な命令を記憶する非一時的コンピュータ可読有形媒体であって、前記命令が、

共に並列に連結される複数の基準対のうちの第1の基準対の経路を選択するように前記コンピュータによって実行可能である命令であって、前記基準対の各々が、第1の磁気トンネル結合(MTJ)要素を含む第1の経路と、第2のMTJ要素を含む第2の経路とを含む、命令と、

前記第1の基準対の前記選択された経路内のMTJ要素の抵抗を設定するために、前記選択された経路に電流を流すように前記コンピュータによって実行可能である命令であって、調整可能基準回路の基準抵抗は、前記複数の基準対の各基準対の抵抗に基づき、前記複数の基準対は、第1の状態にある第1の数のMTJ要素、および第2の状態にある第2の数のMTJ要素を含み、第1の数と第2の数異なる、命令とを含む、非一時的コンピュータ可読有形媒体。

【請求項30】

メモリ要素の抵抗を前記調整可能基準回路の前記基準抵抗と比較し、前記メモリ要素の前記状態を判断するように前記コンピュータによって実行可能である命令をさらに含む、請求項29に記載の非一時的コンピュータ可読有形媒体。

【請求項31】

前記複数の基準対のうちの前記第1の基準対の前記経路が、各基準対の第1および第2のMTJ要素の空間的位置に関する情報に基づき、かつ各基準対の第1および第2のMTJ要素の前記抵抗の変動に基づき、選択される、請求項29に記載の非一時的コンピュータ可読有形媒

体。

【請求項 3 2】

半導体デバイスに対応する設計情報を含むデータファイルを受信するステップと、
前記設計情報に従って前記半導体デバイスを組み立てるステップと
を含む方法であって、

前記半導体デバイスが、

第1の経路および第2の経路を含む第1の基準対であって、前記第1の経路が第1の磁気ト
ンネル結合(MTJ)要素を含み、前記第2の経路が第2のMTJ要素を含み、第1の基準対と、
第3の経路および第4の経路を含む第2の基準対であって、前記第3の経路が第3のMTJ要素
を含み、前記第4の経路が第4のMTJ要素を含み、第2の基準対とを含み、

前記第1の基準対および前記第2の基準対は共に並列に連結され、前記回路の基準抵抗は
前記第1、第2、第3、および第4のMTJ要素の各々の抵抗に基づき、前記回路の基準抵抗は
前記第1および第2のMTJ要素のうちの1つの抵抗を調整することにより調整可能であり、第
1の数の前記第1、第2、第3、および第4のMTJ要素は、第1の状態にあり、第2の数の前記第
1、第2、第3、および第4のMTJ要素は、第2の状態にあり、前記第1の数と前記第2の数が異
なる、方法。

【請求項 3 3】

前記データファイルがGDSIIフォーマットを有する、請求項32に記載の方法。

【請求項 3 4】

前記データファイルがGERBERフォーマットを有する、請求項32に記載の方法。

【請求項 3 5】

前記第1の基準対および前記第2の基準対のうちの1つの前記抵抗が、第1の基準対お
よび前記第2の基準対の空間的位置情報に基づき、かつ前記第1、第2、第3、および第4のM
TJ要素の抵抗の変動に基づき、調整される、請求項32に記載の方法。

【請求項 3 6】

第1のスペアMTJ要素および第2のスペアMTJ要素を含むスペア基準対のうちの前記第1の
スペアMTJ要素の抵抗を調整することによって、前記調整可能基準回路の前記基準抵抗を
調整するステップであって、前記スペア基準対が、前記第1の基準対と平行、かつ第2の基
準対と平行に結合される、ステップをさらに含む請求項2に記載の方法。