(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3648016号

(P3648016)

(45)発行日　平成17年5月18日(2005.5.18)　(24)登録日　平成17年2月18日(2005.2.18)

(51)Int.Cl.[7]	F I		
G11C 29/00	G11C	29/00	671P
G01R 31/28	G01R	31/28	B
G11C 11/401	G01R	31/28	E
	G11C	11/34	371A

請求項の数 5　(全 7 頁)

(21)出願番号　特願平9-126133
(22)出願日　平成9年5月16日(1997.5.16)
(65)公開番号　特開平10-74399
(43)公開日　平成10年3月17日(1998.3.17)
審査請求日　平成13年5月16日(2001.5.16)
(31)優先権主張番号　1996 P 16885
(32)優先日　平成8年5月16日(1996.5.16)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(72)発明者　李　熙春
大韓民国ソウル特別市江南区逸院洞６８８番地

最終頁に続く

(54)【発明の名称】半導体メモリ装置のマルチビットテスト方法及びその回路

(57)【特許請求の範囲】

【請求項１】

複数のブロックに区分したメモリセルアレイをもつ半導体メモリ装置のマルチビットテスト回路において、

複数のマルチビット入出力ピンから複数の入力バッファを介して入力される複数のデータを増幅して、各ブロック内の連続する複数のメモリセルへ並列に書込み、また、連続する複数のメモリセルからの読出データを増幅する複数のセンスアンプドライバ部と、

複数の前記センスアンプドライバ部による読出データを各ブロックごとに比較し、その比較結果を前記マルチビット入出力ピンへ送る比較部と、

を備えることを特徴とするマルチビットテスト回路。

【請求項２】

前記マルチビット入出力ピンは、一度にアクセスされるメモリセル数より少ない請求項１記載のマルチビットテスト回路。

【請求項３】

隣接したメモリセルへ相補論理が書込まれる請求項１又は請求項２記載のマルチビットテスト回路。

【請求項４】

前記比較部は、書込論理の同じメモリセルからの読出データどうしを排他的演算する第１の論理ゲートと、該第１の論理ゲートの出力を演算する第２の論理ゲートとを含む請求項３記載のマルチビットテスト回路。

【請求項５】
前記比較部は、１ワードラインにより選択されるメモリセルの１つおきに読出データを演算するＥＸＮＯＲゲートと、該ＥＸＮＯＲゲートの出力を演算するＡＮＤゲートとを含む請求項４記載のマルチビットテスト回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体メモリ装置に関し、特に、そのマルチビットテストの方法及回路に関する。
【０００２】
【従来の技術】
半導体メモリ装置として代表的なＤＲＡＭは、マルチビットテスト機能を遂行するための回路を含むのが一般化している。通常、マルチビットテストの際には、読出や書込動作で利用する入出力ピンが全て使われることはない。例えば、入出力ピンが８ピンの場合にはそのうちの４ピンが利用される、という具合である。そして、より多くのセルの不良情報を同時に把握するために、前記の例で言えば４本の入出力ピンから１６個のメモリセルへ同時にテストデータが書込まれ、そのテスト結果は比較圧縮されて、同じ４本の入出力ピンから出力される。これにより、少数の入出力ピンを利用してより多数のセルをテストすることができる（即ち、マルチビットテスト）。
【０００３】
マルチビットテストは、短時間で多数のセルをテストすることが可能なため、低コスト、ＴＡＴの短縮に寄与する。このようなマルチビットテストの手法に関する技術は、例えば米国特許第５，０２９，３３０号の“SEMICONDUCTOR MEMORY DEVICE ”に開示されている。
【０００４】
図１は、半導体メモリ装置のマルチビットテスト回路について示した回路図である。マルチビットテストで利用される入出力ピンがマルチビット入出力ピンとされ、このマルチビット入出力ピンは、１以上とすることが可能である。マルチビットテストはパッケージ又はウェーハのどちらの状態でも行えるが、より効果的なテストのためにウェーハ状態で行うことが多い。
【０００５】
メモリセルアレイを分割して２つのサブアレイ１００，１０１が構成されており、各サブアレイ１００，１０１は、ワードラインごとのブロックに区分されている。代表的に示した各ブロックＢＬＫ０～ＢＬＫ３は、多数のビットラインＢＬ１～ＢＬ４とワードラインＷＬ０，ＷＬ１，ＷＬ２，ＷＬ３との交点に接続されたメモリセルＣ１～Ｃ４，Ｃ５～Ｃ８，Ｃ９～Ｃ１２，Ｃ１３～Ｃ１６をもつ。また、ワードラインＷＬ０～ＷＬ３に不良が発生した場合に置き換えられる冗長ワードラインＲＷＬ０～ＲＷＬ３が各ブロックＢＬＫ０～ＢＬＫ３ごとに配設されている。
【０００６】
各ブロックのビットラインＢＬ１～ＢＬ４は、それぞれセンスアンプドライバ部１０３～１１０に接続される。センスアンプドライバ部１０３～１１０は、入力バッファ部１１５～１１８に接続されており、マルチビット入出力ピンＴＩＯ０，ＴＩＯ２，ＴＩＯ４，ＴＩＯ６から入力されるデータをビットラインを経由して該当メモリセルへ伝送し、そしてメモリセルから読出されたデータを増幅して出力する役割をもつ。入力バッファ部１１５～１１８は、マルチビットテストエネーブル信号ＭＢＴＥに応答してマルチビット入出力ピンＴＩＯ０，ＴＩＯ２，ＴＩＯ４，ＴＩＯ６の入力データをバッファリングし、センスアンプドライバ部１０３～１１０へ伝送する。
【０００７】
また、センスアンプドライバ部１０３～１１０には比較部１１１～１１４が接続されており、マルチビットテストエネーブル信号ＭＢＴＥに応答してセンスアンプドライバ部１０

３～１１０からの読出データを比較して圧縮し、対応するマルチビット入出力ピンＴＩＯ０，ＴＩＯ２，ＴＩＯ４，ＴＩＯ６へ出力する。この比較部１１１～１１４の出力情報により、不良セルの位置が把握される。マルチビット入出力ピンＴＩＯ０，ＴＩＯ２，ＴＩＯ４，ＴＩＯ６は、入出力ピンＩＯ０～ＩＯ７のいずれかを使用可能である。

【０００８】

このように、マルチビットテスト動作には、複数のブロック、センスアンプドライバ部、入力バッファ部、比較部、及び入出力ピンが関連する。そのうち入出力ピンについてみると、ノーマルの読出、書込動作では、８本の入出力ピンＩＯ０～ＩＯ７が利用される。即ち、８本の入出力ピンＩＯ０～ＩＯ７から入力される２進データビットは、それぞれアクセスされる該当のメモリセルＣ１～Ｃ１６にノーマル読出＆書込回路１０２を経て書込まれる。そして読出データは、ノーマル読出＆書込回路１０２を経て８本の入出力ピンＩＯ０～ＩＯ７から出力される。一方、マルチビットテストでは、マルチビット入出力ピンＴＩＯ０～ＴＩＯ６を通じて４×４＝１６個のメモリセルＣ１～Ｃ１６に同時に同一データが書込まれる。そして読出すときに、１本のマルチビット入出力ピンごとにその書込まれた４つのセルデータ（ビット）が一致しているかどうかを比較判断して圧縮し、全マルチビット入出力ピンＴＩＯ０～ＴＩＯ６から出力する。従って、ノーマル動作のときより少ない入出力ピンでマルチビットテストが実施される。

【０００９】

【発明が解決しようとする課題】

上記従来の技術では、各比較部１１１～１１４がそれぞれ４つずつセンスアンプドライバ部１０３～１１０の出力を比較（排他的否定和）し、その比較結果が“１”又は“０”のフラグデータとしてマルチビット入出力ピンＴＩＯ０～ＴＩＯ６から出力される。例えば、比較器１１２から“０”のフラグデータがマルチビット入出力ピンＴＩＯ２へ出力されると、これは、ブロックＢＬＫ０のワードラインＷＬ０に接続されたメモリセルＣ１～Ｃ４のいずれかに不良が発生していることを示しているので、テストの結果、冗長ワードラインＲＷＬ０への置換が行われる。

【００１０】

しかし、各ブロックＢＬＫ０～ＢＬＫ３においてメモリセルＣ１～Ｃ４，Ｃ５～Ｃ８，Ｃ９～Ｃ１２，Ｃ１３～Ｃ１６には同一データが書込まれるので、例えばメモリセルＣ０に不良があって記憶不能になっていたとしても、ビットラインＢＬ１とビットラインＢＬ２との間にショートブリッジ(short brige) が存在すれば、メモリルＣ０の不良を正しく把握することはできない。つまり、従来のマルチビットテスト回路では、ビットラインにショートブリッジが発生していると正確な不良判断ができないという短所がある。

【００１１】

そこで本発明の目的は、ビットラインのショートブリッジが存在しても正確に不良を判別して不良セルの位置情報を把握でき、高速且つ正確な試験を行えるマルチビットテスト方法及びその回路を提供することにある。

【００１２】

【課題が解決するための手段】

この目的のために本発明は、ワードラインで区分した多数のブロックをもつメモリセルアレイを備えた半導体メモリ装置のマルチビットテスト方法において、１以上のマルチビット入出力ピンから入力されるデータを１ビットずつ多数の前記ブロックに並列に書込み、そしてそのブロックごとに記憶データを比較して該比較結果を前記マルチビット入出力ピンから出力することを特徴とする。１ブロックの書込データは隣接メモリセルで論理が異なるようにしてあるとよい。また、１本のワードラインに接続したメモリセル群を１ブロックとすることができ、この場合、ブロック内の隣接したメモリセルに異なるマルチビット入出力ピンから書込が行われるようにしておいて、特に、隣接したメモリセルに相補論理を書込むようにしておくとよい。そして、ブロックごとの記憶データ比較は、同じ論理を書込んだメモリセルからの読出データを排他的演算した後にその結果を論理積演算することにより行うようにすることができる。

【００１３】
本発明によれば、半導体メモリ装置のマルチビットテスト方法において、メモリセルアレイを区分した多数のブロックのいずれかを活性化させる第１過程と、活性化したブロック内の隣接メモリセルに異なるマルチビット入出力ピンから相補論理を書込む第２過程と、この書込を行ったブロックごとに記憶データを比較してその結果をそれぞれ前記マルチビット入出力ピンから出力する第３過程と、を実施することを特徴とする。
【００１４】
そして、本発明では、多数のブロックに区分したメモリセルアレイをもつ半導体メモリ装置のマルチビットテスト回路において、マルチビット入出力ピンから入力されるデータを多数の前記ブロック内のメモリセルへ並列に伝送する入力バッファ部と、この入力バッファ部からのデータを増幅してメモリセルへ書込み、メモリセルからの読出データを増幅するセンスアンプドライバ部と、このセンスアンプドライバ部による読出データを前記ブロックごとに比較し、その比較結果を前記マルチビット入出力ピンへ送る比較部と、を備えることを特徴としたマルチビットテスト回路を提供する。マルチビット入出力ピンは、一度にアクセスされるメモリセル数より少ないものとできる。
【００１５】
入力バッファ部は、ブロック内の隣接したメモリセルへ異なるマルチビット入出力ピンのデータを伝送するようにし、このとき特に、隣接したメモリセルへ相補論理を書込むようにするとよい。比較部は、書込論理の同じメモリセルからの読出データどうし排他的演算する第１の論理ゲートと、該第１の論理ゲートの出力を演算する第２の論理ゲートと、から構成することができる。特に、１ワードラインにより選択されるメモリセルの１つおきに読出データを演算するＥＸＮＯＲゲートと、該ＥＸＮＯＲゲートの出力を演算するＡＮＤゲートと、からなる比較部とするとよい。
【００１６】
【発明の実施の形態】
以下、本発明の実施の形態につき添付図面を参照して詳細に説明する。
【００１７】
図２に、本例のマルチビットテスト回路を図１同様の回路図で示す。この半導体メモリ装置では、書込エネーブル及びカスビフォアラス（ＷＣＢＲ）のタイミングを与えることでマルチビットテストが実行され、ＷＣＢＲ又はラスオンリリフレッシュサイクルにより終了するようにしてある。
【００１８】
図示のように、サブアレイ１００，１０１は多数のブロックＢＬＫ０～ＢＬＫ３に区分され、センスアンプドライバ部１０３～１１０、マルチビットテストエネーブル信号ＭＢＴＥによりスイッチングされるスイッチ手段１１９～１２２を備えた入力バッファ部１１５～１１８、比較部１２３～１３４、そして、１以上のマルチビット入出力ピンＴＩＯ０，ＴＩＯ２，ＴＩＯ４，ＴＩＯ６からマルチビットテスト回路が構成されている。このうち入力バッファ部１１５～１１８のスイッチ手段１１９～１２２の接続関係と、比較部１２３～１３４が、従来と大きく異なっている。
【００１９】
入力バッファ部１１５～１１８は、それぞれスイッチ手段１１９～１２２の各１ビットとして各ブロックＢＬＫ０～ＢＬＫ３に対し並列に接続されている。即ち、入力バッファ部１１５は、各スイッチ手段１１９，１２０，１２１，１２２の中の、センスアンプ部１０３，１０５，１０７，１０９を経てビットラインＢＬ１へつながるスイッチへ並列に接続しており、入力バッファ部１１６は、各スイッチ手段１１９，１２０，１２１，１２２の中の、センスアンプ部１０４，１０６，１０８，１２０を経てビットラインＢＬ２へつながるスイッチへ並列に接続している。また、入力バッファ部１１７は、各スイッチ手段１１９，１２０，１２１，１２２の中の、センスアンプ部１０３，１０５，１０７，１０９を経てビットラインＢＬ３へつながるスイッチへ並列に接続しており、入力バッファ部１１８は、各スイッチ手段１１９，１２０，１２１，１２２の中の、センスアンプ部１０４

，１０６，１０８，１２０を経てビットラインＢＬ４へつながるスイッチへ並列に接続している。

【００２０】

上述のようにしてノーマル動作からマルチビットテストへ進入するとマルチビットテストエネーブル信号ＭＢＴＥが活性化され、これに応答する入力バッファ部１１５～１１８は、マルチビット入出力ピンＴＩＯ０，ＴＩＯ２，ＴＩＯ４，ＴＩＯ６から入力されるテストデータ（ビット）をそれぞれバッファリングし、スイッチ手段１１９～１２２内の対応するスイッチへ伝送する。スイッチ手段１１９～１２２を経てデータを受けたセンスアンプドライバ部１０３～１１０が、データを増幅してブロックＢＬＫ０～ＢＬＫ３内のアクセスされたメモリセルへ伝送する。

【００２１】

各ブロック内の連続して隣り合ったメモリセルＣ１～Ｃ４，Ｃ５～Ｃ８，Ｃ９～Ｃ１２，Ｃ１３～Ｃ１５がワードラインＷＬ０，ＷＬ１，ＷＬ２，ＷＬ３に従い選択されたとすると、マルチビット入出力ピンＴＩＯ０によるデータビットは、各ブロックＢＬＫ０～ＢＬＫ３へ並列して送られて、メモリセルＣ１，Ｃ５，Ｃ１２，Ｃ１６に同時に書込まれ、マルチビット入出力ピンＴＩＯ２によるデータビットも、各ブロックＢＬＫ０～ＢＬＫ３へ並列して送られて、メモリセルＣ２，Ｃ６，Ｃ１１，Ｃ１５に同時に書込まれる。マルチビット入出力ピンＴＩＯ４，ＴＩＯ６のデータビットも同様にして各ブロックＢＬＫ０～ＢＬＫ３へ並列して送られ、隣り合ったメモリセルＣ３，Ｃ７，Ｃ１０，Ｃ１４とメモリセルＣ４，Ｃ８，Ｃ９，Ｃ１３に書込まれる。

【００２２】

これにより、例えば、ワードラインＷＬ０で選択される隣り合ったメモリセルＣ１とメモリセルＣ２には、異なる位相のデータが記憶されることになる。即ち、１ワードラインで選択される隣接メモリセルには、交互に相補論理が書込まれる。これにより、ビットラインにショートブリッジがあったとしても正確な不良判定を行える。

【００２３】

このようにしてテストデータを書込んだ後の比較圧縮読出過程は、次のようになる。

【００２４】

上記のようにして隣接セルへ交互に異なる論理を書込んである各ブロックＢＬＫ０～ＢＬＫ３に対しては、ブロックごとにそれぞれ比較部１２３～１３４が設けられ、その比較部１２３～１３４による比較結果のフラグデータがマルチビット入出力ピンＴＩＯ０～ＴＩＯ６へ出力される。

【００２５】

代表してブロックＢＬＫ０について説明すると、まず、読出される連続４個のメモリセルＣ１～Ｃ４のデータは交互に相補論理になっているので、従来のように一括して排他演算をすることはできない。そこで最初に、同じデータを書込んであるメモリセルどうしを排他演算し、その結果を比較判断するようにする。つまり、メモリセルＣ２，Ｃ４の読出データをＥＸＮＯＲゲート１２５で比較すると共にメモリセルＣ１，Ｃ３の読出データをＥＸＮＯＲゲート１２６で比較し、そして、その両出力をＡＮＤゲート１３２で比較した結果をマルチビット入出力ピンＴＩＯ２から出力する。従って、メモリセルＣ１，Ｃ３のデータが同じで且つメモリセルＣ２，Ｃ４のデータが同じであれば、ＡＮＤゲート１３２から論理“１”が出力されてマルチビット入出力ピンＴＩＯ２へ送られる。

【００２６】

一方、メモリセルＣ１～Ｃ４のうちいずれか１つでもデータが異常であれば、ＥＸＮＯＲゲート１２５，１２６の出力が論理“０”になるので、ＡＮＤゲートから論理“０”が出力されてマルチビット入出力ピンＴＩＯ２へ送られる。この場合、例えばビットラインＢＬ１とビットラインＢＬ２とが短絡していても、これに接続のメモリセルＣ１とメモリセルＣ２とは異なるデータが入れられているので、正確に不良判断を行えることになる。そして、不良が検出されればワードラインＷＬ０を冗長ワードラインＲＷＬ０へ置き換えることが可能である。同様にして、ワードラインＷＬ１はマルチビット入出力ピンＴＩＯ０

、ワードラインＷＬ２はマルチビット入出力ピンＴＩＯ４、ワードラインＷＬ３はマルチビット入出力ピンＴＩＯ６を通じて不良判断を行える。

【００２７】

【発明の効果】

本発明によれば、例えばマルチビット入出力ピンに交互に異なるデータビットを提供すれば、不良セルを正確に判別して位置情報を把握できる効率的なテストパターンを構築することが可能である。即ち、ワードラインに従い選択される多数の隣接セルに交互に異なる論理を記憶させられるので、ショートブリッジ性の不良があっても正確な不良情報を把握することができる。

【図面の簡単な説明】

【図１】従来におけるマルチビットテスト回路を示した回路図。

【図２】本発明によるマルチビットテスト回路を示した回路図。

【符号の説明】

１０３～１１０　センスアンプドライバ部

１１５～１１８　入力バッファ部

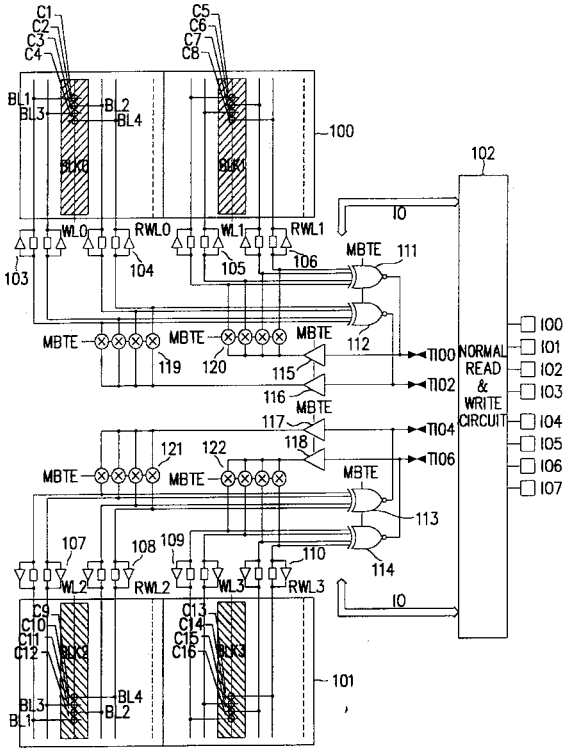
１１９～１２２　スイッチ手段

１２３～１３４　比較部

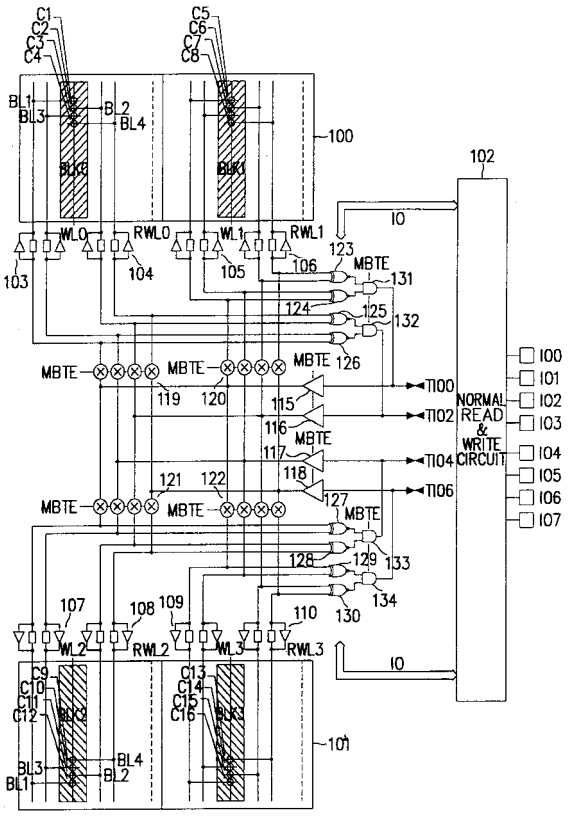
ＴＩＯ０～ＴＩＯ６　マルチビット入出力ピン

Ｃ１～Ｃ１６　メモリセル

【図１】



【図２】



フロントページの続き

(72)発明者　李　在▲ひょん▼
大韓民国ソウル特別市瑞草区瑞草１洞亞南アパート１棟９０２号

審査官　小松　正

(56)参考文献　特開平０６－２６７２９４（ＪＰ，Ａ）
特開平０５－２４９１９６（ＪＰ，Ａ）
特開平０５－３２５５９８（ＪＰ，Ａ）
特開平０２－０２４９００（ＪＰ，Ａ）
特開平０８－１０２１８４（ＪＰ，Ａ）
特開平０７－２６２７９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099
G01R 31/28-31/3193