

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/100705 A1

PCT

(43) 国際公開日

2010 年 9 月 10 日(10.09.2010)

(51) 国際特許分類:

H01L 21/3205 (2006.01) H01L 25/07 (2006.01)

H01L 23/52 (2006.01) H01L 25/18 (2006.01)

H01L 25/065 (2006.01)

(21) 国際出願番号: PCT/JP2009/007346

(22) 国際出願日: 2009 年 12 月 28 日(28.12.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2009-050758 2009 年 3 月 4 日(04.03.2009) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 〇 〇 6 番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 松本 晋 (MATSUMOTO, Susumu).

(74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

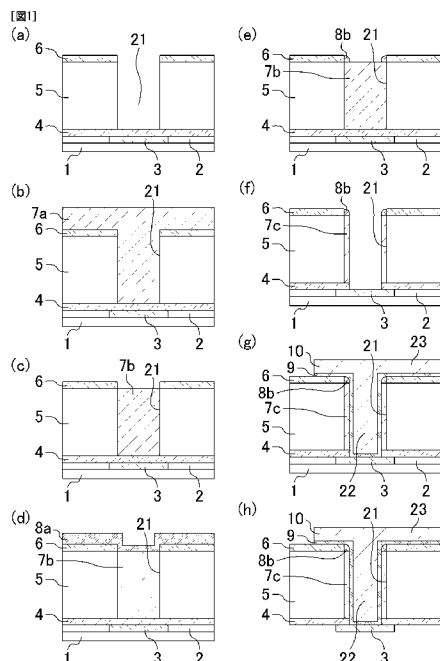
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A via hole (21) is formed such that the via hole penetrates a semiconductor substrate (5). An insulating via coat material (7a) is embedded in the via hole (21). The via coat material (7a) is removed by leaving the via coat material (7a) as a via coat film (7c) on the portion covering the inner wall of the via hole (21). A through via (22) is formed by embedding a conductive film (10) in the via hole (21) having the via coat film (7c) left thereon.

(57) 要約: 半導体基板 (5) を貫通するようにビアホール (21) を形成する。ビアホール (21) 内に絶縁性のビア被覆材料 (7a) を埋め込む。ビアホール (21) の内壁を覆う部分のビア被覆材料 (7a) をビア被覆膜 (7c) として残してビア被覆材料 (7a) を除去する。ビア被覆膜 (7c) が残存するビアホール (21) 内に導電膜 (10) を埋め込むことにより貫通ビア (22) を形成する。

WO 2010/100705 A1

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、貫通ビアにより半導体集積回路を３次元に集積させた半導体装置及びその製造方法に関するものである。

背景技術

[0002] 近年、半導体集積回路装置の高集積化、高機能化及び高速化と共に、パッケージの小型化を進めるために、Ｓｉ貫通ビアを使って複数のチップを積層する３次元実装技術の検討が本格化してきている。その中の一つの手法に関しては、例えば非特許文献１に記載されている。以下、非特許文献１の開示内容を参考に、従来例に係るＳｉ貫通ビアの製造方法について説明する。

[0003] 図１３（ａ）～（ｆ）は、従来例に係るＳｉ貫通ビアの製造方法の各工程を示す断面図である。

[0004] 図１３（ａ）に示すように、シリコンデバイスウェハ（シリコン基板）１０１のデバイス側表面をガラスキャリア１０５にワックス１０４によって貼り付けた後、シリコン基板１０１の裏面（デバイス側表面の反対面）側から研磨を実施し、シリコン基板１０１の厚さを５０μｍ程度に薄くする。

[0005] その後、図１３（ｂ）に示すように、シリコン基板１０１の裏面上にリング状のパターンを持つレジスト１０６をリソグラフィ法により形成した後、レジスト１０６をマスクとしてシリコン基板１０１に対してエッチングを行う。これにより、シリコン基板１０１のデバイス側表面を覆う層間膜１０２に達するリング状の溝１５１が形成される。図１４に、リング状の溝１５１の平面図を示す。

[0006] その後、図１３（ｃ）に示すように、レジスト１０６を除去した後、シリコン基板１０１の裏面上に絶縁性ポリマー１０７を塗布してリング状の溝１５１を埋め込む。

[0007] その後、図１３（ｄ）に示すように、絶縁性ポリマー１０７上に、リング

状の溝 151 により囲まれた円形領域上に開口部を有するレジスト 108 をリソグラフィ法により形成した後、レジスト 108 をマスクとして絶縁性ポリマー 107 に対してエッチングを行う。これにより、リング状の溝 151 により囲まれた円形領域に位置する部分の絶縁性ポリマー 107 が除去される。

[0008] その後、図 13 (e) に示すように、リング状の溝 151 により囲まれた円形領域に位置する部分のシリコン基板 101 をドライエッチングにより除去することにより、層間膜 102 に達するビアホール 152 を形成する。その後、ウェットエッチングを用いて、ビアホール 152 底部の層間膜 102 を除去する。これにより、シリコン基板 101 のデバイス側表面を覆う層間膜 102 上に形成されている配線 103 が露出する。

[0009] その後、レジスト 108 を除去した後、図 13 (f) に示すように、ビアホール 152 の壁面及び底面を覆うようにシード層 109 を形成し、その後、配線形成領域に開口部を有するレジストパターン 110 を形成した後、銅めっきを行って銅膜 111 によりビアホール 152 を埋め込む。最後に、図示は省略しているが、レジストパターン 110 及びその下側のシード層 109 を除去して Si 貫通ビア電極を完成させる。

[0010] 以上に説明した従来例に係る手法によれば、CVD (chemical vapor deposition) により形成される絶縁膜と比べて低い誘電率及び低い弾性率を持つ絶縁性ポリマー 107 をシリコン基板 101 と貫通ビア (銅膜 111) との間に形成することができるので、貫通ビアに起因する寄生容量を低減することができる。また、絶縁性ポリマー 107 が緩衝材になるので、シリコン基板 101 と貫通ビア (銅膜 111) との熱膨張係数の違いに起因する応力ミスマッチを緩和することができる。

先行技術文献

非特許文献

[0011] 非特許文献1: Deniz Sabuncuoglu Tezcan, Fabrice Duval, Ole Luhn, Philippe Soussan, Bart Swinnen, “A New Scaled Through Si Via with Polymer

Fill for 3D Wafer Level Packaging”、Extended Abstracts of the 2008 International Conference on Solid State Devices and Materials、筑波（日本）、2008年、pp. 52-53

発明の概要

発明が解決しようとする課題

- [0012] しかしながら、前述の従来例によると、絶縁性ポリマーを埋め込むためにシリコン基板中に形成されたリング状の溝のアスペクト比が高いため、微細化に伴って絶縁性ポリマーの埋め込みが困難になる結果、貫通ビアにより半導体集積回路を3次元に集積させた半導体装置において、今後の微細化・高集積化・低コスト化に対応することは困難である。
- [0013] 前記に鑑み、本発明は、貫通ビアにより半導体集積回路を3次元に集積させた半導体装置において、微細化・高集積化・低コスト化を図りつつ、貫通ビアに起因する寄生容量の低減と、基板材料と貫通ビア材料との熱膨張係数の違いに起因する応力ミスマッチの緩和とをそれぞれ可能として信頼性を向上させることを目的とする。

課題を解決するための手段

- [0014] 前記の目的を達成するために、本発明に係る半導体装置の製造方法は、素子形成面となる第1面及び前記第1面とは反対側の第2面を有する半導体基板を貫通するようにビアホールを形成する工程（a）と、前記ビアホール内に絶縁性のビア被覆材料を埋め込む工程（b）と、前記ビアホールの内壁を覆う部分の前記ビア被覆材料をビア被覆膜として残して前記ビア被覆材料を除去する工程（c）と、前記ビア被覆膜が残存する前記ビアホール内に導電膜を埋め込むことにより、前記半導体基板を貫通する貫通ビアを形成する工程（d）とを備えている。
- [0015] 本発明に係る半導体装置の製造方法において、前記工程（a）よりも前に、前記半導体基板の前記第2面上に絶縁性の保護膜を形成する工程をさらに備え、前記工程（a）において、前記保護膜をさらに貫通するように前記ビアホールを形成し、前記工程（b）と前記工程（c）との間に、前記保護膜

中に位置する部分の前記ビアホール内に埋め込まれている前記ビア被覆材料を除去する工程（b 1）と、前記ビアホール内に残存する前記ビア被覆材料の上に絶縁膜を形成する工程（b 2）と、前記保護膜中に位置する部分の前記ビアホールの内壁を覆う部分の前記絶縁膜を残して前記絶縁膜を除去する工程（b 3）とをさらに備え、前記工程（c）において、前記保護膜中に位置する部分の前記ビアホールの内壁上に残存する前記絶縁膜をマスクとして、前記ビアホール内に残存する前記ビア被覆材料をエッチングしてもよい。この場合、前記絶縁膜は前記ビア被覆材料よりもエッチングされにくい材料から構成されていてもよい。

[0016] 本発明に係る半導体装置の製造方法において、前記工程（a）よりも前に、前記半導体基板の前記第2面上に絶縁性の保護膜を形成する工程をさらに備え、前記工程（a）において、前記保護膜をさらに貫通するように前記ビアホールを形成し、前記工程（c）において、前記保護膜中に位置する部分の前記ビアホールの内壁上にも前記ビア被覆材料を前記ビア被覆膜として残存させてもよい。この場合、前記工程（b）において、前記ビア被覆材料を前記保護膜上にまで形成し、前記工程（c）において、前記保護膜上にも前記ビア被覆材料を前記ビア被覆膜として残存させてもよい。

[0017] 本発明に係る半導体装置の製造方法において、前記ビア被覆材料は絶縁性ポリマーから構成されていてもよい。

[0018] また、本発明に係る半導体装置は、素子形成面となる第1面及び前記第1面とは反対側の第2面を有する半導体基板と、前記半導体基板を貫通する貫通ビアと、前記貫通ビアの側壁と前記半導体基板との間に形成された絶縁性のビア被覆膜と、前記半導体基板の前記第2面上に形成された絶縁性の保護膜とを備え、前記ビア被覆膜と前記保護膜とは互いに異なる絶縁膜である。

[0019] 本発明に係る半導体装置において、前記ビア被覆膜の前記第2面側の端は、前記半導体基板の前記第2面と実質的に同じ平面内に位置しており、前記ビア被覆膜の前記第2面側の端を覆うように、前記保護膜とは異なる絶縁膜が形成されていてもよい。

[0020] 本発明に係る半導体装置において、前記ビア被覆膜の前記第2面側の端は、前記保護膜の表面と実質的に同じ平面内に位置していてもよい。

[0021] 本発明に係る半導体装置において、前記ビア被覆膜は前記保護膜上にまで形成されていてもよい。

[0022] 本発明に係る半導体装置において、前記ビア被覆膜は絶縁性ポリマーから構成されていてもよい。

発明の効果

[0023] 本発明に係る半導体装置及びその製造方法によると、貫通ビア側壁に低誘電率を有するビア被覆膜を自己整合的に薄く形成することが可能となるので、貫通ビアに起因する寄生容量を低減することができる。また、低弾性率を有するビア被覆膜が緩衝材として機能するため、基板材料と貫通ビア材料との熱膨張係数の違いに起因する応力ミスマッチを緩和することができる。従って、高信頼性を有する貫通ビアにより半導体集積回路を3次元に集積させた半導体装置を低コストで提供することができると共に、当該半導体装置のさらなる微細化及び高集積化を実現することができる。

図面の簡単な説明

[0024] [図1]図1(a)～図1(h)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

[図2]図2は本発明の第1の実施形態に係る半導体装置の断面図である。

[図3]図3(a)～図3(h)は本発明の第1の実施形態の第1変形例に係る半導体装置の製造方法の各工程を示す断面図である。

[図4]図4は本発明の第1の実施形態の第1変形例に係る半導体装置の断面図である。

[図5]図5(a)～図5(h)は第1の実施形態の第2変形例に係る半導体装置の製造方法の各工程を示す断面図である。

[図6]図6は第1の実施形態の第2変形例に係る半導体装置の断面図である。

[図7]図7(a)～図7(g)は第1の実施形態の第3変形例に係る半導体装置の製造方法の各工程を示す断面図である。

[図8] 図8は第1の実施形態の第3変形例に係る半導体装置の断面図である。

[図9] 図9は本発明の第2の実施形態に係る構造体の一例を示す断面図である。

[図10] 図10は本発明の第2の実施形態に係る構造体の一例を示す断面図である。

[図11] 図11は本発明の第2の実施形態に係る構造体の一例を示す断面図である。

[図12] 図12は本発明の第2の実施形態に係る構造体の一例を示す断面図である。

[図13] 図13(a)～(f)は従来例に係る半導体装置の製造方法の各工程を示す断面図である。

[図14] 図14は、従来例に係る半導体装置の製造方法の図13(b)に示す工程が終了した時点での上面図である。

発明を実施するための形態

[0025] (第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置の製造方法について、図1(a)～図1(h)を参照しながら説明する。尚、本実施形態で使用している、材料、数値等は例示であって、それらに本発明が限定されることはない。また、本発明の技術的思想の範囲を逸脱しない範囲で本実施形態を適宜変更することは可能であり、さらに、本実施形態と他の実施形態との組み合わせなども可能である。

[0026] まず、図1(a)に示すように、シリコンデバイスウェハ（例えばシリコン基板などの半導体基板）5のデバイス側表面をガラスキャリア1にワックス2によって貼り付けた後、当該デバイス側表面をフェイスダウンした状態でシリコンデバイスウェハ5を裏面（デバイス側表面の反対面）側から研磨し、例えば厚さ50 μ m程度に薄くする。

[0027] ここで、シリコンデバイスウェハ5のデバイス側表面上には第1絶縁膜（表面保護膜）4が形成されており、また、第1絶縁膜4の表面上には配線又

はパッド等となる金属膜 3 が形成されている。尚、金属膜 3 が配線となる場合には金属膜 3 が第 1 絶縁膜 4 の内部に形成される場合もあるが、説明を簡単にするために、第 1 絶縁膜 4 の表面上に金属膜 3 を形成した様子を図示している。また、ガラスキャリア 1 とは、シリコンデバイスウェハ 5 をハンドリングするためのツールである。

[0028] その後、研磨後のシリコンデバイスウェハ 5 の裏面上に、例えば窒化シリコン (S i N) 膜等からなる厚さ $1\ \mu\text{m}$ 程度の第 2 絶縁膜 (裏面保護膜) 6 を成膜した後、第 2 絶縁膜 6 及びシリコンデバイスウェハ 5 を貫通する例えばビア径 $10\ \mu\text{m}$ のビアホール 2 1 を第 1 絶縁膜 4 に達するように形成する。

[0029] 次に、図 1 (b) に示すように、ビアホール 2 1 内を含む第 2 絶縁膜 6 上に、例えば絶縁性ポリマー等からなる厚さ $5\ \mu\text{m}$ 程度の第 3 絶縁膜 7 a をビアホール 2 1 が埋まるように堆積する。

[0030] 次に、図 1 (c) に示すように、第 2 絶縁膜 6 上に位置する部分の第 3 絶縁膜 7 a と、第 2 絶縁膜 6 中に位置する部分のビアホール 2 1 内に形成されている第 3 絶縁膜 7 a とを除去し、第 3 絶縁膜 7 a からなるダミープラグ 7 b を形成する。

[0031] 次に、図 1 (d) に示すように、ダミープラグ 7 b 上及び第 2 絶縁膜 6 上に、第 3 絶縁膜 7 a (つまりダミープラグ 7 b) に対してエッチング選択比を持つ例えば厚さ $1\ \mu\text{m}$ 程度の第 4 絶縁膜 8 a を成膜する。

[0032] 次に、図 1 (e) に示すように、第 4 絶縁膜 8 a に対して異方性エッチバックを行うことにより、第 2 絶縁膜 6 中に位置する部分のビアホール 2 1 の内壁上に、第 4 絶縁膜 8 a からなるサイドウォール 8 b を形成する。

[0033] 次に、図 1 (f) に示すように、サイドウォール 8 b をマスクとして、ダミープラグ 7 b 及び第 1 絶縁膜 4 に対してエッチングを行って、ビアホール 2 1 の底部に金属膜 3 を露出させる。これにより、シリコンデバイスウェハ 5 中に位置する部分のビアホール 2 1 の内壁上に、ダミープラグ 7 b (第 3 絶縁膜 7 a) の残存部分からなるビア被覆膜 7 c が形成される。ここで、ビ

ア被覆膜 7 c におけるシリコンデバイスウェハ 5 の裏面側の端は、シリコンデバイスウェハ 5 の裏面と実質的に同じ平面内に位置しており、ビア被覆膜 7 c におけるシリコンデバイスウェハ 5 の裏面側の端を覆うように、第 2 絶縁膜（裏面保護膜） 6 とは異なる第 4 絶縁膜 8 a からなるサイドウォール 8 b が形成されている。

[0034] 次に、図 1（g）に示すように、ビアホール 2 1 の内壁及び底部を覆うように、例えば T i からなる厚さ 1 μ m 程度のバリアメタル膜 9 及び例えば厚さ 1 μ m 程度のシード膜（図示省略）を堆積した後、配線形成領域に開口部を有するレジストパターン（図示省略）をマスクとして、例えば銅めっきを行って導電膜 1 0 によりビアホール 2 1 を埋め込み、その後、前記レジストパターン並びにその下側の不要なバリアメタル膜 9 及び前記シード膜を除去する。これにより、貫通ビア 2 2 が形成されると共に貫通ビア 2 2 と接続する配線 2 3 が形成される。

[0035] 次に、図 1（h）に示すように、ガラスキャリア 1 及びワックス 2 を除去することによって、貫通ビア 2 2 を有するデバイスを完成させる。

[0036] 以上に説明した第 1 の実施形態に係る半導体装置の製造方法によると、貫通ビア 2 2 の側壁にビア被覆膜 7 c をマスク枚数を増やすことなく形成することができるという効果が得られる。具体的には、図 1 3（a）～（f）に示す従来例では、マスクを 3 枚用意する必要があったのに対して、本実施形態ではマスクを 2 枚用意すれば十分である。このため、本実施形態では従来例と比較して低コスト化を図ることができる。

[0037] また、本実施形態においては、第 4 絶縁膜 8 a の堆積時の膜厚を調整することによって、第 2 絶縁膜 6 中に位置する部分のビアホール 2 1 の内壁上に形成されるサイドウォール 8 b の厚さ（基板主面に平行な方向における幅）を調整することができる。従って、サイドウォール 8 b をマスクとして用いて形成されるビア被覆膜 7 c の薄膜化を自己整合的に行うことができるので、微細な貫通ビア 2 2 を形成する際に非常に有利である。また、ビア被覆膜 7 c を薄膜化できることにより、貫通ビア 2 2 に起因する寄生容量を低減す

ることができると共に、基板（シリコンデバイスウェハ５）材料と貫通ビア２２（導電膜１０）の材料との熱膨張係数の違いに起因する応力ミスマッチを低減することができる。

[0038] また、図１３（ａ）～（ｆ）に示す従来例では、絶縁性ポリマーを埋め込むためにシリコン基板中に形成されたリング状の溝のアスペクト比が高いため、微細化に伴って絶縁性ポリマーの埋め込みが困難になるという問題があった。それに対して、本実施形態においては、従来例のリング状の溝と比べてアスペクト比が低いビアホール２１全体に、ビア被覆膜７ｃとなる第３絶縁膜７ａを埋め込むので、アスペクト比が低い（つまり開口が大きい）ことに起因して埋め込みマージンが大きくなり、貫通ビア２２の微細化を容易に実現できる。

[0039] 尚、第１の実施形態に係る半導体装置の製造方法においては、貫通ビア２２の側壁上に形成されるビア被覆膜７ｃ（第３絶縁膜７ａ）として、絶縁性ポリマーを用いたが、絶縁性ポリマーに代えて、例えばMSQ（Methylsilsequioxane）膜等の絶縁膜を用いてもよい。また、絶縁性ポリマーとしては、誘電率及び弾性率が低く、且つ埋め込み特性が良好な材料を使用することが好ましく、例えば、フッ素化ポリマー、炭化水素系ポリマー、又はBCB（ベンゾシクロブテン）等の塗布系材料などを使用することが好ましい。

[0040] また、本実施形態において、貫通ビア２２の側壁上にビア被覆膜７ｃを形成する際にマスクとして用いる第４絶縁膜８ａ（サイドウォール８ｂ）としては、ビア被覆膜７ｃとなる第３絶縁膜７ａと比較してエッチングされにくい絶縁膜を用いることが好ましい。具体的には、ビア被覆膜７ｃ（第３絶縁膜７ａ）として絶縁性ポリマーを用いる場合には、第４絶縁膜８ａとしては、絶縁性ポリマーに対するエッチング選択比が高い絶縁膜、例えば、CVDにより成膜した窒化シリコン膜、炭化シリコン膜、又はシリコン酸化膜などを用いることが好ましい。

[0041] また、本実施形態において、貫通ビア２２を構成する導電膜１０として、銅膜を用いたが、これに代えて、例えばタングステンや金等からなる導電膜

を用いてもよい。

[0042] また、本実施形態において、シリコンデバイスウェハ5の裏面上に形成した第2絶縁膜6として、窒化シリコン膜を用いたが、これに代えて、例えば炭化シリコン膜を用いてもよい。このように窒化シリコン膜や炭化シリコン膜を用いると、絶縁性ポリマーに対するエッチング選択比を高くすることができるので、第2絶縁膜6の削れ量を小さくすることができる。

[0043] 次に、本発明の第1の実施形態に係る半導体装置の構造について、図2を参照しながらさらに説明する。

[0044] 図2に示すように、シリコンデバイスウェハ5は、トランジスタやダイオードなどの活性素子の不純物領域（図示省略）が形成されている第1面（デバイス側表面）と、第1面とは反対側の面である第2面（裏面）とを有している。シリコンデバイスウェハ5の第1面上には第1絶縁膜（表面保護膜）4が形成されており、第1絶縁膜4上には、配線又はパッドとなる金属膜3が形成されている。尚、金属膜3が配線となる場合には、金属膜3は第1絶縁膜4の内部に形成される場合もあるが、説明を簡単にするために、第1絶縁膜4の表面上に金属膜3を形成した様子を図示している。また、シリコンデバイスウェハ5の第2面上には第2絶縁膜（裏面保護膜）6が形成されている。また、シリコンデバイスウェハ5の第1面から第2面までを貫通するように貫通ビア22が形成されている。貫通ビア22は、ビアホール21にバリアメタル膜9及び導電膜10を順次埋め込むことにより形成されている。また、貫通ビア22の側壁とシリコンデバイスウェハ5との間には絶縁性のビア被覆膜7cが形成されている。具体的には、ビアホール21は、第2絶縁膜6及びシリコンデバイスウェハ5を貫通するように形成されており、シリコンデバイスウェハ5中に位置する部分のビアホール21の内壁上にビア被覆膜7cが形成されており、第2絶縁膜6中に位置する部分のビアホール21の内壁上にサイドウォール8bがビア被覆膜7cと接するように形成されている。

[0045] 尚、ビアホール21を埋め込んでいる導電膜10におけるビアホール21

からはみ出ている部分は、シリコンデバイスウェハ5のデバイス側表面の素子と貫通ビア22を通じて電氣的な接続を取るための接続部（配線23）となっている。また、貫通ビア22は、シリコンデバイスウェハ5のデバイス側表面の金属膜3と接続するために、第1絶縁膜4を貫通するように形成されている。

[0046] 以上に説明した第1の実施形態に係る半導体装置によると、第2絶縁膜6、ビア被覆膜7c及びサイドウォール8bにより、貫通ビア22を構成するバリアメタル膜9及び導電膜10と、シリコンデバイスウェハ5との接触を防止することができる。また、低い誘電率を持つビア被覆膜7cをシリコンデバイスウェハ5と貫通ビア22との間に形成することができるので、貫通ビア22に起因する寄生容量を低減することができる。

[0047] 尚、第1の実施形態に係る半導体装置において、貫通ビア22の側壁上に形成されるビア被覆膜7c（第3絶縁膜7a）として、絶縁性ポリマー、又は例えばMSQ膜等の絶縁膜を用いてもよい。また、絶縁性ポリマーとしては、誘電率及び弾性率が低く、且つ埋め込み特性が良好な材料を使用することが好ましく、例えば、フッ素化ポリマー、炭化水素系ポリマー、又はBCB（ベンゾシクロブテン）等の塗布系材料などを使用することが好ましい。

[0048] また、第1の実施形態に係る半導体装置において、第2絶縁膜6中に位置する部分のビアホール21の内壁上に形成されるサイドウォール8b（第4絶縁膜8a）としては、ビア被覆膜7cとなる第3絶縁膜7aと比較してエッチングされにくい絶縁膜を用いることが好ましい。具体的には、ビア被覆膜7c（第3絶縁膜7a）として絶縁性ポリマーを用いる場合には、第4絶縁膜8aとしては、絶縁性ポリマーに対するエッチング選択比が高い絶縁膜、例えば、CVDにより成膜した窒化シリコン膜、炭化シリコン膜、又はシリコン酸化膜などを用いることが好ましい。

[0049] また、第1の実施形態に係る半導体装置において、貫通ビア22を構成する導電膜10として、銅膜、又は例えばタングステンや金等からなる導電膜を用いてもよい。

[0050] また、第 1 の実施形態に係る半導体装置において、シリコンデバイスウェハ 5 の裏面上に形成した第 2 絶縁膜 6 として、窒化シリコン膜、又は例えば炭化シリコン膜を用いてもよい。このように窒化シリコン膜や炭化シリコン膜を用いると、絶縁性ポリマーに対するエッチング選択比を高くすることができるので、第 2 絶縁膜 6 の削れ量を小さくすることができる。

[0051] (第 1 の実施形態の第 1 変形例)

以下、本発明の第 1 の実施形態の第 1 変形例に係る半導体装置の製造方法について、図 3 (a) ~ 図 3 (h) を参照しながら説明する。尚、本変形例で使用している、材料、数値等は例示であって、それらに本発明が限定されることはない。また、本発明の技術的思想の範囲を逸脱しない範囲で本変形例を適宜変更することは可能であり、さらに、本変形例と他の実施形態や変形例との組み合わせなども可能である。また、本変形例の図 3 (a)、図 3 (b)、図 3 (g) 及び図 3 (h) に示す工程はそれぞれ、第 1 の実施形態の図 1 (a)、図 1 (b)、図 1 (g) 及び図 1 (h) に示す工程と同様であるので、説明を省略する。

[0052] すなわち、本変形例においては、まず、第 1 の実施形態の図 1 (a) 及び図 1 (b) に示す工程と同様に、図 3 (a) 及び図 3 (b) に示す工程を実施する。

[0053] 次に、図 3 (c) に示すように、第 2 絶縁膜 6 表面よりも上側に位置する部分の第 3 絶縁膜 7 a を除去し、第 3 絶縁膜 7 a からなるダミープラグ 7 b を形成する。

[0054] 次に、図 3 (d) に示すように、ダミープラグ 7 b 上及び第 2 絶縁膜 6 上に、例えば厚さ 1 μ m 程度のレジスト膜 3 1 を成膜する。

[0055] 次に、図 3 (e) に示すように、レジスト膜 3 1 をリソグラフィによりパターン化して、第 2 絶縁膜 6 及びビア被覆膜形成領域を覆うレジストパターン 3 1 A を形成する。

[0056] 次に、図 3 (f) に示すように、レジストパターン 3 1 をマスクとして、ダミープラグ 7 b 及び第 1 絶縁膜 4 に対してエッチングを行って、ビアホー

ル 2 1 の底部に金属膜 3 を露出させた後、レジストパターン 3 1 を除去する。これにより、ビアホール 2 1 の内壁上に、ダミープラグ 7 b（第 3 絶縁膜 7 a）の残存部分からなるビア被覆膜 7 c が形成される。ここで、ビア被覆膜 7 c におけるシリコンデバイスウェハ 5 の裏面側の端は、第 2 絶縁膜 6 の表面と実質的に同じ平面内に位置している。

[0057] その後、第 1 の実施形態の図 1（g）及び図 1（h）に示す工程と同様に、図 3（g）及び図 3（h）に示す工程を実施する。

[0058] 以上に説明した本変形例のように、サイドウォール 8 b をマスクとして用いて絶縁性ポリマーからなるビア被覆膜 7 c を形成するのではなく、レジストパターン 3 1 A をマスクとして用いて絶縁性ポリマーからなるビア被覆膜 7 c を形成することも可能である。また、本変形例においても、従来例のリング状の溝と比べてアスペクト比が低いビアホール 2 1 全体に、ビア被覆膜 7 c となる第 3 絶縁膜 7 a を埋め込むので、アスペクト比が低い（つまり開口が大きい）ことに起因して埋め込みマージンが大きくなり、貫通ビア 2 2 の微細化を容易に実現できる。

[0059] 次に、本発明の第 1 の実施形態の第 1 変形例に係る半導体装置について、図 4 を参照しながら説明する。

[0060] 図 4 に示す本変形例に係る半導体装置が、図 2 に示す第 1 の実施形態と異なっている点は、シリコンデバイスウェハ 5 の第 2 面（裏面）上の第 2 絶縁膜（裏面保護膜）6 中に形成されている部分の貫通ビア 2 2 の側壁までビア被覆膜 7 c によって覆われていることである。このように誘電率が低い絶縁性ポリマーからなるビア被覆膜 7 c によって貫通ビア 2 2 の最上部まで覆われているため、貫通ビア 2 2 の上部コーナーとシリコンデバイスウェハ 5 との間の容量が低くなるので、高速化に有利となる。また、第 1 の実施形態と比べると、ビア被覆膜 7 c とサイドウォール 8 b との界面が存在しないため、当該界面での剥がれに起因する歩留まり劣化や、当該界面を通じたシリコンデバイスウェハ 5 へのリーク電流の発生を防止することができるので、信頼性が向上する。

[0061] (第1の実施形態の第2変形例)

以下、本発明の第1の実施形態の第2変形例に係る半導体装置の製造方法について、図5(a)～図5(h)を参照しながら説明する。尚、本変形例で使用している、材料、数値等は例示であって、それらに本発明が限定されることはない。また、本発明の技術的思想の範囲を逸脱しない範囲で本変形例を適宜変更することは可能であり、さらに、本変形例と他の実施形態や変形例との組み合わせなども可能である。また、本変形例の図5(a)、図5(b)及び図5(d)～図5(h)に示す工程はそれぞれ、第1の実施形態の第1変形例の図3(a)、図3(b)及び図3(d)～図3(h)に示す工程と同様であるので、説明を省略する。

[0062] すなわち、本変形例においては、まず、第1の実施形態の第1変形例の図3(a)及び図3(b)に示す工程と同様に、図5(a)及び図5(b)に示す工程を実施する。

[0063] 次に、図5(c)に示すように、第2絶縁膜6表面よりも上側に位置する部分の第3絶縁膜7aを薄膜化し、第3絶縁膜7aからなるダミープラグ7bを形成する。ここで、ダミープラグ7bを構成する第3絶縁膜7aは第2絶縁膜6の表面上にも残存している。

[0064] その後、第1の実施形態の第1変形例の図3(d)～図3(h)に示す工程と同様に、図5(d)～図5(h)に示す工程を実施する。これにより、ビアホール21の内壁上及び第2絶縁膜6の表面上に、ダミープラグ7b(第3絶縁膜7a)の残存部分からなるビア被覆膜7cが形成される。

[0065] 以上に説明した本変形例のように、シリコンデバイスウェハ5の裏面上に形成された第2絶縁膜6の表面上にもビア被覆膜7cを残存させておくことも可能である。また、本変形例においても、従来例のリング状の溝と比べてアスペクト比が低いビアホール21全体に、ビア被覆膜7cとなる第3絶縁膜7aを埋め込むので、アスペクト比が低い(つまり開口が大きい)ことに起因して埋め込みマージンが大きくなり、貫通ビア22の微細化を容易に実現できる。

[0066] 次に、本発明の第 1 の実施形態の第 2 変形例に係る半導体装置について、図 6 を参照しながら説明する。

[0067] 図 6 に示す本変形例に係る半導体装置が、図 2 に示す第 1 の実施形態と異なっている点は、シリコンデバイスウェハ 5 の裏面（第 2 面）上に形成された第 2 絶縁膜 6 の表面上にもビア被覆膜 7 c が形成されていることである。これにより、貫通ビア 2 2 の側壁上からシリコンデバイスウェハ 5 の第 2 面上まで連続する絶縁膜が存在することになるので、シリコンデバイスウェハ 5 と貫通ビア 2 2 との間の絶縁性を十分に確保することができる。また、シリコンデバイスウェハ 5 の第 2 面上において、第 2 絶縁膜 6 とビア被覆膜 7 c（第 3 絶縁膜 7 a）とが積層された構造が得られるので、シリコンデバイスウェハ 5 の第 2 面の絶縁性を向上させることができる。さらに、誘電率が低い絶縁性ポリマーからなるビア被覆膜 7 c によって貫通ビア 2 2 の最上部まで覆われているため、貫通ビア 2 2 の上部コーナーとシリコンデバイスウェハ 5 との間の容量が低くなるので、高速化に有利となる。また、第 1 の実施形態と比べると、ビア被覆膜 7 c とサイドウォール 8 b との界面が存在しないため、当該界面での剥がれに起因する歩留まり劣化や、当該界面を通じたシリコンデバイスウェハ 5 へのリーク電流の発生を防止することができるので、信頼性が向上する。

[0068] （第 1 の実施形態の第 3 変形例）

以下、本発明の第 1 の実施形態の第 3 変形例に係る半導体装置の製造方法について、図 7（a）～図 7（g）を参照しながら説明する。尚、本変形例で使用している、材料、数値等は例示であって、それらに本発明が限定されることはない。また、本発明の技術的思想の範囲を逸脱しない範囲で本変形例を適宜変更することは可能であり、さらに、本変形例と他の実施形態や変形例との組み合わせなども可能である。また、本変形例の図 7（b）～図 7（g）に示す工程はそれぞれ、第 1 の実施形態の第 2 変形例の図 5（c）～図 5（h）に示す工程と同様であるので、説明を省略する。

[0069] まず、図 7（a）に示すように、シリコンデバイスウェハ 5 のデバイス側

表面をガラスキャリア 1 にワックス 2 によって貼り付けた後、当該デバイス側表面をフェイスダウンした状態でシリコンデバイスウェハ 5 を裏面側から研磨し、例えば厚さ $50\ \mu\text{m}$ 程度に薄くする。

[0070] ここで、シリコンデバイスウェハ 5 のデバイス側表面上には第 1 絶縁膜（表面保護膜）4 が形成されており、また、第 1 絶縁膜 4 の表面上には配線又はパッド等となる金属膜 3 が形成されている。尚、金属膜 3 が配線となる場合には金属膜 3 が第 1 絶縁膜 4 の内部に形成される場合もあるが、説明を簡単にするために、第 1 絶縁膜 4 の表面上に金属膜 3 を形成した様子を図示している。また、ガラスキャリア 1 とは、シリコンデバイスウェハ 5 をハンドリングするためのツールである。

[0071] その後、シリコンデバイスウェハ 5 を貫通する例えばビア径 $10\ \mu\text{m}$ のビアホール 21 を第 1 絶縁膜 4 に達するように形成する。

[0072] その後、第 1 の実施形態の第 2 変形例の図 5（c）～図 5（h）に示す工程と同様に、図 7（b）～図 7（g）に示す工程を実施する。これにより、ビアホール 21 の内壁上及シリコンデバイスウェハ 5 の裏面上に、ダミープラグ 7b（第 3 絶縁膜 7a）の残存部分からなるビア被覆膜 7c が形成される。

[0073] 以上に説明した本変形例のように、シリコンデバイスウェハ 5 の裏面上に第 2 絶縁膜 6 を形成する工程を省略した場合にも、第 2 絶縁膜 6 に代えて、ビア被覆膜 7c（第 3 絶縁膜 7a）をシリコンデバイスウェハ 5 の裏面上に形成することができる。また、本変形例においても、従来例のリング状の溝と比べてアスペクト比が低いビアホール 21 全体に、ビア被覆膜 7c となる第 3 絶縁膜 7a を埋め込むので、アスペクト比が低い（つまり開口が大きい）ことに起因して埋め込みマージンが大きくなり、貫通ビア 22 の微細化を容易に実現できる。

[0074] 次に、本発明の第 1 の実施形態の第 3 変形例に係る半導体装置について、図 8 を参照しながら説明する。

[0075] 図 8 に示す本変形例に係る半導体装置が、図 2 に示す第 1 の実施形態と異

なっている点は、シリコンデバイスウェハ5の裏面（第2面）上に第2絶縁膜6が形成されておらず、且つシリコンデバイスウェハ5の第2面上にもビア被覆膜7cが形成されていることである。これにより、貫通ビア22の側壁上からシリコンデバイスウェハ5の第2面上まで連続する絶縁膜が存在することになるので、シリコンデバイスウェハ5と貫通ビア22との間の絶縁性を十分に確保することができる。さらに、誘電率が低い絶縁性ポリマーからなるビア被覆膜7cによって貫通ビア22の最上部まで覆われているため、貫通ビア22の上部コーナーとシリコンデバイスウェハ5との間の容量が低くなるので、高速化に有利となる。また、第1の実施形態と比べると、ビア被覆膜7cとサイドウォール8bとの界面が存在しないため、当該界面での剥がれに起因する歩留まり劣化や、当該界面を通じたシリコンデバイスウェハ5へのリーク電流の発生を防止することができるので、信頼性が向上する。さらに、第1の実施形態の第2変形例と比べると、第2絶縁膜6が形成されていないため、貫通ビア22を埋め込むビアホール21の深さを浅くすることができるので、埋め込み等に有利となり、さらなる微細化を図ることができる。

[0076] （第2の実施形態）

以下、本発明の第2の実施形態に係る半導体装置、具体的には、前述の第1の実施形態（各変形例を含む：以下同じ）に係る半導体装置を複数積層した構造体について、図面を参照しながら説明する。

[0077] 図9は、本発明の第2の実施形態に係る構造体（積層半導体装置）の断面構造を示している。

[0078] 図9に示すように、積層半導体装置を構成する各半導体装置において、半導体基板51の第1面52a側表面部には、トランジスタやダイオードなどの活性素子の不純物領域53が形成されていると共に、半導体基板51の第1面52a上にはゲート絶縁膜54を介してゲート電極55が形成されている。尚、各活性素子は、半導体基板51の第1面52a側表面部に形成された素子分離56によって電氣的に絶縁されている。半導体基板51の第1面

52a上にはゲート電極55を覆うように第1層間絶縁膜60aが形成されており、第1層間絶縁膜60a中には、不純物領域53やゲート電極55と接続するコンタクト57が形成されている。第1層間絶縁膜60a上には第2層間絶縁膜60b及び第3層間絶縁膜60cが順次積層されている。第2層間絶縁膜60b中には、コンタクト57と接続し且つ半導体装置内で信号の伝達や電源電圧の供給を行う第1配線58a、及び第1配線58aと接続する第1ビア59aが形成されている。第3層間絶縁膜60c中には、第1ビア59aと接続し且つ半導体装置内で信号の伝達や電源電圧の供給を行う第2配線58b、及び第2配線58bと接続する第2ビア59bが形成されている。第3層間絶縁膜60c上には、第2ビア59bと接続し且つ外部へ信号を取り出すための電極パッド61が形成されている。

[0079] また、図9に示すように、第1面52aから第2面52bまで半導体基板51を貫通するように貫通ビア64が形成されている。ここで、貫通ビア64は、第1面52a側の第1層間絶縁膜60a及び第2面52b側の絶縁性保護膜65をも貫通するように形成されている。また、貫通ビア64の側壁は本発明のビア被覆膜63により覆われている。すなわち、図9における貫通ビア形成領域Aは、図2、図4、図6又は図8に示す第1の実施形態の構造を有している。尚、図2、図4、図6及び図8においては、図9の貫通ビア形成領域Aにおける第1面52a側を下側に、第2面52b側を上側に示している。

[0080] 以上のように形成された複数の半導体装置を接着層62により互いに接着し、貫通ビア64を通じて各半導体装置同士を電氣的に接続することにより、積層構造体が形成される。

[0081] 尚、図9に示す積層構造体においては、半導体基板51の第1面52a側の第1層間絶縁膜60a中に位置する部分の貫通ビア64の側壁上に、半導体基板51中に位置する部分の貫通ビア64の側壁上と同じビア被覆膜63を形成している。しかし、これに代えて、第1層間絶縁膜60a中に位置する部分の貫通ビア64の側壁上と、半導体基板51中に位置する部分の貫通

ビア64の側壁上とで互いに異なる絶縁膜をそれぞれビア被覆膜として形成してもよい。

[0082] 以上に説明した本発明の第2の実施形態に係る構造体によると、第1の実施形態に示した貫通ビアを用いて、複数の半導体装置（又は複数の半導体チップ：以下同じ）を積層させることが可能となる。このように、複数の半導体装置を積層させることによって、デバイスの小型化が可能となる。尚、図9に示す積層構造体では、半導体装置を2つ積層させた構造体を例にとって説明したが、例えば図10に示すように、適宜複数の半導体装置を2つ以上積層させることも可能である。その際、図10に示すように、各半導体装置をバンプを介して電氣的に接続することも可能である。また、それぞれの半導体装置の間に接着層を設けることによって、バンプを用いずに、各半導体装置を接着させて樹脂封止を行うことも可能である。

[0083] 具体的には、図10に示す積層構造体において、71A、71B、71Cは半導体基板、72A、72B、72Cはビア被覆膜となる絶縁膜、73A、73B、73Cは電極パッド、74A、74B、74Cは貫通ビア、75A、75B、75Cは配線、76A、76B、76Cはバンプ、77は半導体チップ、78はバンプ、79は封止樹脂である。ここで、図10における貫通ビア形成領域Aは、図2、図4、図6又は図8に示す第1の実施形態の構造を有している。

[0084] また、第2の実施形態において、例えばロジック回路を有する半導体チップを2つ以上積層させた構造体、つまり同種の半導体チップを複数積層させた構造体を示した。しかし、これに代えて、ロジック回路を有する半導体チップと、メモリ素子を有する半導体チップと、撮像素子を有する半導体チップと、MEMS（micro electro mechanical systems）素子を有する半導体チップとを積層させた構造体、つまり異なる種類の半導体チップを複数積層させた構造体を形成することも可能となる。このような構造体例を図10に倣って示すと、図11に示す積層構造体のようになる。このように、異なる種類の半導体チップを複数積層させることにより、実装面積を低減すること

ができ、デバイスの小型化が可能となる。

[0085] 具体的には、図 11 に示す積層構造体において、71A、71B、71C、71D は半導体基板、72A、72B、72C、72D はビア被覆膜となる絶縁膜、73A、73B、73C、73D は電極パッド、74A、74B、74C、74D は貫通ビア、75A、75B、75C、75D は配線、76A、76B、76C、76D はバンプ、77 は半導体チップ、78 はバンプ、79 は封止樹脂、81 はロジック回路を有する半導体チップ、82 はメモリ素子を有する半導体チップ、83 は撮像素子を有する半導体チップである。ここで、図 11 における貫通ビア形成領域 A は、図 2、図 4、図 6 又は図 8 に示す第 1 の実施形態の構造を有している。

[0086] また、第 2 の実施形態において、図 12 に示すように、例えば図 9 に示す積層構造体（同種の半導体チップを積層させた構造体、又は異種の半導体チップを積層させた構造体）を、配線構造 92 を有するプリント配線基板 91 に表面実装することも可能である。このように、プリント配線基板 91 に積層構造体を表面実装することにより、ワイヤボンディングをするための領域を削減して実装面積をさらに低減することができるのみならず、ワイヤボンディングに起因する寄生容量を抑制することもできる。尚、例えば図 10 や図 11 に示すような積層構造体をプリント配線基板に表面実装することも可能であることは言うまでもない。

[0087] 尚、第 1 の実施形態（第 1 ～ 第 3 変形例を含む）においては、半導体基板の裏面（デバイス側表面の反対面）側からビアホールを形成することにより、貫通ビアを形成し、半導体装置（又は半導体チップ）を 1 つずつ形成する方法を説明した。しかし、これに代えて、例えば半導体チップ上に別の半導体基板を重ねた状態で、当該半導体基板の表面（デバイス側表面）側からビアホールを形成することにより、貫通ビアを形成することも可能である。その場合、例えば図 1（a）、図 3（a）、図 5（a）又は図 7（a）に示す金属膜 3 を、図示していない下方に位置する半導体装置のパッドとみなし、第 1 絶縁膜 4 を接着層とみなせばよい。

産業上の利用可能性

[0088] 以上説明したように、本発明は、貫通ビアにより半導体集積回路を３次元に集積させた半導体装置において、微細化・高集積化・低コスト化を図りつつ、貫通ビアに起因する寄生容量の低減と、基板材料と貫通ビア材料との熱膨張係数の違いに起因する応力ミスマッチの緩和とをそれぞれ可能として信頼性を向上させることができ、非常に有用である。

符号の説明

- [0089]
- 1 ガラスキャリア
 - 2 ワックス
 - 3 金属膜
 - 4 第１絶縁膜
 - 5 シリコンデバイスウェハ
 - 6 第２絶縁膜
 - 7 a 第３絶縁膜
 - 7 b ダミープラグ
 - 7 c ビア被覆膜
 - 8 a 第４絶縁膜
 - 8 b サイドウォール
 - 9 バリアメタル膜
 - 10 導電膜
 - 21 ビアホール
 - 22 貫通ビア
 - 23 配線
 - 31 レジスト膜
 - 31 A レジストパターン
 - 51 半導体基板
 - 52 a 第１面
 - 52 b 第２面

- 5 3 不純物領域
- 5 4 ゲート絶縁膜
- 5 5 ゲート電極
- 5 6 素子分離
- 5 7 コンタクト
- 5 8 a 第 1 配線
- 5 8 b 第 2 配線
- 5 9 a 第 1 ビア
- 5 9 b 第 2 ビア
- 6 0 a 第 1 層間絶縁膜
- 6 0 b 第 2 層間絶縁膜
- 6 0 c 第 3 層間絶縁膜
- 6 1 電極パッド
- 6 2 接着層
- 6 3 ビア被覆膜
- 6 4 貫通ビア
- 6 5 絶縁性保護膜
- 7 1 A、7 1 B、7 1 C、7 1 D 半導体基板
- 7 2 A、7 2 B、7 2 C、7 2 D ビア被覆膜となる絶縁膜
- 7 3 A、7 3 B、7 3 C、7 3 D 電極パッド
- 7 4 A、7 4 B、7 4 C、7 4 D 貫通ビア
- 7 5 A、7 5 B、7 5 C、7 5 D 配線
- 7 6 A、7 6 B、7 6 C、7 6 D バンプ
- 7 7 半導体チップ
- 7 8 バンプ
- 7 9 封止樹脂
- 8 1 ロジック回路を有する半導体チップ
- 8 2 メモリ素子を有する半導体チップ

- 8 3 撮像素子を有する半導体チップ
- 9 1 プリント配線基板
- 9 2 配線構造

請求の範囲

- [請求項1] 素子形成面となる第1面及び前記第1面とは反対側の第2面を有する半導体基板を貫通するようにビアホールを形成する工程（a）と、
 前記ビアホール内に絶縁性のビア被覆材料を埋め込む工程（b）と、
 、
 前記ビアホールの内壁を覆う部分の前記ビア被覆材料をビア被覆膜として残して前記ビア被覆材料を除去する工程（c）と、
 前記ビア被覆膜が残存する前記ビアホール内に導電膜を埋め込むことにより、前記半導体基板を貫通する貫通ビアを形成する工程（d）とを備えていることを特徴とする半導体装置の製造方法。
- [請求項2] 請求項1に記載の半導体装置の製造方法において、
 前記工程（a）よりも前に、前記半導体基板の前記第2面上に絶縁性の保護膜を形成する工程をさらに備え、
 前記工程（a）において、前記保護膜をさらに貫通するように前記ビアホールを形成し、
 前記工程（b）と前記工程（c）との間に、前記保護膜中に位置する部分の前記ビアホール内に埋め込まれている前記ビア被覆材料を除去する工程（b1）と、前記ビアホール内に残存する前記ビア被覆材料の上に絶縁膜を形成する工程（b2）と、前記保護膜中に位置する部分の前記ビアホールの内壁を覆う部分の前記絶縁膜を残して前記絶縁膜を除去する工程（b3）とをさらに備え、
 前記工程（c）において、前記保護膜中に位置する部分の前記ビアホールの内壁上に残存する前記絶縁膜をマスクとして、前記ビアホール内に残存する前記ビア被覆材料をエッチングすることを特徴とする半導体装置の製造方法。
- [請求項3] 請求項2に記載の半導体装置の製造方法において、
 前記絶縁膜は前記ビア被覆材料よりもエッチングされにくい材料からなることを特徴とする半導体装置の製造方法。

- [請求項4] 請求項1に記載の半導体装置の製造方法において、
前記工程（a）よりも前に、前記半導体基板の前記第2面上に絶縁性の保護膜を形成する工程をさらに備え、
前記工程（a）において、前記保護膜をさらに貫通するように前記ビアホールを形成し、
前記工程（c）において、前記保護膜中に位置する部分の前記ビアホールの内壁上にも前記ビア被覆材料を前記ビア被覆膜として残存させることを特徴とする半導体装置の製造方法。
- [請求項5] 請求項4に記載の半導体装置の製造方法において、
前記工程（b）において、前記ビア被覆材料を前記保護膜上にまで形成し、
前記工程（c）において、前記保護膜上にも前記ビア被覆材料を前記ビア被覆膜として残存させることを特徴とする半導体装置の製造方法。
- [請求項6] 請求項1～5のいずれか1項に記載の半導体装置の製造方法において、
前記ビア被覆材料は絶縁性ポリマーからなることを特徴とする半導体装置の製造方法。
- [請求項7] 素子形成面となる第1面及び前記第1面とは反対側の第2面を有する半導体基板と、
前記半導体基板を貫通する貫通ビアと、
前記貫通ビアの側壁と前記半導体基板との間に形成された絶縁性のビア被覆膜と、
前記半導体基板の前記第2面上に形成された絶縁性の保護膜とを備え、
前記ビア被覆膜と前記保護膜とは互いに異なる絶縁膜であることを特徴とする半導体装置。
- [請求項8] 請求項7に記載の半導体装置において、

前記ビア被覆膜の前記第2面側の端は、前記半導体基板の前記第2面と実質的に同じ平面内に位置しており、

前記ビア被覆膜の前記第2面側の端を覆うように、前記保護膜とは異なる絶縁膜が形成されていることを特徴とする半導体装置。

[請求項9] 請求項7に記載の半導体装置において、

前記ビア被覆膜の前記第2面側の端は、前記保護膜の表面と実質的に同じ平面内に位置していることを特徴とする半導体装置。

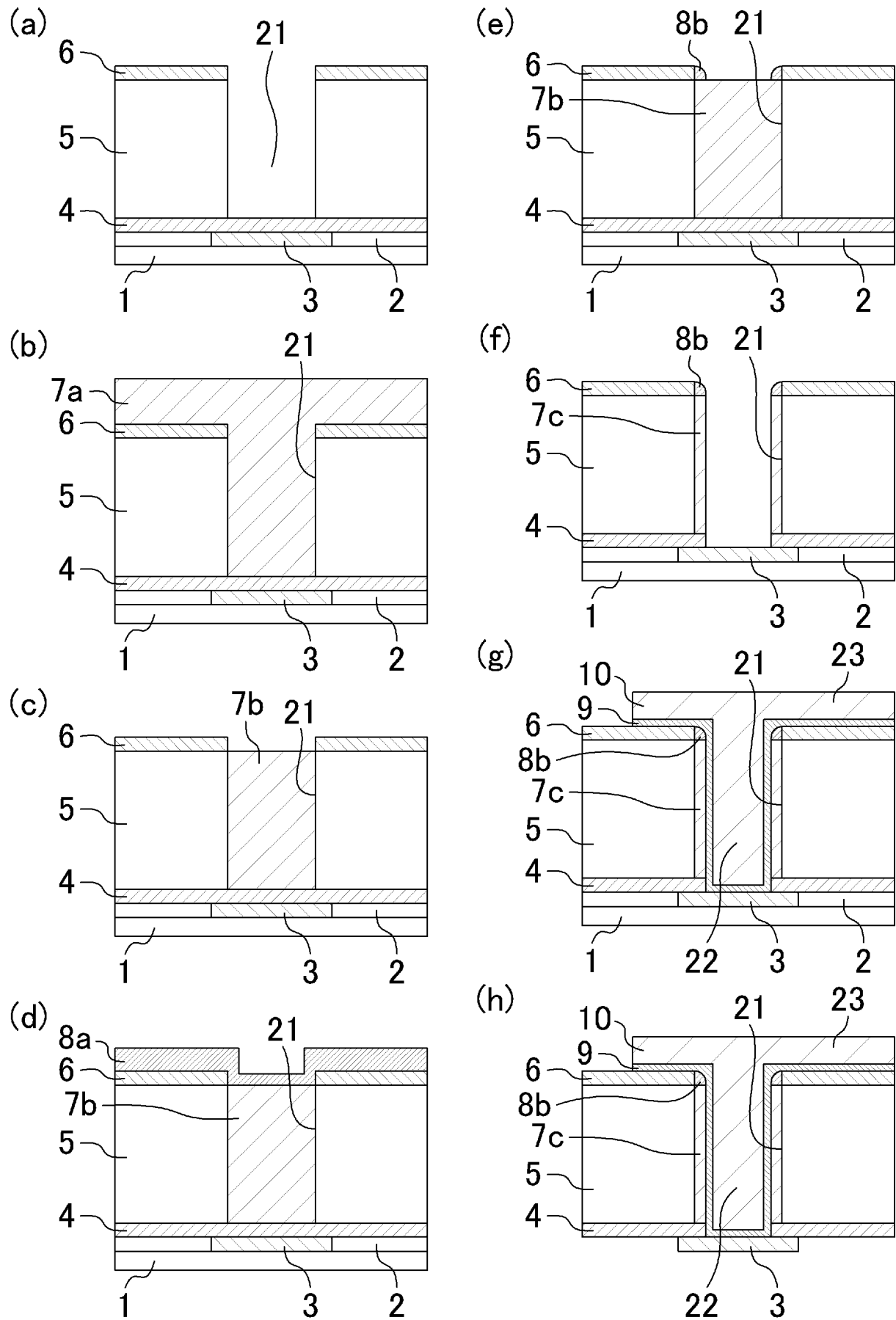
[請求項10] 請求項7に記載の半導体装置において、

前記ビア被覆膜は前記保護膜上にまで形成されていることを特徴とする半導体装置。

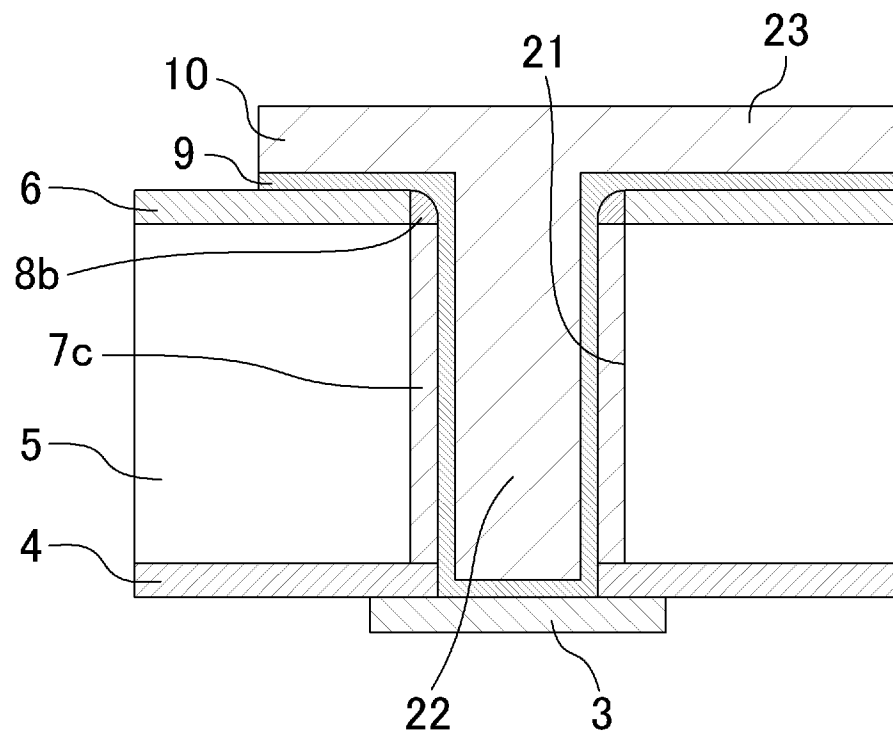
[請求項11] 請求項7～10のいずれか1項に記載の半導体装置において、

前記ビア被覆膜は絶縁性ポリマーからなることを特徴とする半導体装置。

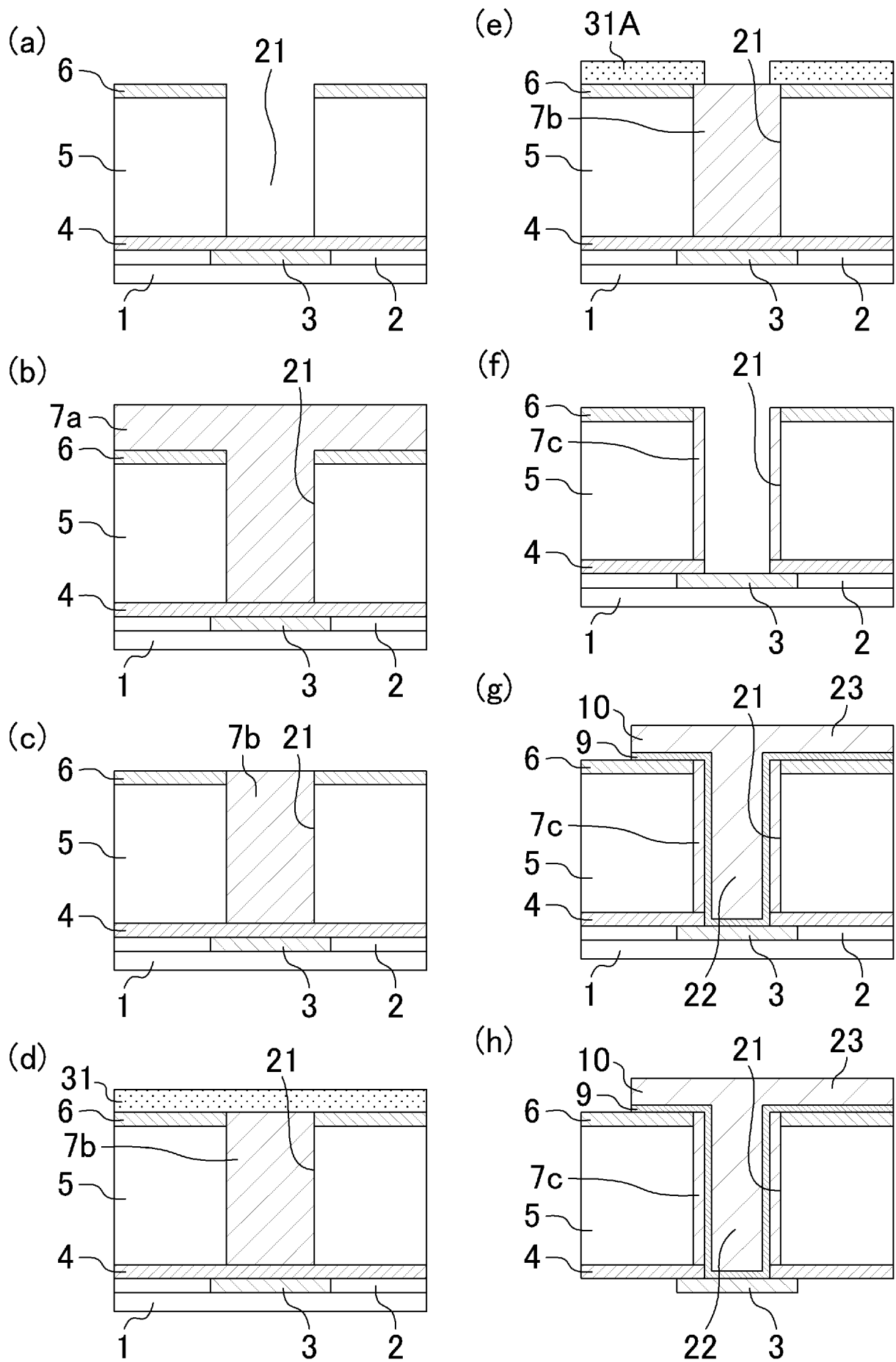
[図1]



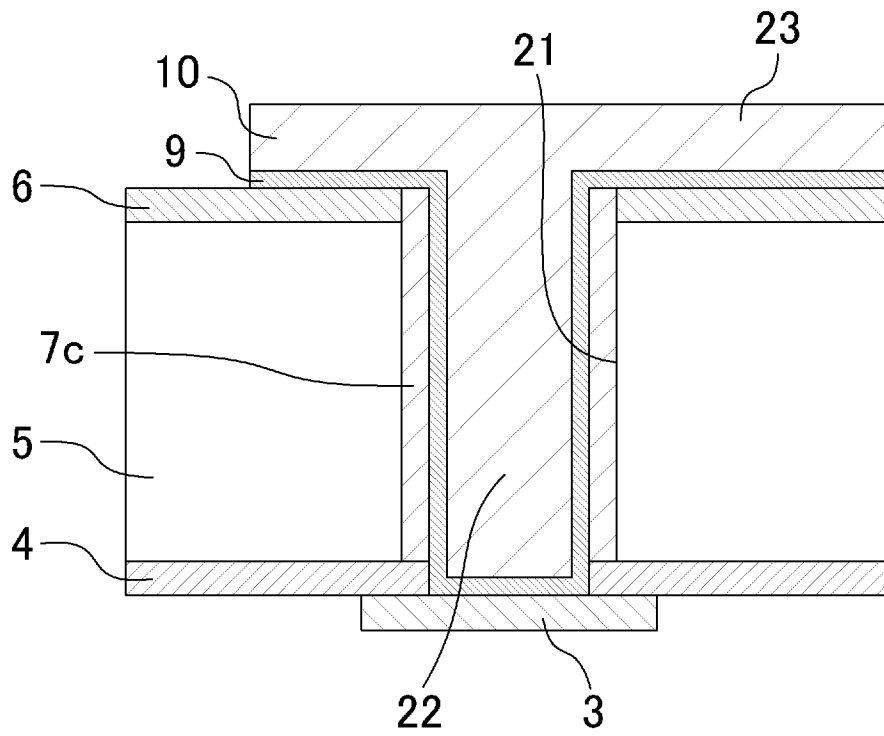
[図2]



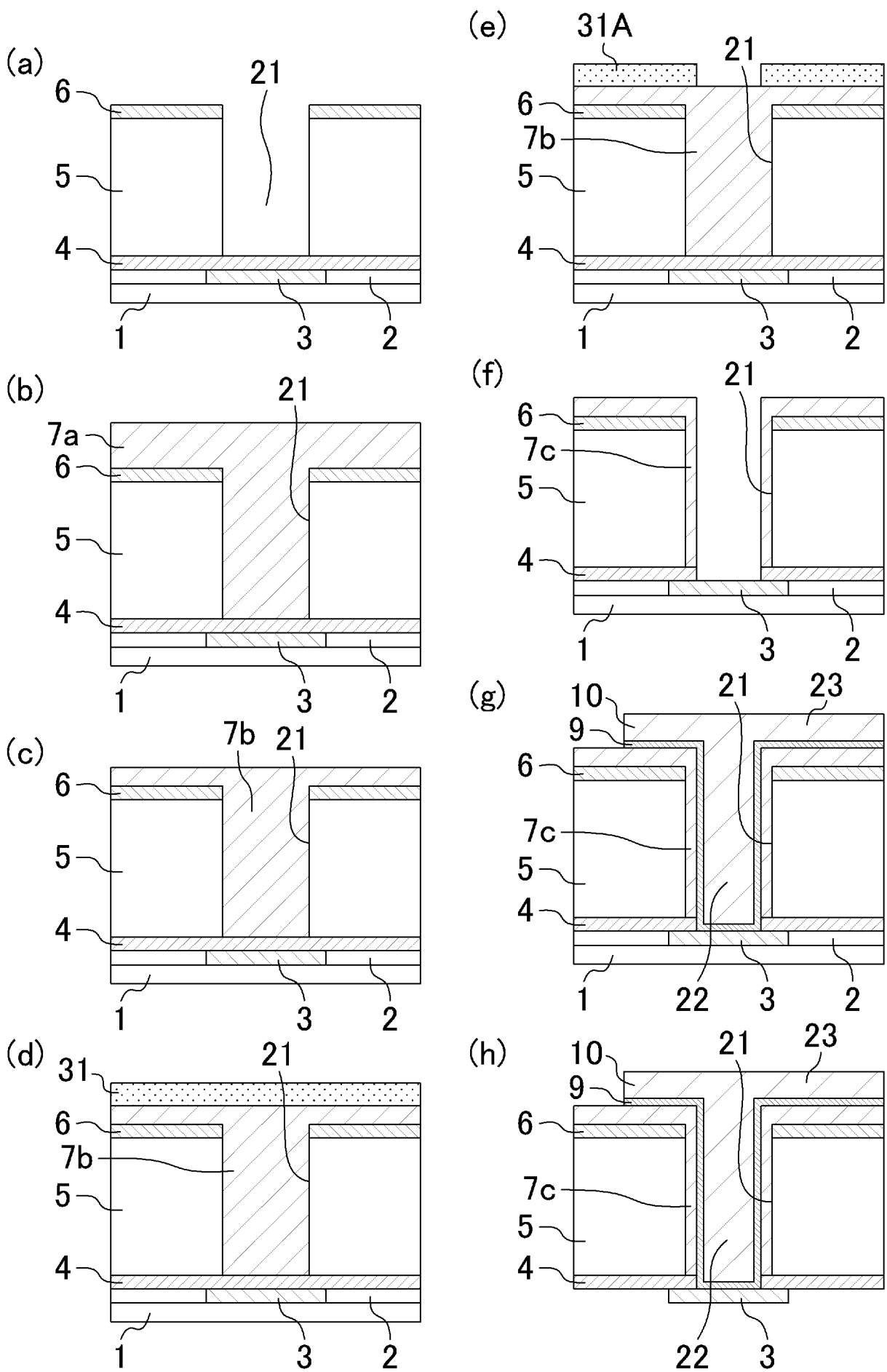
[図3]



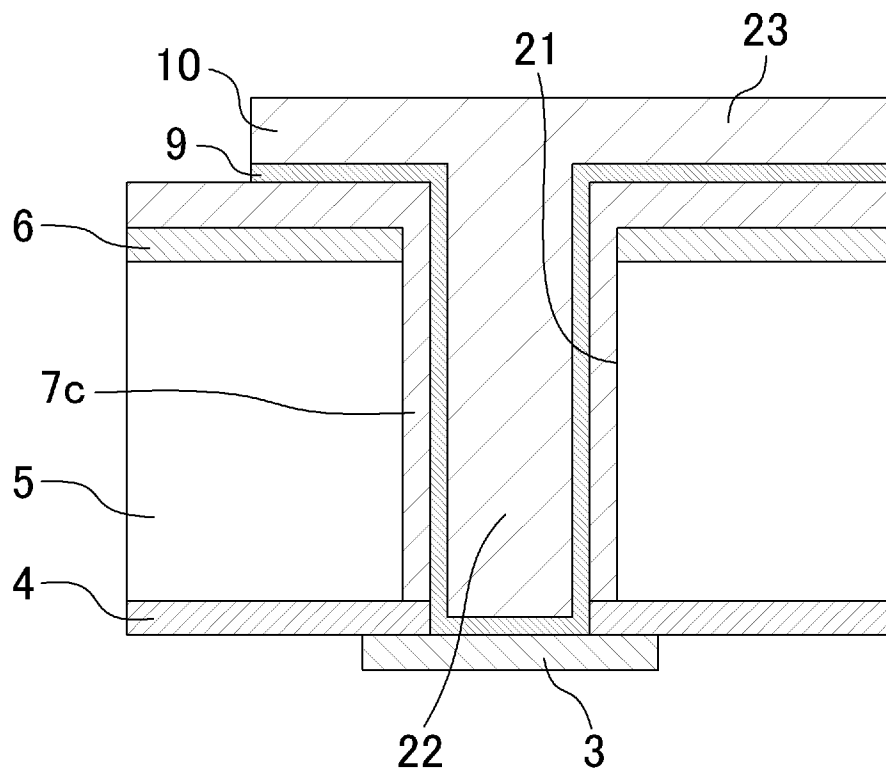
[図4]



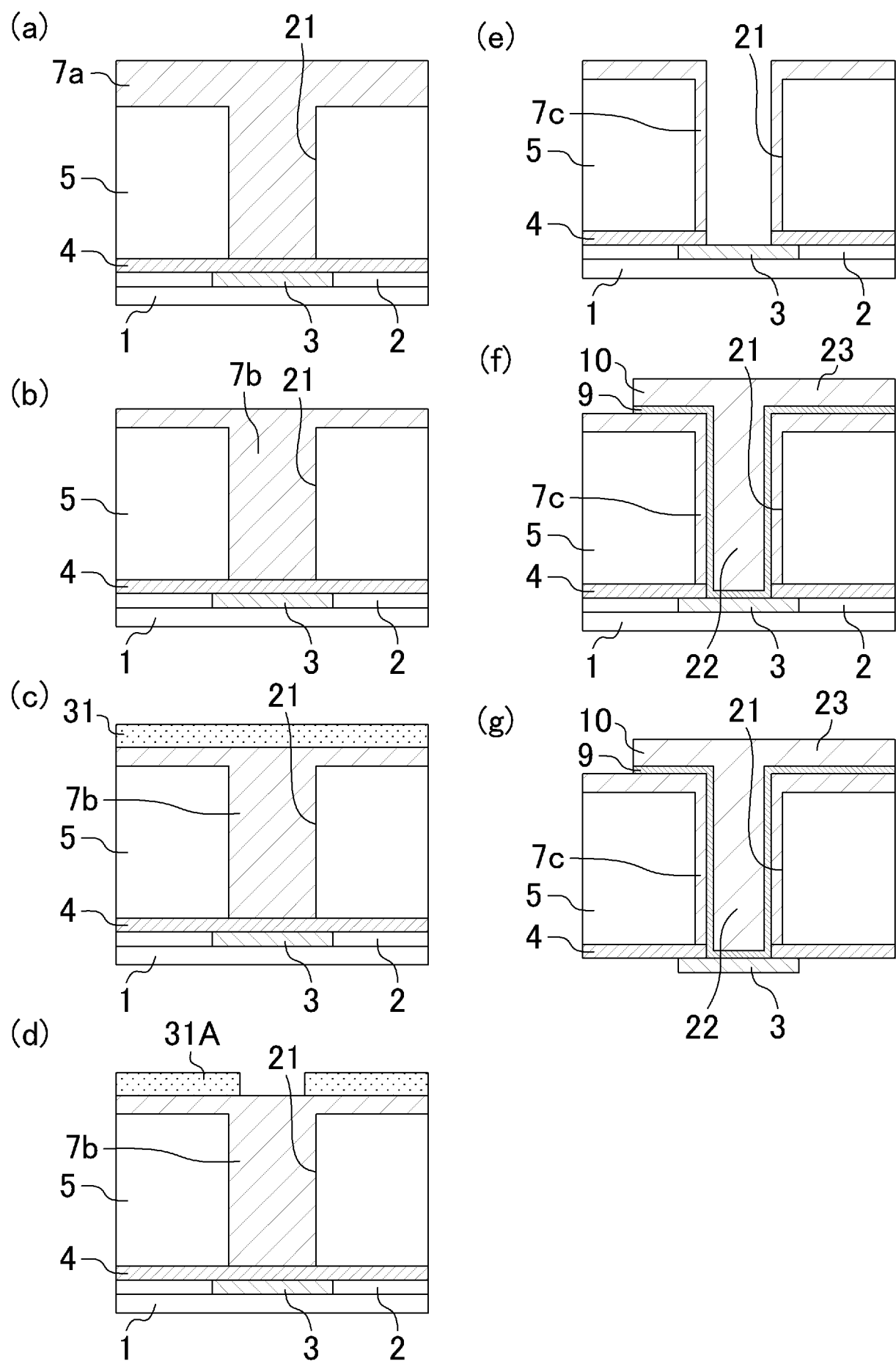
[図5]



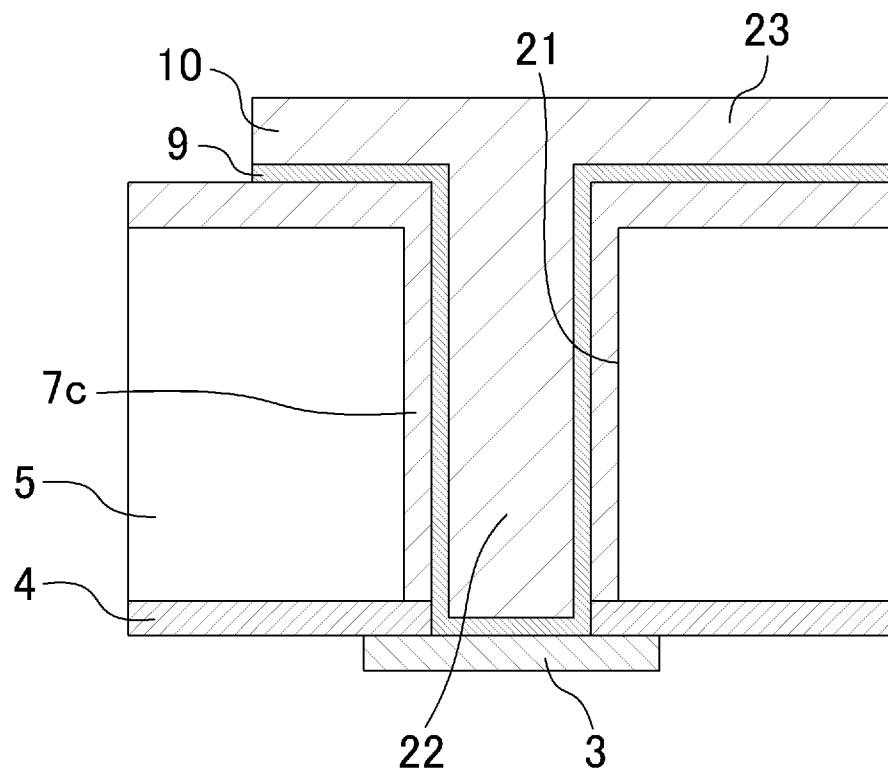
[図6]



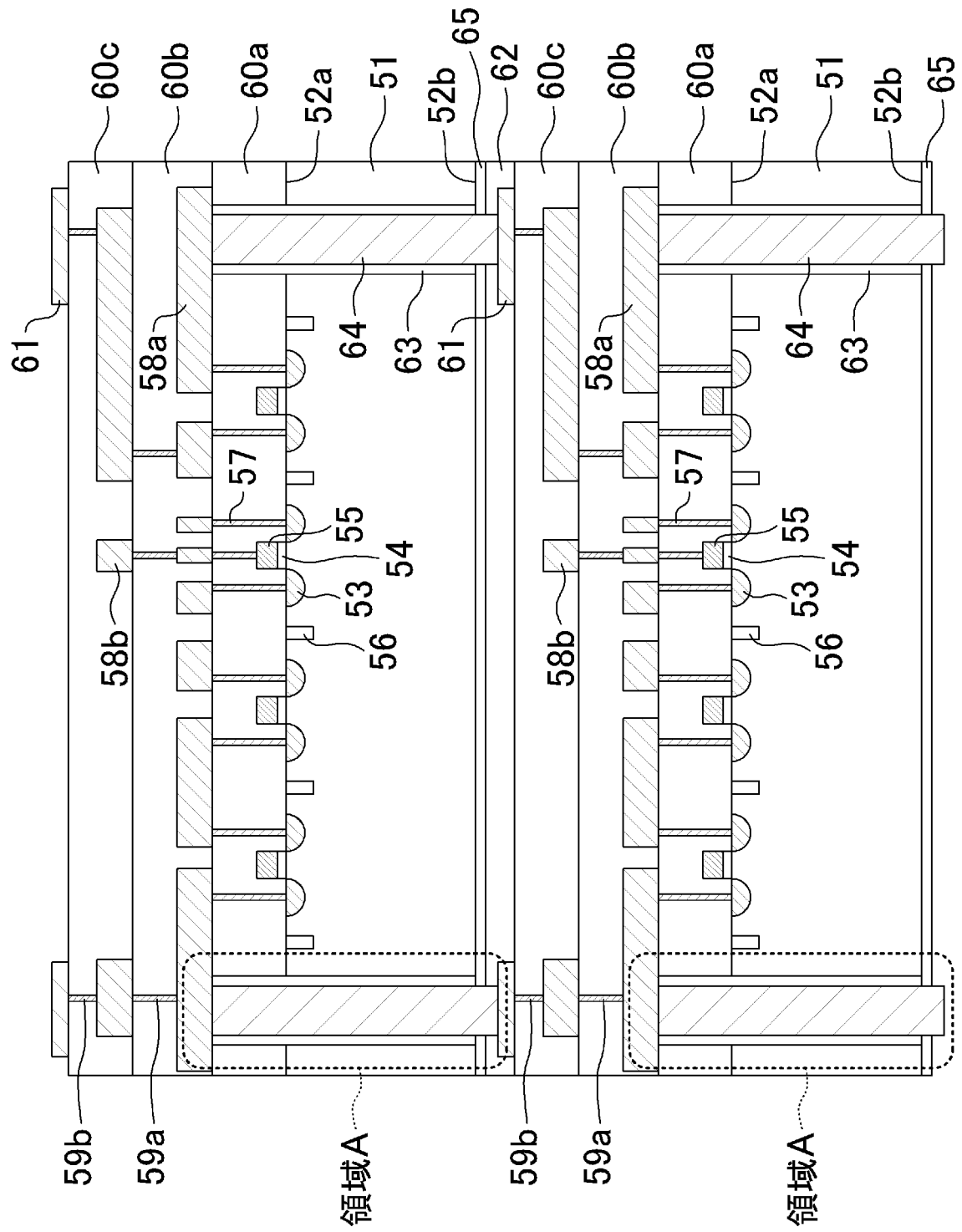
[図7]



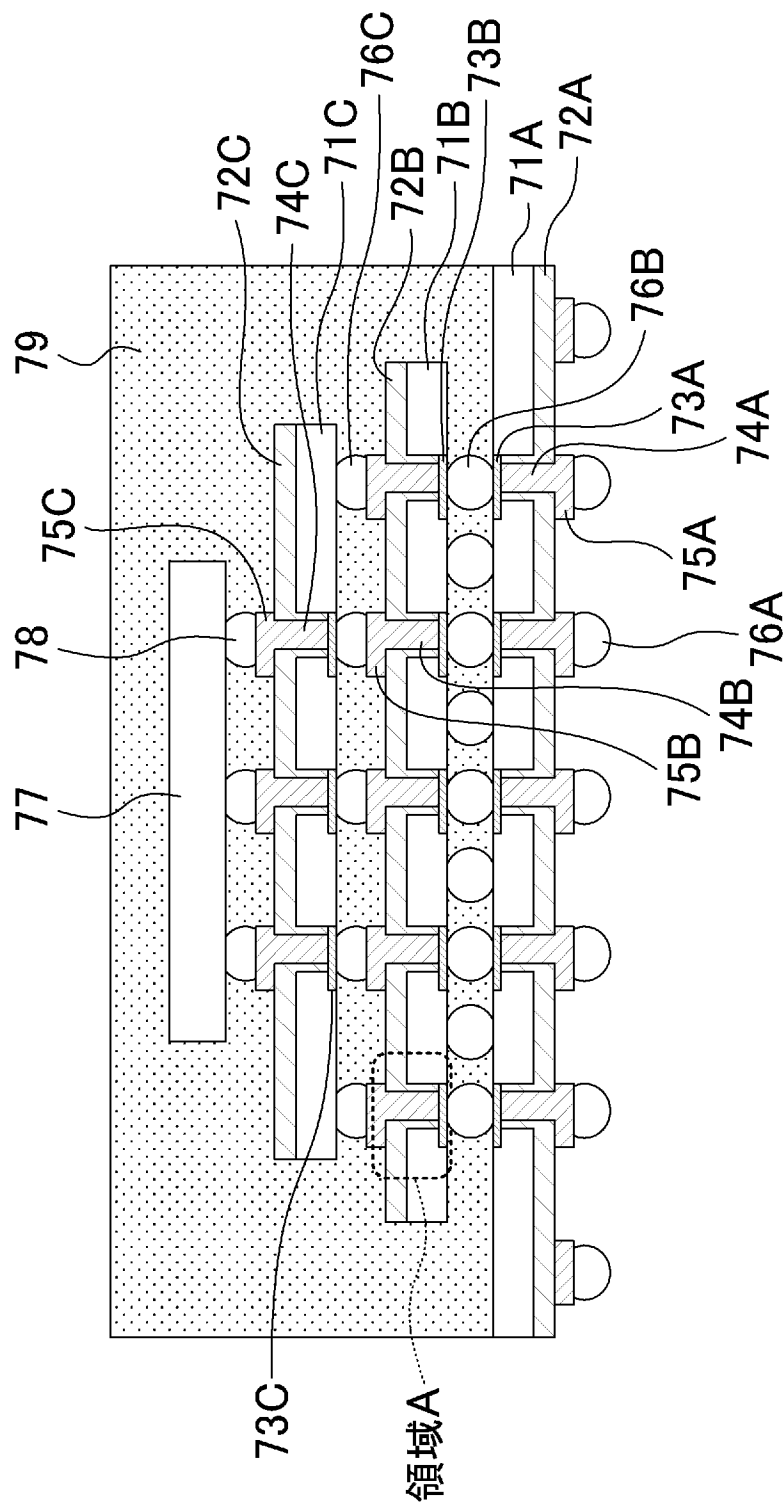
[図8]



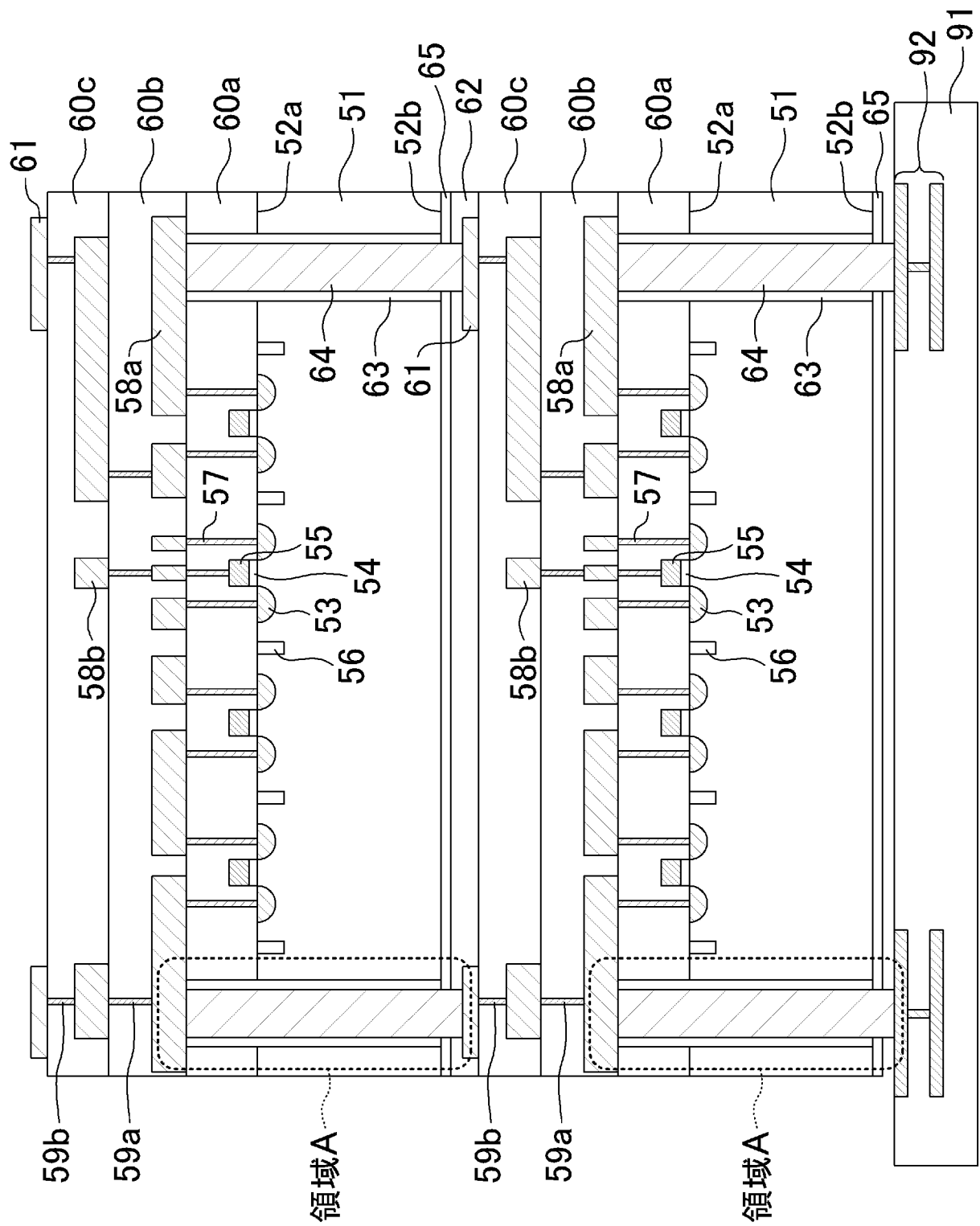
[図9]



[図10]

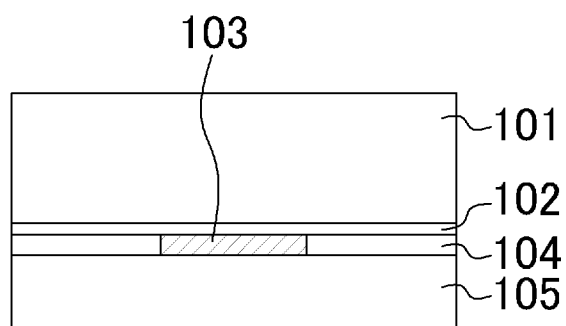


[図12]

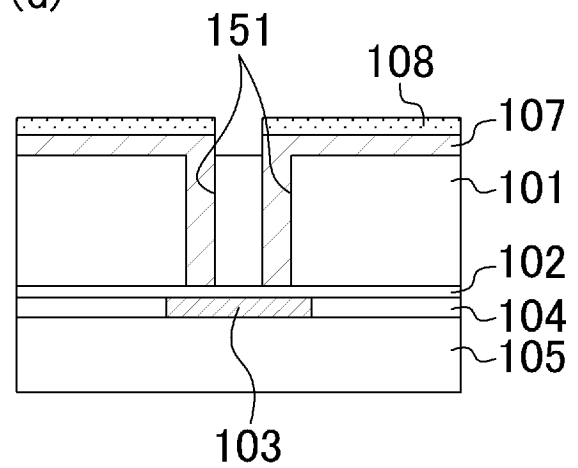


[図13]

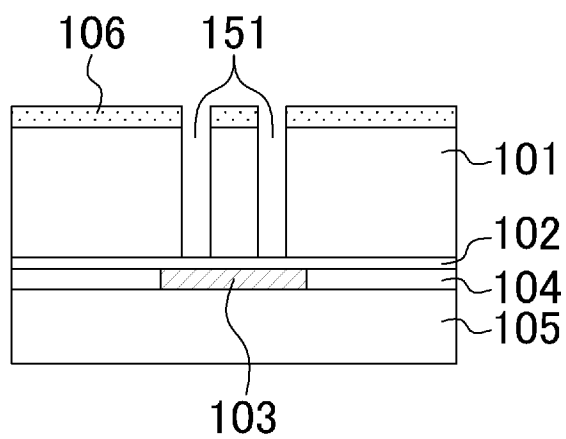
(a)



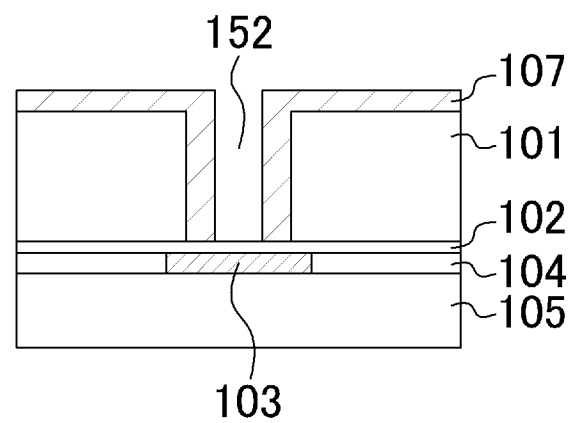
(d)



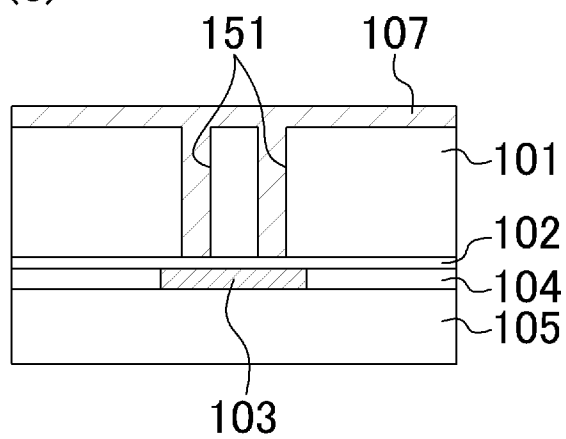
(b)



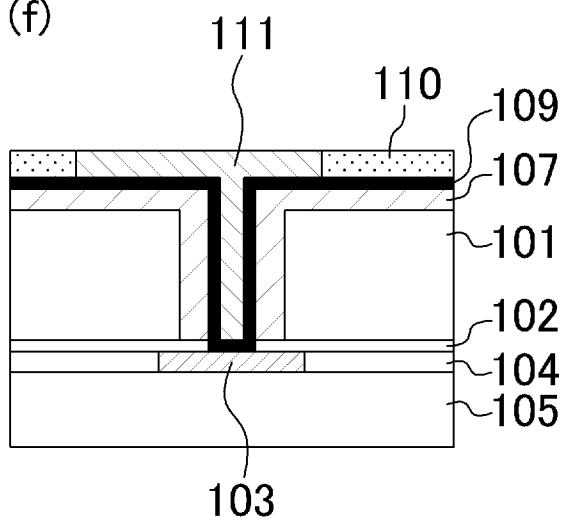
(e)



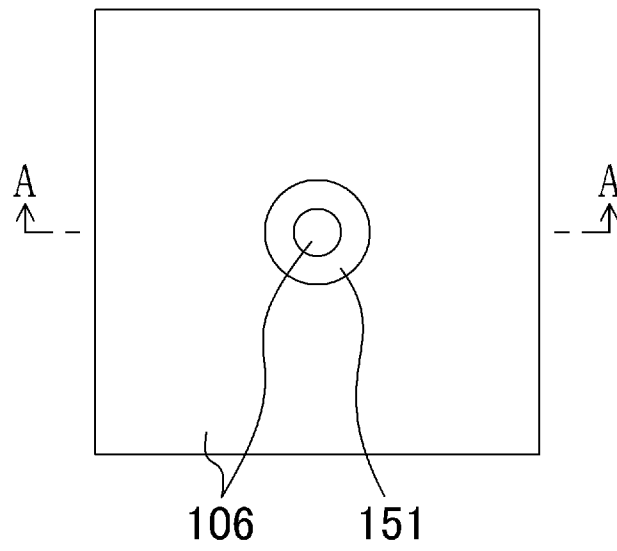
(c)



(f)



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007346

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L23/52(2006.01)i, H01L25/065(2006.01)i,
H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L23/52, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-300718 A (Toshiba Corp.), 11 December 2008 (11.12.2008), paragraphs [0033] to [0048]; fig. 3 to 4 (Family: none)	1, 4-7, 10-11
X Y	JP 2007-281289 A (Fujikura Ltd.), 25 October 2007 (25.10.2007), entire text; all drawings (Family: none)	7, 9, 11 1-3, 6-8
Y	JP 9-205144 A (Sony Corp.), 05 August 1997 (05.08.1997), paragraphs [0017], [0021] to [0043]; fig. 1 to 3 (Family: none)	1-3, 6-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 January, 2010 (20.01.10)

Date of mailing of the international search report
02 February, 2010 (02.02.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007346

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-060067 A (Rohm Co., Ltd.), 02 March 2006 (02.03.2006), paragraphs [0050], [0068] to [0081]; fig. 1 to 5 & US 2006/0038300 A1 & US 2006/0267206 A1 & DE 102005040217 A & FR 2874456 A & KR 10-2006-0053177 A & CN 1738027 A	7, 9, 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007346

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-6 are of an invention of a semiconductor device manufacturing method provided with "a step (b) of filling a via hole with an insulating via coat material, a and a step (c) of removing the via coat material by leaving the via coat material on a part covering the inner wall of the via hole as a via coat film". (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007346

Continuation of Box No.III of continuation of first sheet (2)

Claims 7-11 are of an invention of a semiconductor device which specifies that "the insulating via coat film formed between the side wall of the through via and the semiconductor substrate" and "an insulating protection film formed on the second surface of the semiconductor substrate" are different insulating films.

Since it is clear that there is no technical relationship between these inventions involving one or more of the same or corresponding special technical features, these inventions are not so linked as to form a single general inventive concept.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/3205 (2006.01) i, H01L23/52 (2006.01) i, H01L25/065 (2006.01) i, H01L25/07 (2006.01) i, H01L25/18 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/3205, H01L23/52, H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-300718 A (株式会社東芝) 2008. 12. 11, 段落番号【0033】 - 【0048】, 図 3-4 (ファミリーなし)	1, 4-7, 10-11
X Y	JP 2007-281289 A (株式会社フジクラ) 2007. 10. 25, 全文、全図 (ファミリーなし)	7, 9, 11 1-3, 6-8
Y	JP 9-205144 A (ソニー株式会社) 1997. 08. 05, 段落番号【0017】, 【0021】 - 【0043】, 図 1-3 (ファミリーなし)	1-3, 6-8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 1 . 2 0 1 0

国際調査報告の発送日

0 2 . 0 2 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

4 L

3 2 3 9

▲辻▼ 弘輔

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-060067 A (ローム株式会社) 2006. 03. 02, 段落番号 【0050】、 【0068】 - 【0081】 , 図 1-5 & US 2006/0038300 A1 & US 2006/0267206 A1 & DE 102005040217 A & FR 2874456 A & KR 10-2006-0053177 A & CN 1738027 A	7, 9, 11

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1－6は「ビアホール内に絶縁性のビア被覆材料を埋め込む工程（b）と、前記ビアホールの内壁を覆う部分の前記ビア被覆材料をビア被覆膜として残して前記ビア被覆材料を除去する工程（c）」とを備えている半導体装置の製造方法の発明である。

一方、請求項7－11は「前記貫通ビアの側壁と前記半導体基板との間に形成された絶縁性のビア被覆膜」と「前記半導体基板の前記第2面上に形成された絶縁性の保護膜」とが互いに異なる絶縁膜である点を特定する半導体装置の発明である。

これらの発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係がないことは明らかであるから、単一の一般的発明概念を形成するように連関しているものとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。