



[12] 发明专利申请公开说明书

[21] 申请号 02150236.6

[43] 公开日 2003 年 5 月 21 日

[11] 公开号 CN 1419289A

[22] 申请日 2002.11.6 [21] 申请号 02150236.6

[30] 优先权

[32] 2001.11.6 [33] JP [31] 340872/2001

[71] 申请人 雅马哈株式会社

地址 日本静冈县

[72] 发明人 神谷孝行 大村昌良

[74] 专利代理机构 北京市柳沈律师事务所

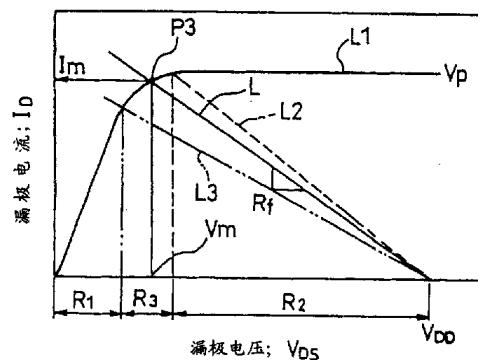
代理人 李晓舒 魏晓刚

权利要求书 4 页 说明书 11 页 附图 6 页

[54] 发明名称 具有熔线的半导体器件及其制造方法

[57] 摘要

本发明公开了一种半导体器件，具有：一端被施加有第一电压的熔线元件，和具有源极、栅极及漏极端的 MOS 型晶体管，该晶体管还有一个位于熔线元件的另一端和源极与漏极端之一之间的连结点，低于第一电压的第二电压施加到其它的源极和漏极，其中：选择第一和第二电压、MOS 型晶体管的特性以及熔线元件的电阻值，使得当给栅极端施加预定计划的电压时，熔线元件可以被击穿；和把熔线元件的电阻值设置成这样一个值，即当给栅极施加计划电压时，连结点的电压与第二电压之间的压差低于漏电流开始饱和时的 MOS 型晶体管的漏电压。



1. 一种半导体器件，包括：

能够被流经的电流电击穿的熔线元件，第一电压施加到该熔线元件的
5 一端；和

具有源极、栅极及漏极端的 MOS 型晶体管，该晶体管还有一个位于所述熔线元件的另一端和源极与漏极端之一之间的连结点，低于第一电压的第二电压施加到其它的源极和漏极端，

其特征在于：

10 选择第一和第二电压、所述 MOS 型晶体管的特性以及所述熔线元件的电阻值，使得当给栅极端施加预定计划的电压时，所述熔线元件可以被击穿；和

把所述熔线元件的电阻值设置成这样一个值，即当给栅极端施加计划电压时，连结点的电压与第二电压之间的压差低于漏电流开始饱和时的所
15 15 MOS 型晶体管的漏电压。

2. 如权利要求 1 所述的半导体器件，其特征在于，还把所述熔线元件的电阻值进一步设置成这样一个值，即在给栅极端施加计划电压时，连结点处的电压与第二电压之差高于线性区中的漏电压，其中所述 MOS 型晶体管的漏电流与漏电压成正比。

20 3. 如权利要求 1 所述的半导体器件，其特征在于，所述 MOS 型晶体管的计划电压近似等于第一电压。

4. 如权利要求 1 所述的半导体器件，其特征在于，所述 MOS 型晶体管的栅极端和所述熔线元件由同一层制成。

5. 如权利要求 1 所述的半导体器件，其特征在于，所述的同一层由
25 polycide 制成。

6. 一种半导体器件，包括：

能够被流经的电流电击穿的熔线元件，第一电压施加到所述熔线元件的一端；和

30 具有源极、栅极及漏极端的 MOS 型晶体管，该晶体管还有一个位于所述熔线元件的另一端和源极与漏极端之一之间的连结点，低于第一电压的第二电压施加到其它的源极和漏极端，

其特征在于：

选择第一和第二电压、所述 MOS 型晶体管的特性以及所述熔线元件的电阻值，使得当给栅极端施加预定计划的电压时，所述熔线元件可以被击穿；和

5 所述熔线元件的电阻值进一步设置成能够击穿所述熔线元件的最小功率不小于从所述 MOS 型晶体管的电流-电压特性曲线算出的所述熔线元件最大功耗的 90 %。

7. 如权利要求 6 所述的半导体器件，其特征在于，所述 MOS 型晶体管的栅极端和所述熔线元件由同一层制成。

10 8. 如权利要求 7 所述的半导体器件，其特征在于，所述的同一层由 polycide 制成。

9. 一种半导体器件，包括：

能够被流经的电流电击穿的熔线元件，第一电压施加到所述熔线元件的一端；和

15 具有源极、栅极及漏极端的 MOS 型晶体管，该晶体管还有一个位于所述熔线元件的另一端和源极与漏极端之一之间的连结点，低于第一电压的第二电压施加到其它的源极和漏极，

其特征在于：

选择第一和第二电压、所述 MOS 型晶体管的特性以及所述熔线元件的20 电阻值，使得当给栅极端施加预定计划的电压时，所述熔线元件可以被击穿；和

所述熔线元件的电阻值进一步设置成使所述熔线元件的击穿电流处于所述 MOS 型晶体管饱和漏电流的 80 % ~ 98 %。

10. 如权利要求 9 所述的半导体器件，其特征在于，所述 MOS 型晶体25 管的栅极端和所述熔线元件由同一层制成。

11. 如权利要求 10 所述的半导体器件，其特征在于，所述的同一层由 polycide 制成。

12. 一种制造半导体器件的方法，包括步骤：

在基底上形成串连连结的熔线元件和 MOS 型晶体管，熔线元件能够被30 流经的电流电击穿，并且 MOS 型晶体管具有源极、栅极和漏极端以及一个位于熔线元件的另一端和源极与漏极端之一之间的连结点；和

在熔线元件的另一端与其它源极和漏极之间施加一个电压，该电压高于漏电流开始饱和时 MOS 型晶体管的漏电压，给栅极端施加一个预定的计划电压，和通过把熔线元件和 MOS 型晶体管之间连结点的电压设置为一个低于 MOS 型晶体管处于漏电流饱和的饱和区时漏电压的电压而击穿熔线元
5 件。

13. 一种制造半导体器件的方法，包括步骤：

在基底上形成串连连结的熔线元件和 MOS 型晶体管，熔线元件能够被流经的电流电击穿，第一电压施加到熔线元件的一端，MOS 型晶体管具有源极、栅极和漏极端以及一个位于熔线元件的一端和源极与漏极端之一之
10 间的连结点，低于第一电压的第二电压施加给其它的源极和漏极端；和

在熔线元件的另一端与其它源极和漏极之间施加一个电压，该电压高于漏电流开始饱和时 MOS 型晶体管的漏电压，给栅极端施加一个预定的计划电压，和通过把 MOS 型晶体管连结点的电压设置在这样一个范围而击穿熔线元件：熔线元件的功耗不小于由 MOS 型晶体管的电流-电压特性算出
15 的熔线元件最大功耗的 90%。

14. 一种制造半导体器件的方法，包括步骤：

在基底上形成串连连结的熔线元件和 MOS 型晶体管，熔线元件能够被流经的电流电击穿，第一电压施加到熔线元件的一端，MOS 型晶体管具有源极、栅极和漏极端以及一个位于熔线元件的一端和源极与漏极端之一之
20 间的连结点，低于第一电压的第二电压施加给其它的源极和漏极端；和

在熔线元件的另一端与其它源极和漏极之间施加一个电压，该电压高于漏电流开始饱和时 MOS 型晶体管的漏电压，给栅极端施加一个预定的计划电压，和通过把熔线元件和 MOS 型晶体管之间连结点的电压设置在 MOS
型晶体管饱和电流的 80% ~ 98% 流经的电压范围而击穿熔线元件。

25 15. 如权利要求 1 所述的半导体器件，其特征在于，所述熔线元件的所述电阻值为熔线元件即将熔断时的值。

16. 如权利要求 6 所述的半导体器件，其特征在于，所述熔线元件的所述电阻值为熔线元件即将熔断时的值。

30 17. 如权利要求 9 所述的半导体器件，其特征在于，所述熔线元件的所述电阻值为熔线元件即将熔断时的值。

18. 如权利要求 12 所述的制造半导体器件的方法，其特征在于，所述

熔线元件的所述电阻值为熔线元件即将熔断时的值。

19. 如权利要求 13 所述的制造半导体器件的方法，其特征在于，所述熔线元件的所述电阻值为熔线元件即将熔断时的值。

20. 如权利要求 14 所述的制造半导体器件的方法，其特征在于，所述
5 熔线元件的所述电阻值为熔线元件即将熔断时的值。

具有熔线的半导体器件及其制造方法

5 本申请以 2001 年 11 月 6 日提交的日本专利申请 JP2001-340872 为基础，
其整个内容在此引作参考。

技术领域

10 本发明涉及一种具有熔线的半导体器件及其制造方法，并尤其涉及关于
用在半导体集成电路的微调电路或冗余电路中的熔线元件的技术。

背景技术

15 通常在半导体集成电路中形成微调电路和冗余电路。如果把一个具有熔线元件的熔线电路用作一个微调元件或冗余电路，则可以在制造半导体
集成电路期间或之后执行微调过程等，使得可以尽可能地改进电路的特性。

图 1 中的日本公开专利申请 JP 平-7-307389 公开了一种具有多条串联的熔线元件和 MOS 晶体管并联连结的电路。它揭示了由选择晶体管的选通脉冲宽度 W 的功能提供获得击穿电流以击穿熔线元件所需的电流驱动能力：

$$I_D = \mu C_{ox} (W/L) \times (1/2) \times (V_{GS} - V_Y)^2$$

20 此处 I_D 为选择晶体管在饱和区的漏电流， μ 是载流子迁移率。 C_{ox} 是选择晶体管的栅极电容， W 是选通脉冲宽度， L 是选通脉冲长度。 V_{GS} 是栅-源电压， V_Y 是阈值电压。

25 如果已知击穿熔线元件所需的饱和漏电流值 I_D ，则可以由上述方程算出晶体管能够击穿熔线元件的选通脉冲宽度 W (大小)。这种分析采用这样的假设：MOS 晶体管的饱和电流用于击穿熔线。

为了熔化和击穿熔线元件，电流必需流经熔线元件并将熔线元件的温度加热到熔线元件材料的熔点之上。例如，如果将单晶硅或多晶硅用作熔线元件材料，则需要较大的电流，因为硅的熔点高达约 1420°C。因此需要使选择晶体管的尺寸很大，而这样又阻碍了器件元件的集成度。根据上述 30 公开内容，把具有强电流驱动能力的双极晶体管用作选择晶体管以获得大电流。

新近大部分集成电路是利用 MOSFET 作为功能性器件元件的 MOS 型 IC。如果在 MOS 型 IC 中形成双极晶体管，则元件结构变得复杂，并且需要额外的过程。

5 发明内容

本发明的目的在于通过利用 MOSFET 作为选择晶体管并减小选择晶体管占据的面积而减小由具有熔线元件和选择晶体管并制作在 MOS IC 中的熔线电路占据的面积。

根据本发明的一个方面，提供的半导体器件包括：一个能够被流经的电流电击穿的熔线元件，第一电压施加到熔线元件一端；和具有源极、栅极及漏极端的 MOS 型晶体管，该晶体管还有一个位于熔线元件的另一端和源极与漏极端之一之间的连结点，低于第一电压的第二电压施加其它源极和漏极端，其中：选择第一和第二电压、MOS 型晶体管的特性以及熔线元件的电阻值，使得当给栅极端施加预定计划的电压时，熔线元件可以被击穿；和把熔线元件的电阻值设置成这样一个值，当给栅极端施加计划电压时，连结点的电压与第二电压之间的压差低于漏电流开始饱和时 MOS 型晶体管的漏电压。

根据本发明的另一个方面，提供的半导体器件包括：一个能够被流经的电流击穿的熔线元件，第一电压施加到熔线元件的一端；和具有源极、栅极及漏极端的 MOS 型晶体管，该晶体管还有一个位于熔线元件的另一端和源极与漏极端之一之间的连结点；低于第一电压的第二电压施加到其它的源极和漏极，其特征在于选择第一和第二电压、MOS 型晶体管的特性以及熔线元件的电阻值，使得当给栅极端施加预定计划的电压时，熔线元件可以被击穿；和熔线元件的电阻值进一步设置成：能够击穿熔线元件的最小功耗不小于由 MOS 型晶体管的电流-电压特性算出的熔线元件最大功耗的 90%。

根据本发明的另一个方面，提供的半导体器件包括：一个能够被流经的电流电击穿的熔线元件，第一电压施加到熔线元件的一端；和具有源极、栅极及漏极端的 MOS 型晶体管，该晶体管还有一个位于熔线元件的另一端和源极与漏极端之一之间的连结点；低于第一电压的第二电压施加到其它的源极和漏极端，其中：选择第一和第二电压、MOS 型晶体管的特性以及

熔线元件的电阻值，使得当给栅极端施加预定计划的电压时，熔线元件可以被击穿；和熔线元件的电阻值进一步设置成使熔线元件的击穿电流处于 MOS 型晶体管饱和漏电流的 80% ~ 98%。

施加给半导体器件的功率可以有效地用于击穿熔线元件。

5 根据本发明的另一个方面，提供了一种制造半导体器件的方法，包括步骤：在基底上形成串连连结的熔线元件和 MOS 型晶体管，熔线元件能够被流经的电流电击穿，并且 MOS 型晶体管具有源极、栅极和漏极端以及一个位于熔线元件的另一端和源极与漏极端之一之间的连结点；和在熔线元件的另一端与其它源极和漏极端之间施加一个电压，该电压高于漏电流开始饱和时 MOS 型晶体管的漏电压；给栅极端施加一个预定的计划电压，和通过把熔线元件和 MOS 型晶体管之间连结点的电压设置为一个低于 MOS 型晶体管处于漏电流饱和的饱和区时漏电压的电压而击穿熔线元件。
10

根据本发明的另一个方面，提供了一种制造半导体器件的方法，包括步骤：在基底上形成串连连结的熔线元件和 MOS 型晶体管，熔线元件能够被流经的电流击穿，第一电压施加到熔线元件的一端，MOS 型晶体管具有源极、栅极和漏极端以及一个位于熔线元件的一端和源极与漏极端之一之间的连结点，低于第一电压的第二电压施加给其它的源极和漏极端；和在熔线元件的另一端与其它源极和漏极端之间施加一个电压，该电压高于漏电流开始饱和时 MOS 型晶体管的漏电压，给栅极端施加一个预定的计划电压，和通过把 MOS 型晶体管连结点的电压设置在这样一个范围而击穿熔线元件：熔线元件的功耗不小于由 MOS 型晶体管的电流-电压特性算出的熔线元件最大功耗的 90%。
15
20

根据本发明的另一个方面，提供了一种制造半导体器件的方法，包括步骤：在基底上形成串连连结的熔线元件和 MOS 型晶体管，熔线元件能够被流经的电流击穿，第一电压施加到熔线元件的一端，MOS 型晶体管具有源极、栅极和漏极端以及一个位于熔线元件的一端和源极与漏极端之一之间的连结点，低于第一电压的第二电压施加给其它的源极和漏极；和在熔线元件的另一端与其它源极和漏极之间施加一个电压，该电压高于漏电流开始饱和时 MOS 型晶体管的漏电压，给栅极端施加一个预定的计划电压，
25 和通过把熔线元件和 MOS 型晶体管之间连结点的电压设置在 MOS 型晶体管饱和电流的 80% ~ 98% 流经的电压范围而击穿熔线元件。
30

如上所述，在由熔线元件和选择晶体管的串连结制成的熔线电路中，施加给熔线电路的功率可以有效地用于击穿熔线元件。因此，可以减小选择晶体管占据的面积。

5 附图说明

图 1 是具有熔线元件和用于熔线元件的作为选择晶体管的 MOSFET 的熔线电路的电路图；

图 2A 表示用作选择晶体管的 MOSFET 典型的电流-电压特性曲线；

图 2B 是表示选择晶体管和熔线之间的互连点处电压的时间变化的曲线
10 图；

图 3 是表示源极-漏极电压与熔线元件功耗的关系曲线；

图 4 是根据本发明实施例的半导体器件的平面图；

图 5 是图 4 中的半导体器件沿 V-V' 的截面图；

图 6 是表示实施例中半导体器件的电流 - 电压特性曲线，该曲线表现
15 选择晶体管的工作点相对于栅极电压的变化；

图 7 是表示实施例中半导体器件的电流 - 电压特性曲线，该曲线表现熔线元件的电阻改变到使工作点进入临界区。

具体实施方式

20 在本实施例中，“熔线元件”一词指至少等于预定值的电流流动时可以被击穿的元件。“选择晶体管”一词指与熔线元件串连的晶体管，它判断电流是否流经熔线元件，并且如果流经熔线元件，判断电流量。

在描述本发明的实施例之前，下面先参见图 1~3 描述本发明的原理。

图 1 是具有熔线元件和用于熔线元件的用作选择晶体管的 n 沟道 MOS
25 型场效应晶体管(MOSFET)的熔线电路的电路图。图 2A 表示用作选择晶体管的 MOSFET 典型的电流-电压特性曲线。图 2B 是表示选择晶体管 3 和熔线 1 之间的互连点 7a 处电压的时间变化的曲线图。图 3 是表示熔线元件的功耗相对于 MOS 型场效应的晶体管源极-漏极电压的曲线。

如图 1 所示，熔线电路 A 有一个熔线元件 1 和一个由串联到熔线元件
30 的 MOS 型 FET 制成的选择晶体管 3。

熔线元件 1 的一端 1a 例如连结到电源电压 V_{DD} 。熔线元件的另一端 1b

连结到选择晶体管 3 的漏极端 5a。选择晶体管 3 的源极端 5b 连结到地 (GND)。

如图 2A 所示，选择晶体管 3 的漏极电流-电压特性有一个线性增长区 10a 和饱和区 10b。在线性区 10a 中，漏极电压 V_{DS} 较低，并且当漏极电压 5 V_{DS} 升高时，漏极电流 I_D 几乎线性增大。在饱和区 10b 中，漏极(至源极)电压 V_{DS} 较高，并且大致独立于漏极电压 V_{DS} 流出恒定漏极电流。实际情形中，在饱和区，当漏极电压升高时，漏极电流在某些情况下逐渐增大。在此情形中，漏极电流几乎随漏极电压以显著低于增长区 10a 的速率变化的区域称作饱和区。在线性区和饱和区之间，存在一个漏极电流的增长不与漏极电 10 压的增长成比例的区域。该区域称作临界区 10c。实际上很难严格区分临界区、线性区和饱和区。因此，定义临界区的一端为低于饱和区线性特征 20 % 的电流点，另一端为低于饱和区线性特征 2 % 的电流点。

熔线元件 1 的电流-电压特性一般是线性特性，电流与电压成正比。因此，熔线元件 1 和选择晶体管 3 之间连结点(节点)7 处的电压对应于选择晶 15 体管 3 和熔线元件 1 之间电流-电压特性曲线上连结点(工作点)处的漏极电压(在此文中，连结点 7 处的电压，用 V_{DSO} 表示)。

如图 2A 所示，施加到熔线元件 1 上的电压 V_F 等于 $(V_{DD} - V_{DSO})$ 。施加在选择晶体管 3 的源极和漏极之间的电压 V_{TR} 等于 V_{DSO} 。

选择晶体管 3 的功耗 P_T 和熔线元件 1 的功耗 P_F 由下列方程(1)和(2)给 20 出：

$$P_T = V_{DSO} \times I_{D1} \quad (1)$$

$$P_F = (V_{DD} - V_{DSO}) \times I_{D1} \quad (2)$$

此处， I_{D1} 是当给选择晶体管 3 的栅极端 5c 施加预定的计划电压 V_p 时流经串连的熔线元件 1 和选择晶体管 3 的电流。

已经发现，多晶硅熔线的电阻在熔线熔断的过程中增加。在图 2A 中，此变化用负载曲线从 LC1 至 LC1' 的移动来显示。负载曲线 LC1 代表紧接选择晶体管导通后的状态，而负载曲线 LC1' 代表刚好在熔线熔断前的状态。源极 - 漏极电压自 V_{DSO} 降至 V_{DSO}' 。漏极电流自 I_{D1} 降低至 I_{D1}' 。然后，熔线的功耗变成

$$P_F' = (V_{DD} - V_{DSO}') \times I_{D1}' \quad (3)$$

图 2B 示出了图 1 的电路中，选择晶体管 3 和熔线 1 之间的连接点处电

压的时间变化的示例。当栅极电压 V_p 为 0V 时，选择晶体管截止，连接端 7a 处的电压为源极电压 V_{DD} (= 5V)。当栅极电压 V_p 升高至 5V 时，选择晶体管 3 导通，以允许电流 I_{D1} 流经熔线 1。连接点 7a 处的电压因熔线 1 上的电压降而降低至 V_{DSO} 。在此状态下，熔线的电阻可表示为 R_f ，且电压 V_{DSO}

5 可表示为

$$V_{DSO} = V_{DD} - (R_f \times I_{D1}) \quad (4)$$

随着时间的流逝，此时电流得以许可以流经熔线，连接点处的电压总体上缓慢下降，且具有小的和不规则的偏离。这表明，熔线的总电阻增加。

当熔断或切断电流流过熔线时，熔线上的功耗将产生热，且熔线的温度将因产生的热而升高。随着温度的升高，熔线的晶粒会长大或变化，且晶界会熔化。熔线电阻的增加可归因于此现象。

然后，连接点处的电压快速降低至约 0V。这表明，熔线的电阻变至无穷大，即熔线熔断。该曲线图示出了电压快速下降至零后的一些不规则振动，这可归因于连接点处的快速电压变化，而不是流过熔线的电流变化的结果。

刚好在快速下降前的瞬间称作“熔线即将熔断”。在此瞬间，漏电流为 I_{D1}' ，连接点处的电压为 V_{DSO}' ，且熔线电阻为 R_f' 。于是，

$$V_{DSO}' = V_{DD} - (R_f' \times I_{D1}') \quad (5)$$

熔线即将熔断时连接点处的电压低于选择晶体管刚好导通后的电压，
20 $V_{DSO}' < V_{DSO}$ ，这表明，在熔线上施加了更高的电压。此外， $I_{D1}' < I_{D1}$ ，这表明流经熔线的电流降低，且 $R_f' > R_f$ ，这表明熔线的电阻降低。在典型的 MOS 晶体管特性中，电源电压 V_{DD} 设置为 5V，施加到选择晶体管 3 栅极端 5c 的计划电压 V_p 为 5V，并且通过改变熔线元件 1 的电阻，利用方程(2)或(3)，计算熔线元件 1 的功耗。

25 在此文中，选择晶体管的饱和区起始处的漏极电压、即漏极电流开始取几乎恒定值处(或漏极电流随漏极电压以显著低于增长区 10a 的速率近似线性地增大处)的电压被称作饱和电压。更具体地说，在饱和区的线性特性中，电流值增大到线性特性的 98% 的漏电压称作饱和电压。

图 3 是熔线元件和源极-漏极电压的功耗 P_F 之间的关系曲线。在图 3 中，
30 还示出了选择晶体管的漏极电流-电压特性。如方程(2)给出，熔线元件的功耗 P_F 是施加到熔线元件的电压和流经熔线元件的漏电流的乘积。随着熔线

元件电阻的变化， V_{DS} 和 I_{DI} 也变化。

如图 3 所示，当选择晶体管的源极-漏极电压 V_{DS} 升高时，熔线元件的功耗增大并在 $V_{DS} = 1.5V$ 时取最大值。该漏电流处于线性区之外和临界区之中。当源极/漏极电压 V_{DS} 超过 1.5V 时，漏电流的增大变小，并且因为施加到熔线元件的电压降低，所以熔线元件的功耗逐渐减小。随着漏电流进入饱和区，熔线元件的功耗线性地减小。

一般的熔线元件设置为其工作点处于选择晶体管的饱和区，如大约 3V。因此，熔线电路的功耗、选择晶体管的功耗大于总电源功耗的一半。因此，击穿熔线元件的熔线元件功耗的比率变小。

基于上述的理论和试验研究，本发明人注意到，熔线电路的工作点最好不设置在选择晶体管的饱和区而设置在饱和区与线性区之间的边界区，即临界区。通过在临界区设置工作点，对于熔线电路的总功耗，可以使熔线元件的功耗比率变大。换言之，可以使选择晶体管中的功率损耗比变小。

即使刚好在选择晶体管之后的负载曲线穿过源极 - 漏极 I - V 特性曲线的转变区(transition region)，如果熔线即将熔断时的负载曲线穿过源极 - 漏极 I - V 特性曲线的线性上升区，则可用功率变小，如图 3 中可看到的那样。这可导致不能使熔线熔断。于是，优选的是，熔线元件的电阻值和选择晶体管的特性如此选择，以使熔线即将熔断时的负载曲线穿过源极 - 漏极 I - V 特性曲线的转变区。

参考图 2A，负载曲线 LC1' 优选地得以选择，以穿过选择晶体管的 I - V 特性曲线的转变区 10c，用以有效且稳定地熔断熔线。

联系这些研究，下面将参考附图 4 和 5 对根据本发明实施例的半导体器件进行描述。

图 4 是根据实施例的半导体器件的平面图。图 5 是图 4 中的半导体器件沿 V-V' 线的截面图。图 4 和图 5 所示的半导体器件表示图 1 所示熔线电路的具体结构。下面将描述熔线电路的制作过程。

如图 4 和图 5 所示，通过硅的局部氧化(LOCOS)，在半导体基底 11 的 p 型井(杂质浓度： $10^{16} \sim 10^{17} \text{ cm}^{-3}$)的预定区域中形成一个隔离区 2a,2b。绝缘区可以通过浅沟槽隔离(STI)代替 LOCOS 形成。隔离区 2a,2b 确定形成晶体管的有源区。在有源区的表层中植入离子以稍微增大 p 型杂质浓度，从而调节阈值电压。

在有源区的表面上例如通过热氧化形成氧化硅栅极绝缘膜 15a。在栅极绝缘膜 15a 上形成例如 polycide(硅化物/聚晶硅的叠层)的栅电极 17。对聚晶硅掺入约 10^{20}cm^{-3} 的 n 型杂质。Polycide 的概念指包括硅化物。栅电极可以只由聚晶硅制成。

5 在形成栅电极 17 的同时，在隔离区 2a 上形成用作熔线元件的 polycide 层(或聚晶硅层)23。

可以在栅电极 17 的侧壁上形成侧间隔绝缘膜 15b。在此情形中，还在熔线元件 23 的侧壁上形成侧间隔物。在形成侧间隔物之前，进行对 LDD(轻微掺杂的漏极)的离子置入，从而形成一个具有 $10^{17} \sim 10^{18}\text{cm}^{-3}$ 的 n 型杂质浓度的 LDD 区。
10

形成侧间隔物之后，在栅电极 17 两侧上的半导体基底区域中以较高的杂质浓度($10^{20} \sim 10^{21}\text{cm}^{-3}$)植入 n 型杂质。因此在栅电极两侧上的半导体基底中形成源极/漏极区 5a/5b，并且还在栅电极 17 和熔线元件 23 中掺入杂质，使得电阻降低。

15 在半导体基底上形成例如由二氧化硅制成的层间绝缘膜 21，覆盖栅电极 17 和 polycide 电阻层 23。在层间绝缘膜 21 上形成到达栅电极 17 两侧上的源极/漏极区 5a/5b 的穿孔 18a 和 18b，还形成到达 polycide 层 23 相反端上表面的穿孔 25 和 27。

20 形成一个第一布线层 31a，该层通过穿孔 25 与熔线层 23 一端的上表面接触。此时，形成一个通过穿孔 27 与熔线层 23 另一端的上表面接触并通过穿孔 18a 与源极/漏极区 5a 接触的第二布线层 31b。另外，形成一个经穿孔 18b 与源/漏区 5b 接触的第三布线层 31c。
25

如图 4 所示，形成一个连结到熔线元件 1 和选择晶体管 3 的用于读出储存数据的读出端 7a，其中选择晶体管 3 从第二布线层 31b 分出。类似地，形成一个第五布线层 7b，该层从栅极端 5c 延伸并构成一个输入端，用于击穿熔线元件 1 的计划电压施加到该输入端。还形成一个把电源电压 V_{DD} 施加到熔线元件 1 一端的端子 7c 和把地电势施加给源极/漏极区 5b 的端子 7d。

利用上述方法，可以形成具有熔线元件 1 和 MOSFET 的选择晶体管 3 的熔线电路。

30 下面参见图 6 和 7 描述熔线电路的特性。图 6 是当改变选择晶体管的栅极电压 V_g 时熔线电路的电流-电压特性曲线。图 7 是熔线电路的电流-电压

特性曲线。电源电压由 V_{DD} 表示。施加到选择晶体管栅极端以击穿熔线元件的计划电压由 V_p 表示。L 线条表示熔线电阻为 R_f 时熔线元件的电流-电压特性。

如图 6 所示，随着施加到选择晶体管栅极端的栅极电压 V_g 从 V_{g1} 变到 5 V_{g2} 再到 V_{g3} ，选择晶体管的漏电流 I_D 增大。选择晶体管的 I-V 特性曲线和熔线元件的 I-V 特性曲线之间的交叉点也从 P1 变到 P2 再到 P3。电源电压 V_{DD} 和在工作点 P 的漏电压之间的压差是施加到熔线元件的电压。因此，随着栅极电压 V_g 升高，熔线元件的功耗增大。因为可以获得足以击穿熔线元件的漏电流，所以使用工作点 P3。选择熔线元件的电阻值，使得可以在工 10 作点 P3 处于线性区 R1 和饱和区 R2 之间的临界区 R3 的状态下击穿熔线元件。

下面将参见图 7 描述工作点 P3 附近的工作情况。

在给选择晶体管的栅电极施加计划电压 V_p 的状态下，漏极电流-电压特性由 L1 表示。由具有特性 L1 的选择晶体管和熔线元件组成的熔线电路 15 在线性区 R1 和饱和区 R2 之间的临界区 R3 有一个工作点 P3 (熔线元件和选择晶体管之间的节点)。选择晶体管在工作点 P3 的源极/漏极电压由 V_m 表示，在工作点 P3 的漏电流由 I_m 表示。漏电流 I_m 等于流经熔线元件的电流。熔线元件的电阻值由 R_f 表示。

如果工作点处于临界区 R3，则选择晶体管的功耗可以变得很小。要在 20 临界区设置工作点，熔线元件有一个处于从曲线 L2 和 L3 算出的电阻值之间范围的电阻即足矣。曲线 L2 表示工作点 P3 位于临界区 R3 中最高电压测时具有此电阻值的熔线元件的电流-电压特性，曲线 L3 表示工作点 P3 位于临界区 R3 中最低电压侧时具有此电阻值的熔线元件的电流-电压特性。

最好将熔线元件的电阻值设置成这样的一个值，即第二电压(在此例中的源电压，地电势)和熔线元件与选择晶体管之间的节点(连结点)处的电压之差低于在给选择晶体管的栅极端施加计划电压的状态下 MOS 晶体管的漏电流开始饱和时的漏电压。在此情况下，可以降低对击穿熔线元件没有贡献的无效电压比。

最好把熔线元件的电阻值设置成这样的一个值，即第二电压和熔线元件与选择晶体管之间连结点处的电压之差高于在给选择晶体管的栅极端施加计划电压的状态下线性区的漏电压，其中在该线性区中 MOS 晶体管的漏

电流与漏电压成正比。在此情况下，可以充分的利用 MOS 晶体管的驱动能力，并且可以把晶体管的大小做的按照需要的那样小。因此可以减小晶体管所占据的面积。

最好把熔线元件的电阻值设置成这样的一个值，即能够击穿熔线元件 5 的最小功率不小于由 MOS 晶体管的电流-电压特性曲线算出的熔线元件最大功耗的 90%。晶体管的特性通常有 10% 的变量。最好有这样一个 10% 的容限，以便最小的晶体管也可以很容易地流出最佳电流。

最好把熔线元件的电阻值设置成这样一个值，即从熔线电流-电压特性中算出的熔线元件的击穿电流处于 MOS 晶体管饱和电流的 80% ~ 98%。在此情况下，即使有一些制造偏差，也可以达到足以击穿熔线元件的功率。 10

由曲线 L1 表示的选择晶体管的漏电流-电压特性是施加给选择晶体管栅极端的计划电压 V_p 处的特性。一般地，计划电压是一个施加给熔线电路、以便充分地导通选择晶体管的电压(第一电压：电源电压)。

考虑到晶体管上的电压降，计划电压可以设置得稍小于电源电压。另 15 一方面，计划电压可以设置得稍高于电源电压(第一电压)，以便使选择晶体管进入一个有足够的低电阻的导通状态。这些计划电压被称作“大致等于”第一电压。

利用上述设置，可以减小选择晶体管的功耗，并且可以高效地利用施加给熔线电路的功率击穿熔线元件。可以使击穿熔线元件所需的选择晶体 20 管的栅极宽度变窄，使得可以减小熔线电路占据的面积。

熔线元件和选择晶体管串联之后，按照下述任意一种方法击穿熔线元件。

下面将描述第一设置法。

在熔线元件和选择晶体管串连结的相反端之间施加第一电压，第一 25 电压高于选择晶体管的漏电流开始饱和时的漏电压。给选择晶体管的栅电极施加一个预定的计划电压。在熔线元件和选择晶体管之间连结点处的电压高于选择晶体管线性增长区中的漏电压并低于饱和区中漏电压的状态下击穿熔线元件。

下面将描述第二设置法。

在熔线元件和选择晶体管串连结的相反端之间施加第一电压，第一 30 电压高于选择晶体管的漏电流开始饱和时的漏电压。给选择晶体管的栅电

极施加一个预定的计划电压。在此情况下，将计划电压设置成这样一个值，即从熔线元件特性曲线算出的熔线元件的功耗不小于为从算出的熔线元件电流-电压特性获得的最大功耗的 90%。通过这种设置击穿熔线元件。

下面将描述第三设置法。

5 在熔线元件和选择晶体管串连连结的相反端之间施加第一电压，第一电压稍高于选择晶体管的漏电流开始饱和时的漏电压。给选择晶体管的栅电极施加一个预定的计划电压。在此情况下，将计划电压设置成这样一个值，即熔线元件和选择晶体管之间连结点处的电压落在允许有选择晶体管的饱和漏电流 80% ~ 98% 的电流流动的电压范围。通过这种设置击穿熔线
10 元件。

选择晶体管和熔线元件的特性随环境而变化，尤其是随温度变化。如果有 11 一个温度变化，则需要充分考虑由温度变化导致的特性变化来设计选择晶体管和熔线元件。

以上已结合优选实施例描述了本发明。但本发明不限于上述实施例。
15 对本发明所作的各种改型、改进和组合等对于本领域的技术人员来说都是显而易见的。

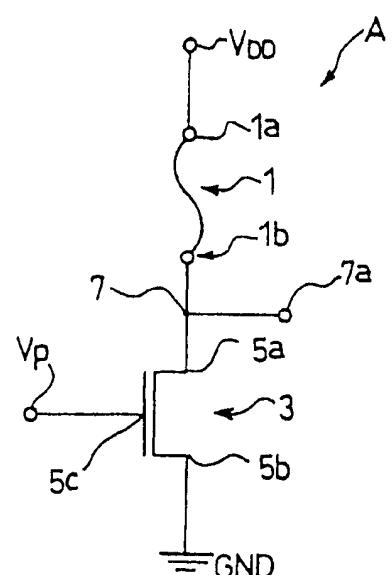


图 1

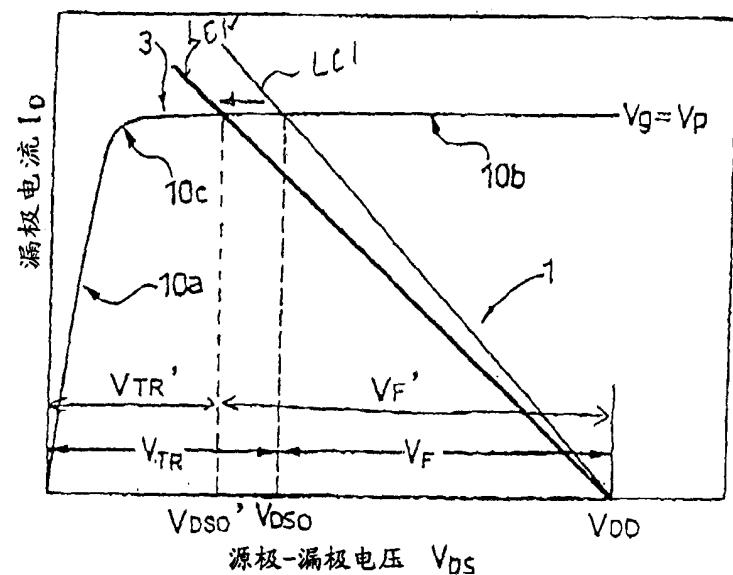


图 2A

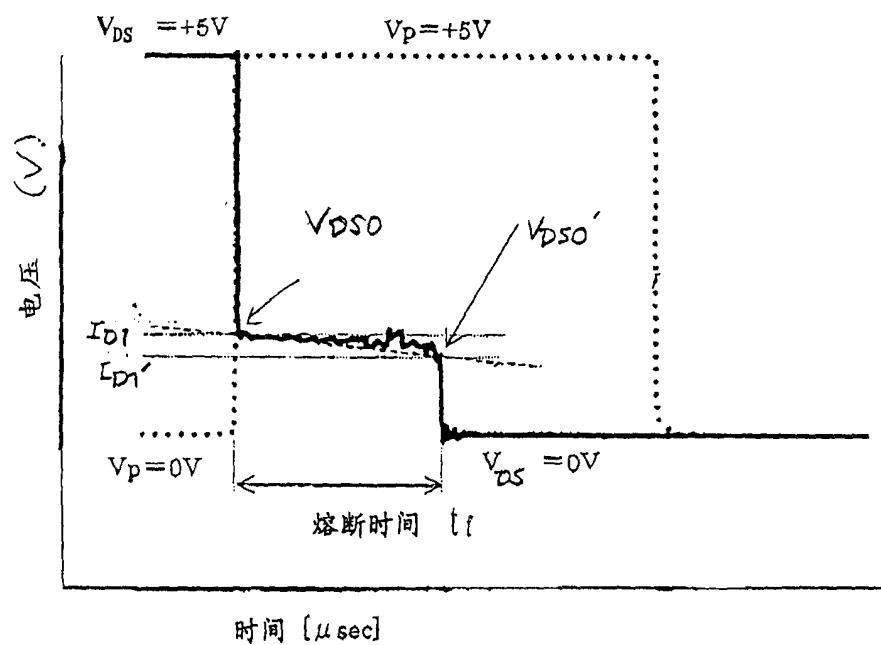
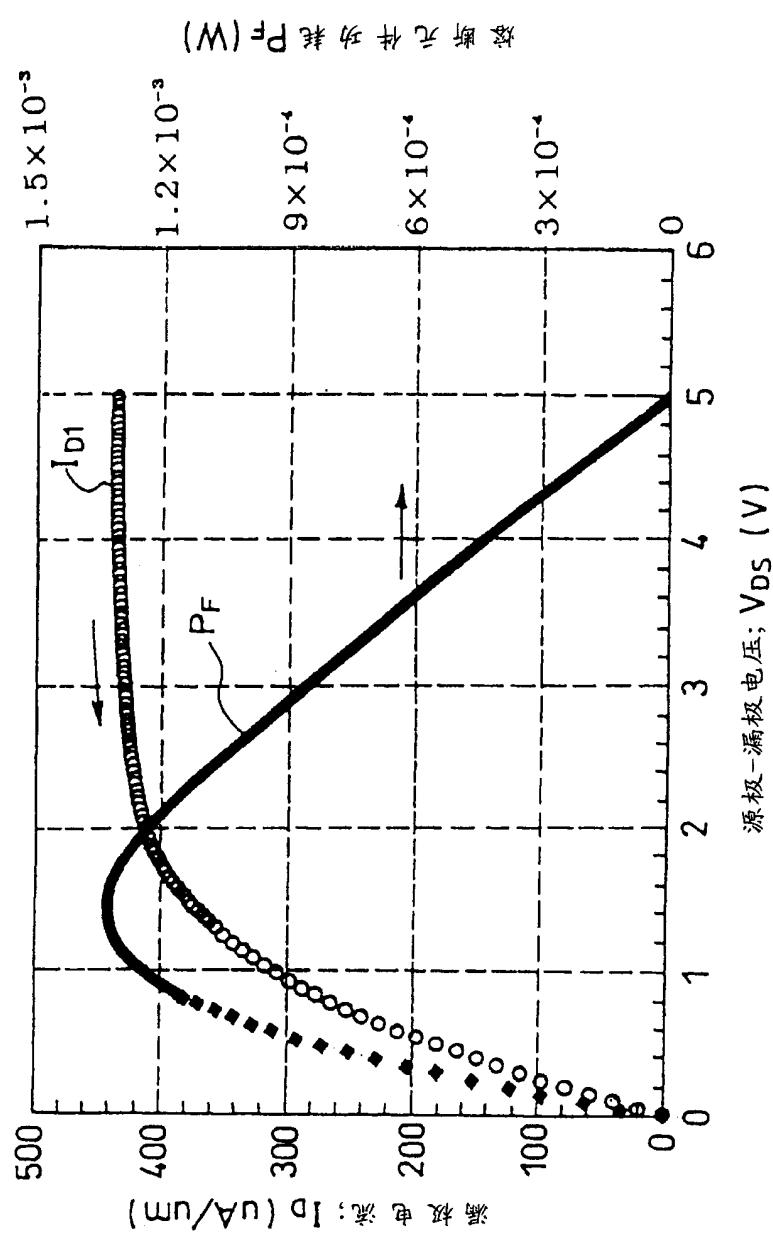


图 2B



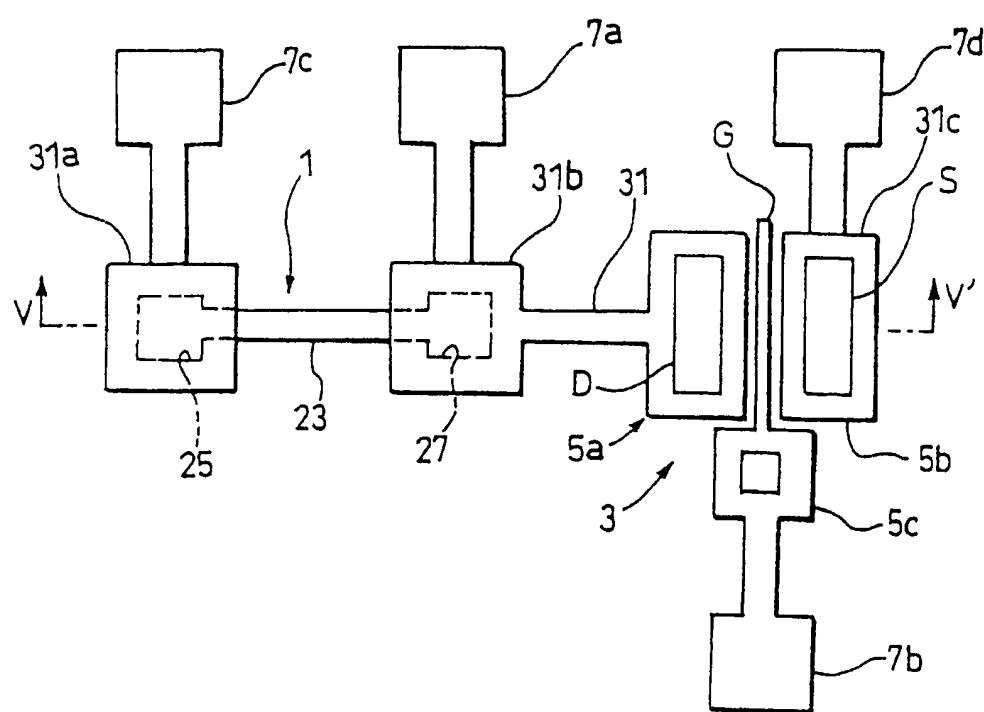


图 4

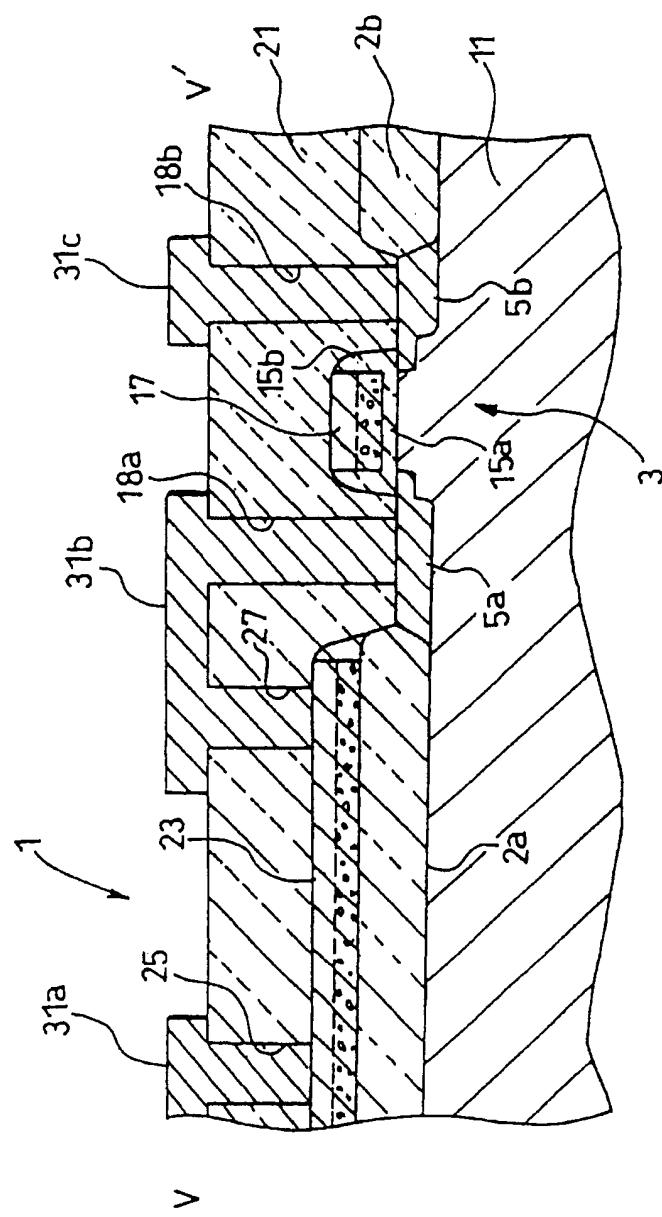


图 5

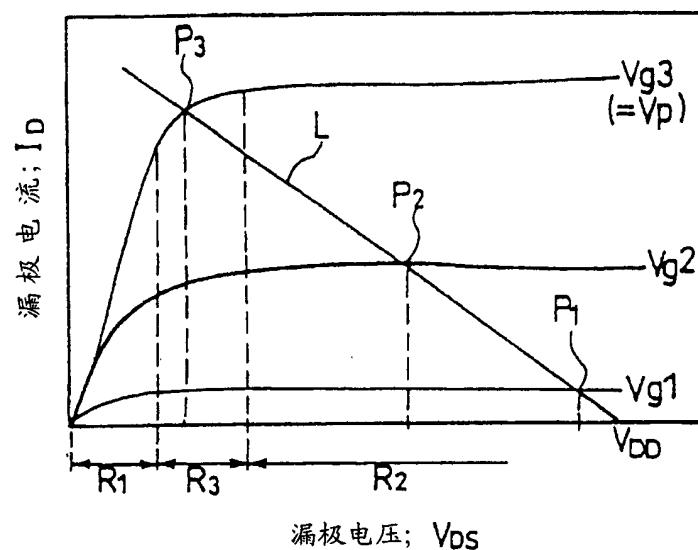


图 6

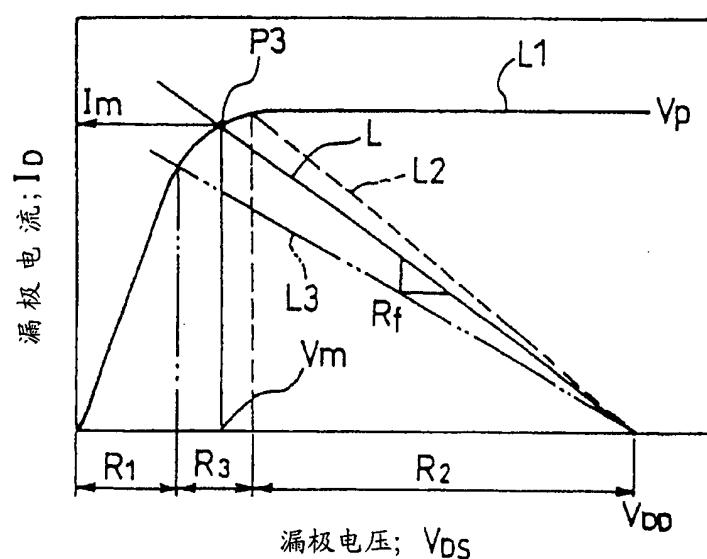


图 7