

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3544954号

(P3544954)

(45) 発行日 平成16年7月21日(2004.7.21)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int.Cl.⁷

F I

H03F 3/45

H03F 3/45

B

H03D 7/14

H03D 7/14

C

H03G 3/12

H03G 3/12

B

請求項の数 10 (全 21 頁)

(21) 出願番号 特願2001-172393 (P2001-172393)
 (22) 出願日 平成13年6月7日(2001.6.7)
 (65) 公開番号 特開2002-368559 (P2002-368559A)
 (43) 公開日 平成14年12月20日(2002.12.20)
 審査請求日 平成14年5月28日(2002.5.28)

(73) 特許権者 000232036
 N E C マイクロシステム株式会社
 神奈川県川崎市中原区小杉町1丁目403
 番53
 (74) 代理人 100124914
 弁理士 徳丸 達雄
 (72) 発明者 石原 尚也
 神奈川県川崎市中原区小杉町一丁目403
 番53 エヌイーシ
 ーマイクロシステム株式会社内

審査官 畑中 博幸

最終頁に続く

(54) 【発明の名称】 差動増幅回路、ミキサ回路および可変利得増幅回路

(57) 【特許請求の範囲】

【請求項1】

- (a) 第1および第2の入力端子と、
 (b) 前記第1および第2の各入力端子に負入力が各々接続された第1および第2の演算増幅器と、
 (c) 前記第1および第2の演算増幅器の各出力にベースが各々接続された第1および第2のトランジスタと、
 (d) 前記第1および第2のトランジスタの各エミッタと接地端子との間に各々接続された第1および第2の定電流源と、
 (e) 前記第1および第2のトランジスタの各コレクタと電源端子との間に各々接続された第3および第4の定電流源と、
 (f) 前記第1と第2のトランジスタのコレクタ間に接続された第1の抵抗器と、
 (g) 第1および第2のトランジスタの各エミッタにエミッタが各々接続されるとともに、ベースが互いに共通接続された少なくとも1組のトランジスタ対とを備え、
 前記第1および第2のトランジスタのコレクタが各々前記第1および第2の演算増幅器の正入力に接続され、
 前記少なくとも1組のトランジスタ対の共通接続されたベースは所定の信号を入力する入力端子に接続され、
 前記少なくとも1組のトランジスタ対のコレクタは各々少なくとも1組の出力端子を形成し、前記第1と第2の入力端子間に印可される入力電圧に応じて、前記少なくとも1組の

10

20

出力端子から少なくとも 1 組の出力電流を出力することを特徴とする差動増幅回路。

【請求項 2】

前記トランジスタは、全て NPN トランジスタで構成される請求項 1 記載の差動増幅回路。

【請求項 3】

前記トランジスタは、全て N チャンネル MOS トランジスタで構成される請求項 1 記載の差動増幅回路。

【請求項 4】

(a) 第 1 および第 2 の入力端子と、
(b) 前記第 1 および第 2 の各入力端子に負入力が各々接続された第 1 および第 2 の演
算増幅器と、
(c) 前記第 1 および第 2 の演算増幅器の各出力にベースが各々接続された第 1 および
第 2 のトランジスタと、
(d) 前記第 1 および第 2 のトランジスタの各エミッタと接地端子との間に各々接続さ
れた第 1 および第 2 の定電流源と、
(e) 前記第 1 および第 2 のトランジスタの各コレクタと電源端子との間に各々接続さ
れた第 3 および第 4 の定電流源と、
(f) 前記第 1 と第 2 のトランジスタのコレクタ間に接続された第 1 の抵抗器と、
(g) 前記第 1 および第 2 のトランジスタの各エミッタにエミッタが各々接続されると
ともに、ベースが互いに共通接続された第 3 のトランジスタと第 4 のトランジスタと、
(h) ベースが互いに共通接続された第 5 のトランジスタと、第 6 のトランジスタとを
備え、
前記第 1 および第 2 のトランジスタのコレクタが各々前記第 1 および第 2 の演算増幅器の
正入力に接続され、
前記第 3 のトランジスタと前記第 4 のトランジスタの共通接続されたベースは所定の信号
を入力する入力端子に接続され、
前記第 5 のトランジスタと前記第 6 のトランジスタの共通接続されたベースは、前記第 3
、第 4 のトランジスタの共通接続されたベースとともに、1 組の局部発振信号入力端子に
各々接続され、前記第 3、第 4 のトランジスタの各コレクタは、前記第 6 のトランジスタ
と前記第 5 のトランジスタのコレクタに各々接続されるとともに、第 1 および第 2 の負荷
抵抗器を介して、電源端子に接続されたことを特徴とするミキサ回路。

【請求項 5】

ベースが互いに共通接続された第 7 のトランジスタと、第 8 トランジスタと、ベースが互
いに共通接続された第 9 のトランジスタと、第 10 のトランジスタとを備え、前記第 7 お
よび第 8 のトランジスタの共通接続されたベースと前記第 9 および第 10 のトランジスタ
の共通接続されたベースは、各々 1 組の第 2 局部発振信号入力端子に接続され、前記第 7
および第 8 のトランジスタの各コレクタは、前記第 10 および第 9 のトランジスタの各々
のコレクタに接続されるとともに、前記第 1 および第 2 の負荷抵抗器を介して、電源端子
に接続され、前記第 7 のトランジスタと前記第 9 のトランジスタのエミッタは互いに共通
接続されるとともに、前記第 5 のトランジスタのコレクタに接続され、前記第 8 のラン
ジスタと前記第 10 のトランジスタのエミッタは互いに共通接続されるとともに、前記第
6 のトランジスタのコレクタに接続され、
前記第 7 および第 8 のトランジスタのコレクタは出力端子に接続され、前記第 1 の入力端
子と前記第 2 の入力端子の間に入力される入力電圧と 1 組の局部発振信号入力端子から入
力される局部発振信号と 1 組の第 2 局部発振信号入力端子から入力される第 2 局部発振信
号に応じて、前記出力端子からミキシングされた出力電圧を出力する請求項 4 記載のミキ
サ回路。

【請求項 6】

前記トランジスタは、全て NPN トランジスタで構成される請求項 4 または 5 記載のミキ
サ回路。

【請求項 7】

前記トランジスタは、全てNチャンネルMOSトランジスタで構成される請求項4または5記載のミキサ回路。

【請求項 8】

- (a) 第1および第2の入力端子と、
 - (b) 前記第1および第2の各入力端子に負入力が各々接続された第1および第2の演算増幅器と、
 - (c) 前記第1および第2の演算増幅器の各出力にベースが各々接続された第1および第2のトランジスタと、
 - (d) 前記第1および第2のトランジスタの各エミッタと接地端子との間に各々接続された第1および第2の定電流源と、
 - (e) 前記第1および第2のトランジスタの各コレクタと電源端子との間に各々接続された第3および第4の定電流源と、
 - (f) 前記第1と第2のトランジスタのコレクタ間に接続された第1の抵抗器と、
 - (g) 前記第1および第2のトランジスタの各エミッタにエミッタが各々接続されるとともに、ベースが互いに共通接続された第3のトランジスタと第4のトランジスタと、
 - (h) ベースが互いに共通接続された第5のトランジスタと、第6のトランジスタとを備え、
- 前記第1および第2のトランジスタのコレクタが各々前記第1および第2の演算増幅器の正入力に接続され、
- 前記第3のトランジスタと前記第4のトランジスタの共通接続されたベースは所定の信号を入力する入力端子に接続され、
- 前記第5のトランジスタと前記第6のトランジスタの共通接続されたベースは、前記第3、第4のトランジスタの共通接続されたベースとともに、1組の利得制御信号入力端子に接続され、
- 前記第5のトランジスタのコレクタに前記第1の負荷抵抗器を介して前記電源端子に接続されるとともに、第1の出力端子に接続され、前記第6のトランジスタのコレクタに前記第2の負荷抵抗器を介して前記電源端子に接続されるとともに、第2の出力端子に接続され、さらに、前記第3、第4のトランジスタの各コレクタは、前記電源端子に各々接続され、前記第1の入力端子と前記第2の入力端子の間に入力される入力電圧を、前記1組の利得制御信号入力端子に入力される利得制御信号に応じて、増幅し、前記出力端子から利得制御された出力電圧を出力することを特徴とする可変利得増幅回路。

【請求項 9】

前記トランジスタは、全てNPNトランジスタで構成される請求項8記載の可変利得増幅回路。

【請求項 10】

前記トランジスタは、全てNチャンネルMOSトランジスタで構成される請求項8記載の可変利得増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、差動増幅回路、ミキサ回路および可変利得増幅回路に関し、特に、低電圧動作時でも低歪な差動増幅回路、ミキサ回路および可変利得増幅回路に関する。

【0002】

【従来の技術】

携帯電話の無線システムにおいては、バッテリー駆動時の長い通話時間を確保するために、低消費電力化に有効な低電圧化の要求が強い。一方、増幅回路、ミキサ回路、可変利得増幅回路に対しては、隣接するチャンネルへの干渉や妨害波の入力によるビット誤り率の悪化を抑えるために低歪特性が要求されている。

【0003】

しかし、低電圧化は入出力のダイナミックレンジを狭めることとなり、低歪化の要求とは相反する関係にある。このため、これら2つの要求を同時に満たすことは非常に困難である。

【0004】

これらの要求に対し、非線型性を改善した差動増幅回路は、M.Koyamaほかの論文"A 2.5-V Active Low-Pass Filter Using All-n-p-n Gilbert Cells with a 1-Vp-p Linear Input Range"(IEEE J. Solid-State Circuits, Vol, SC-28, No. 12, pp1246-1253, Dec. 1993)に挙げられている。さらに、これを低電圧での動作を可能とした差動増幅回路が、例えば、特開平8-250941号公報に開示されている。

【0005】

以下、これら従来回路について説明する。まず、第1の従来差動増幅回路を説明する。

【0006】

図9は、論文"A 2.5-V Active Low-Pass Filter Using All-n-p-n Gilbert Cells with a 1-Vp-p Linear Input Range"に記載されている第1の従来差動増幅回路を示す。

【0007】

図9を参照すると、この第1の従来差動増幅回路は、二個の入力端子51、52と、入力端子51、52に正入力が各々接続された二個の演算増幅器53、54と、演算増幅器53、54の各出力にベースが各々接続されたNPNトランジスタ71、72と、トランジスタ71、72の各エミッタと接地端子58との間に各々接続された定電流源91、92と、トランジスタ71と72のエミッタ間に接続された帰還抵抗器81と、トランジスタ71、72の各コレクタと電源端子57との間に各々接続される負荷抵抗器82、83とを備えており、トランジスタ71、72の各エミッタが各々演算増幅器53、54の各負入力に接続され、トランジスタ71、72の各コレクタは各々出力端子61、62に接続されている。

【0008】

以上の構成を持つ第1の従来差動増幅回路は、次のように動作する。

【0009】

すなわち、第1の従来差動増幅回路は、一对の入力端子51と52の間に入力される入力電圧 V_{in} は、演算増幅器53とトランジスタ71、演算増幅器54とトランジスタ72により構成される一对のボルテージフォロアにより、入力電圧 V_{in} が直接帰還抵抗器81の両端に印可されることになる。ここで、帰還抵抗器81は線型素子であり、両端に印可される電圧に応じて線型な電流が流れることになる。

【0010】

図9の回路では、帰還抵抗器81の抵抗値を R_{FB1} とし、帰還抵抗器81に流れる信号電流を i とおくと、以下の式で表される。

$$i = (V_{in} / R_{FB1}) \quad (1)$$

式(1)で表される電流が、トランジスタ71と72の各エミッタに正および負の電流として各々流れ、さらに、トランジスタ71、72の電流増幅率が高くベース電流が無視できるとすれば、エミッタ電流は、コレクタ電流と等しくなり、式(1)で表される線型な電流が負荷抵抗器82、83に供給される。

【0011】

ここで、式(1)から明らかに、図9の差動増幅回路のトランスコンダクタンス G_m は、以下の式で表される。

$$G_m = (i / V_{in}) = (1 / R_{FB1}) \quad (2)$$

さらに、トランジスタ71、72の各コレクタと電源端子57の間に挿入される負荷抵抗器82、83により電圧に変換されて、出力端子61、62に出力される。

負荷抵抗器82、83の抵抗値を R_c とすれば、電圧利得 G は、式(2)を用いて、以下の式で表される。

$$G = G_m \cdot R_c = (R_c / R_{FB1}) \quad (3)$$

10

20

30

40

50

ところで、図 9 の差動増幅回路の線型入力電圧範囲 I D R (Input Dynamic Range) は、定電流源 9 1、9 2 の電流値を各々 I 0 とおくと、次の式で表される。

$$I D R = I 0 \cdot R F B 1 \quad (4)$$

また、出力端子の直流電位 V 0 (D C) は、以下の式で表される。

$$V 0 (D C) = V c c - I 0 \cdot R c \quad (5)$$

上述したように、第 1 の従来例の差動増幅回路によれば、差動対入力トランジスタ 7 1、7 2 の非線型性の影響を受けることなく、入力電圧 V i n に応じた線型出力電圧が得られることになる。

【0012】

図 10 に、図 9 に示した第 1 の従来例の差動増幅回路の入力電圧 (V i n) ー トランスコンダクタンス (G m) および出力電流 (i o, i o b) の一例を示す。また、図 8 に示す最も基本的なエミッタ帰還抵抗器付き差動増幅回路の入力電圧ー トランスコンダクタンス および出力電流も同時に示してある。

【0013】

図 10 の例では、帰還抵抗器 8 1 の抵抗値 R F B 1 を 2 0 0 0 Ω、定電流源 9 1、9 2 の電流 I 0 を各々 0. 4 5 m A としている。図 10 から、図 8 に示すエミッタ帰還抵抗器付き差動増幅回路に比べて第 1 の従来例の差動増幅回路の方が線型性が良いことが分かる。

【0014】

図 11 の回路図は、第 1 の従来例の具体的な構成と各ノードの電位を示している。また、差動増幅回路の対称性から、半回路のみの回路としてある。

ここで、トランジスタ 5 3 1 のベース、トランジスタ 5 3 2 のベース、コレクタが各々演算増幅器 5 3 の正入力、負入力、出力となっており、さらに、トランジスタ 7 1 とからなるボルテージフォロアを構成している。このため、入力端子 5 1 の電位を V i n とすると、トランジスタ 5 3 2 のベース電位は V i n であり、したがって、トランジスタ 7 1 のベース電位は (V i n + V B E Q 7 1) となる。

【0015】

次に、第 2 の従来例の差動増幅回路について説明する。

【0016】

図 12 は、特開平 8 - 2 5 0 9 4 1 号公報に記載された第 2 の従来例の差動増幅回路を示す。

【0017】

図 12 に示す差動増幅回路は、第 1 の従来例の差動増幅回路に加えて、ダイオード接続 (コレクターベース短絡) されたトランジスタ 7 7、7 8 と、トランジスタ 7 7、7 8 の各コレクタと電源端子 5 7 の間に接続された定電流源 9 3、9 4 とを備えており、図 9 の差動増幅回路と比べて、トランジスタ 7 7、7 8 の各エミッタは各々トランジスタ 7 1、7 2 のエミッタに接続され、且つ、各ベースは各々演算増幅器 5 3、5 4 の負入力に接続されている。

【0018】

図 12 の従来例の差動増幅回路は、次のように動作する。

【0019】

すなわち、一对の入力端子 5 1 と 5 2 の間に入力される入力電圧 V i n は、演算増幅器 5 3 とトランジスタ 7 1 とダイオード接続されたトランジスタ 7 7、演算増幅器 5 4 とトランジスタ 7 2 とダイオード接続されたトランジスタ 7 8 により構成される一对のボルテージフォロアにより、ダイオード接続されたトランジスタ 7 7、7 8 のベースーエミッタ間電圧 V B E だけ直流電圧がシフトされて帰還抵抗器 8 1 の両端に印可されることになる。ここで、帰還抵抗器 8 1 は線型素子であり、両端に印可される電圧に応じて線型な電流が流れることになる。

図 12 の回路では、帰還抵抗器 8 1 の抵抗値を R F B 2 とし、帰還抵抗器 8 1 に流れる信号電流を i とおくと、以下の式で表される。

$$i = (V i n / R F B 2) \quad (6)$$

式(6)で表される電流が、トランジスタ71と72の各エミッタに正および負の電流として各々流れ、さらに、第1の従来例と同様の仮定をすれば、エミッタ電流は、コレクタ電流と等しくなり、式(6)で表される線型な電流が負荷抵抗器82、83に供給される。

【0020】

ここで、式(6)から明らかに、図12の差動増幅回路のトランスコンダクタンス G_m は、以下の式で表される。

$$G_m = (i / V_{in}) = (1 / R_{FB2}) \quad (7)$$

さらに、トランジスタ71、72の各コレクタと電源端子57の間に接続される負荷抵抗器82、83により電圧に変換されて、出力端子61、62に出力される。

10

【0021】

負荷抵抗器82、83の抵抗値を R_c とすれば、電圧利得 G は、式(7)を用いて、以下の式で表される。

$$G = G_m \cdot R_c = (R_c / R_{FB2}) \quad (8)$$

ところで、図12の差動増幅回路の線型入力電圧範囲 IDR (Input Dynamic Range)は、定電流源91、92の電流値を各々 $2I_0$ 、定電流源93、94の電流を I_0 とおくと、式(9)で表される。

$$IDR = I_0 \cdot R_{FB2} \quad (9)$$

また、出力端子の直流電位 $V_0(DC)$ は、以下の式で表される。

$$V_0(DC) = I_0 \cdot R_c \quad (10)$$

20

上述したように、第2の従来例の差動増幅回路についても、第1の従来例の差動増幅回路と同様に、差動対入力トランジスタ71、72の非線型性の影響を受けることなく、入力電圧 V_{in} に応じた線型出力電圧が得られることになる。

【0022】

図13に、図12に示した第2の従来例の差動増幅回路の入力電圧(V_{in})—トランスコンダクタンス(G_m)および出力電流(i_o , i_{ob})の一例を示す。

【0023】

図13の例では、帰還抵抗器81の抵抗値 R_{FB2} を 2000Ω とし、定電流源91、92の電流を $2I_0$ 、定電流源93、94の電流を I_0 とし、 I_0 を $0.45mA$ としている。

30

【0024】

ところで、第1の従来例と第2の従来例の違いは、トランジスタ71、72のエミッタと演算増幅回路53、54の負入力との間に、ダイオード接続されたトランジスタ77、78が挿入されていることである。

【0025】

次に、これらダイオード接続されたトランジスタ77、78の効果について説明する。

【0026】

図14の回路図は、第2の従来例の具体的な構成と各ノードの電位を示している。また、差動増幅回路の対称性から、半回路のみの回路としてある。

【0027】

40

ここで、トランジスタ531のベース、トランジスタ532のベース、コレクタが各々演算増幅器53の正入力、負入力、出力となっており、さらに、トランジスタ71と77とからなるボルテージフォロアを構成している。このため、入力端子51の電位を V_{in} とすると、トランジスタ532のベース電位は V_{in} 、トランジスタ77のエミッタ電位は $V_{in} - V_{BEQ77}$ であり、したがって、トランジスタ71のベース電位は $V_{in} - V_{BEQ77} + V_{BEQ71}$ となる。

【0028】

また、トランジスタのベース—エミッタ間電圧 V_{BE} は、ほぼ一定と考えられるため、結局、トランジスタ71のベース電位は V_{in} に等しくなる。一方、第1の従来例の差動増幅回路の場合は、ダイオード接続されたトランジスタ77がないため、トランジスタ71の

50

エミッタ電位は V_{in} 、ベース電位は $V_{in} + V_{BEQ71}$ となり、第2の従来例の差動増幅回路に比べてトランジスタ71のベース電位が(V_{BE})1段分だけ高くなってしまう。

【0029】

このことから、第2の従来例の差動増幅回路は、第1の従来例の差動増幅回路に比べてより低電圧で動作させることが可能である。

【0030】

【発明が解決しようとする課題】

しかしながら、上記従来例の差動増幅回路には、次のような問題がある。

【0031】

すなわち、図12の差動増幅回路をミキサ回路や可変利得増幅回路に適用しようとするとき、NPNトランジスタの縦積み3段構成となるため、低電圧動作時に利得が高くとれない、という問題がある。 10

【0032】

以下に、上記問題が発生する理由を図を参照しながら説明する。

【0033】

図15に、第2の従来例の差動増幅回路をミキサ回路に適用した場合の具体的な構成を示す。

【0034】

図15に示したミキサ回路は、図12に示した差動増幅回路に加えて、エミッタが共通接続された2組の差動対トランジスタ73、75と74、76と、トランジスタ73と74の共通接続されたベースとトランジスタ75、76の共通接続されたベースに各々接続される1組の局部発振信号入力端子63、64とを有している。 20

【0035】

また、トランジスタ73のコレクタはトランジスタ76のコレクタに、トランジスタ74のコレクタはトランジスタ75のコレクタに各々接続され、共通接続されたトランジスタ73と75のエミッタはトランジスタ71のコレクタに接続され、共通接続されたトランジスタ74と76のエミッタはトランジスタ72のコレクタに接続されている。

【0036】

さらに、トランジスタ73と76の共通接続されたコレクタは負荷抵抗器82を介して電源端子57に接続され、トランジスタ74と75の共通接続されたコレクタは負荷抵抗器83を介して電源端子57に接続されている。 30

【0037】

この第2の従来例の差動増幅回路を適用したミキサ回路の変換利得 CG は、一般に広く用いられているダブルバランスドミキサにおける利得と同様に計算できる。

【0038】

つまり、ダブルバランスドミキサの双差動対トランジスタが、局部発振信号によりスイッチング動作しているとすれば、差動増幅回路の利得 G とミキサ回路の変換利得 CG の間には以下の式の関係が成り立つ。

$$CG = (2/\pi) \cdot G \quad (11)$$

したがって、第2の従来例のミキサ回路の変換利得 CG は、式(8)と式(11)から、以下の式で表せる。 40

$$CG = (2/\pi) \cdot (R_c/R_{FB2}) \quad (12)$$

ここで、式(12)から、変換利得 CG を大きくするには、負荷抵抗器82、83の抵抗値 R_c を大きくする必要がある。このため、トランジスタ73(または74、75、76)のベース電位は低い方がよいことが分かる。

【0039】

したがって、トランジスタ73(または74、75、76)の最低ベース電位を求めてみる。図16の回路図は、図15のミキサ回路の各ノード電位を示している。また、差動増幅回路の対称性から、半回路のみの回路としてある。さらに、簡単のために定電流源トランジスタのエミッタ抵抗器において生じる電位降下は無視してある。 50

【0040】

まず、 V_{in} が最も低くなったとき、定電流源トランジスタ533と911が飽和しない条件は、以下の式で表される。

$$V_{in}(\min) \geq V_{CE(sat)Q533} + V_{BEQ531} \quad (11a)$$

$$V_{in}(\min) \geq V_{CE(sat)Q911} + V_{BEQ71} \quad (11b)$$

したがって、最も低い入力電圧 $V_{in}(\min)$ は式(11a)または式(11b)から、以下の式で表される。但し、トランジスタのベース-エミッタ間電圧 V_{BE} は、ほぼ一定と考えられるため、式(11a)と(11b)は同等とみなしている。

$$V_{in}(\min) \geq V_{CE(sat)Q533} + V_{BEQ531} \quad (12)$$

次に、 V_{in} が最も高くなったとき、トランジスタ71が飽和しない条件は、以下の式で表される。 10

$$V_{L0} \geq V_{in}(\max) - V_{BEQ71} + V_{CE(sat)Q71} + V_{BEQ73} \quad (13)$$

したがって、トランジスタ73の最低ベース電位は式(13)から、以下の式で表される。

$$V_{L0} = V_{in}(\max) - V_{BEQ71} + V_{CE(sat)Q71} + V_{BEQ73} \quad (14)$$

さらに、電源電圧を V_{cc} とすれば、出力電圧範囲 ΔV_0 は、以下の式で表される。

$$\begin{aligned} \Delta V_0 &= V_{cc} - (V_{L0} - V_{BEQ73} + V_{CE(sat)Q73}) \\ &= V_{cc} - (V_{in}(\max) - V_{BEQ71} + V_{CE(sat)Q71} + V_{BEQ73} \\ &\quad - V_{BEQ73} + V_{CE(sat)Q73}) \end{aligned} \quad (15) \quad 20$$

一方、線型出力電圧範囲が最大となるよう出力信号の直流電位が式(15)で与えられる出力電圧範囲 ΔV_0 の中心となるよう設定することが、減電圧時や温度変化によるトランジスタの飽和を防止するためにも望ましい。

このことから、以下の2つの関係式が成り立つ。

$$(\Delta V_0 / 2) = I_0 \cdot R_c \quad (16)$$

$$CG = (2 / \pi) \cdot (1 / R_{FB2}) \cdot (\Delta V_0 / 2 I_0) \quad (17)$$

ここで、電源電圧 V_{cc} を1.8V、入力電圧 V_{in} を0.5V_{pp}、トランジスタのベースエミッタ間電圧 V_{BE} とコレクターエミッタ間飽和電圧 $V_{CE(sat)}$ は各々0.7V、0.15Vで一定と考えると、まず、式(12)から、入力電圧の最小値 $V_{in}(\min)$ 30

$$V_{in}(\min) = 0.15 + 0.7 = 0.85 \quad (18)$$

また、入力電圧の最大値 $V_{in}(\max)$ は、以下のように表される。

$$\begin{aligned} V_{in}(\max) &= V_{in}(\min) + V_{in} \\ &= 0.85 + 0.5 = 1.35 \end{aligned} \quad (19)$$

そこで、式(14)に式(19)の値を代入すれば、トランジスタ73の最低ベース電位は、以下の値になる。

$$\begin{aligned} V_{L0} &= 1.35 - 0.7 + 0.15 + 0.7 \\ &= 1.5 \end{aligned} \quad (20) \quad 40$$

さらに、式(15)に式(18)、(19)の値を代入すれば、出力電圧範囲 ΔV_0 は以下の値になる。

$$\begin{aligned} \Delta V_0 &= 1.8 - (1.35 - 0.7 + 0.15 + 0.7 - 0.7 + 0.15) \\ &= 0.85 \end{aligned} \quad (21)$$

つまり、0.85V_{pp}となり、最大でも電源電圧 V_{cc} のおおよそ47%程度しか出力電圧範囲がとれないことになる。

【0041】

さらに、 R_{FB2} を2000Ω、 I_0 を0.45mAとすると、変換利得CGは式(17 50

）から、およそ0.300（倍）程度しかとれない。

【0042】

本発明は、かかる事情に鑑みてなされたものであり、その目的とするところは、ミキサ回路や可変利得増幅回路に適用した場合に、低電圧動作時であっても電圧利得が高くとれる低歪差動増幅回路を提供することにある。

【0043】

本発明の他の目的は、低電圧動作させない場合に3入力ミキサ回路に適用できる低歪差動増幅回路を提供することにある。

【0044】

【課題を解決するための手段】

本発明の差動増幅回路は、（a）第1および第2の入力端子と、（b）前記第1および第2の各入力端子に負入力が各々接続された第1および第2の演算増幅器と、（c）前記第1および第2の演算増幅器の各出力にベースが各々接続された第1および第2のトランジスタと、（d）前記第1および第2のトランジスタの各エミッタと接地端子との間に各々接続された第1および第2の定電流源と、（e）前記第1および第2のトランジスタの各コレクタと電源端子との間に各々接続された第3および第4の定電流源と、（f）前記第1と第2のトランジスタのコレクタ間に接続された第1の抵抗器と、（g）第1および第2のトランジスタの各エミッタにエミッタが各々接続されるとともに、ベースが互いに共通接続された少なくとも1組のトランジスタ対とを備え、前記第1および第2のトランジスタのコレクタが各々前記第1および第2の演算増幅器の正入力に接続され、前記少なくとも1組のトランジスタ対の共通接続されたベースは所定の信号を入力する入力端子に接続され、前記少なくとも1組のトランジスタ対のコレクタは各々少なくとも1組の出力端子を形成し、前記第1と第2の入力端子間に印可される入力電圧に応じて、前記少なくとも1組の出力端子から少なくとも1組の出力電流を出力する構成である。

【0045】

また、本発明のミキサ回路は、（a）第1および第2の入力端子と、（b）前記第1および第2の各入力端子に負入力が各々接続された第1および第2の演算増幅器と、（c）前記第1および第2の演算増幅器の各出力にベースが各々接続された第1および第2のトランジスタと、（d）前記第1および第2のトランジスタの各エミッタと接地端子との間に各々接続された第1および第2の定電流源と、（e）前記第1および第2のトランジスタの各コレクタと電源端子との間に各々接続された第3および第4の定電流源と、（f）前記第1と第2のトランジスタのコレクタ間に接続された第1の抵抗器と、（g）前記第1および第2のトランジスタの各エミッタにエミッタが各々接続されるとともに、ベースが互いに共通接続された第3のトランジスタと第4のトランジスタと、（h）ベースが互いに共通接続された第5のトランジスタと、第6のトランジスタとを備え、前記第1および第2のトランジスタのコレクタが各々前記第1および第2の演算増幅器の正入力に接続され、前記第3のトランジスタと前記第4のトランジスタの共通接続されたベースは所定の信号を入力する入力端子に接続され、前記第5のトランジスタと前記第6のトランジスタの共通接続されたベースは、前記第3、第4のトランジスタの共通接続されたベースとともに、1組の局部発振信号入力端子に各々接続され、前記第3、第4のトランジスタの各コレクタは、前記第6のトランジスタと前記第5のトランジスタのコレクタに各々接続されるとともに、第1および第2の負荷抵抗器を介して、電源端子に接続された構成である。

【0046】

さらに、本発明のミキサ回路は、ベースが互いに共通接続された第7のトランジスタと、第8トランジスタと、ベースが互いに共通接続された第9のトランジスタと、第10のトランジスタとを備え、前記第7および第8のトランジスタの共通接続されたベースと前記第9および第10のトランジスタの共通接続されたベースは、各々1組の第2局部発振信号入力端子に接続され、前記第7および第8のトランジスタの各コレクタは、前記第10および第9のトランジスタの各々のコレクタに接続されるとともに、前記第1および第2

10

20

30

40

50

の負荷抵抗器を介して、電源端子に接続され、前記第7のトランジスタと前記第9のトランジスタのエミッタは互いに共通接続されるとともに、前記第5のトランジスタのコレクタに接続され、前記第8のトランジスタと前記第10のトランジスタのエミッタは互いに共通接続されるとともに、前記第6のトランジスタのコレクタに接続され、前記第7および第8のトランジスタのコレクタは出力端子に接続され、前記第1の入力端子と前記第2の入力端子の間に入力される入力電圧と1組の局部発振信号入力端子から入力される局部発振信号と1組の第2局部発振信号入力端子から入力される第2局部発振信号に応じて、前記出力端子からミキシングされた出力電圧を出力する構成である。

【0047】

またさらに、本発明の可変利得増幅回路は、(a) 第1および第2の入力端子と、(b) 前記第1および第2の各入力端子に負入力が各々接続された第1および第2の演算増幅器と、(c) 前記第1および第2の演算増幅器の各出力にベースが各々接続された第1および第2のトランジスタと、(d) 前記第1および第2のトランジスタの各エミッタと接地端子との間に各々接続された第1および第2の定電流源と、(e) 前記第1および第2のトランジスタの各コレクタと電源端子との間に各々接続された第3および第4の定電流源と、(f) 前記第1と第2のトランジスタのコレクタ間に接続された第1の抵抗器と、(g) 前記第1および第2のトランジスタの各エミッタにエミッタが各々接続されるとともに、ベースが互いに共通接続された第3のトランジスタと第4のトランジスタと、(h) ベースが互いに共通接続された第5のトランジスタと、第6のトランジスタとを備え、前記第1および第2のトランジスタのコレクタが各々前記第1および第2の演算増幅器の正入力に接続され、前記第3のトランジスタと前記第4のトランジスタの共通接続されたベースは所定の信号を入力する入力端子に接続され、前記第5のトランジスタと前記第6のトランジスタの共通接続されたベースは、前記第3、第4のトランジスタの共通接続されたベースとともに、1組の利得制御信号入力端子に接続され、前記第5のトランジスタのコレクタに前記第1の負荷抵抗器を介して前記電源端子に接続されるとともに、第1の出力端子に接続され、前記第6のトランジスタのコレクタに前記第2の負荷抵抗器を介して前記電源端子に接続されるとともに、第2の出力端子に接続され、さらに、前記第3、第4のトランジスタの各コレクタは、前記電源端子に各々接続され、前記第1の入力端子と前記第2の入力端子の間に入力される入力電圧を、前記1組の利得制御信号入力端子に入力される利得制御信号に応じて、増幅し、前記出力端子から利得制御された出力電圧を出力する構成である。

【0048】

【発明の実施の形態】

次に、本発明の実施の形態について添付図面を参照して詳細に説明する。

【0049】

図1は、本発明の第1実施形態の差動増幅回路を示す回路図である。

【0050】

図1を参照すると、本発明の第1実施形態の差動増幅回路は、入力端子(1、2)と、入力端子(1、2)に負入力が各々接続された演算増幅器(3、4)と、演算増幅器(3、4)の各出力にベースが各々接続されたトランジスタ(21、22)と、トランジスタ(21、22)の各エミッタと接地端子(電位：0)8との間に各々接続された定電流源(41、42)と、トランジスタ(21、22)の各コレクタと電源端子(電圧：Vcc)7との間に各々接続された定電流源(43、44)と、トランジスタ(21、22)のコレクタ間に接続された抵抗器(抵抗値：RFB)31と、トランジスタ(21、22)の各エミッタにエミッタが各々接続されるとともに、ベースが互いに共通接続されたトランジスタ(23、24)と、トランジスタ(23、24)の各コレクタと電源端子7の間に各々接続される負荷抵抗器(32、33)とを備える。

【0051】

そして、トランジスタ(21、22)のコレクタが各々演算増幅器(3、4)の正入力に接続され、トランジスタ(23、24)の共通接続されたベースは所定のバイアス電圧を

入力する入力端子13に接続され、トランジスタ(23、24)のコレクタは各々出力端子(11、12)に接続され、入力端子1と入力端子2の間に印可される入力電圧に応じて、出力端子(11、12)から出力電圧を出力する。

【0052】

次に、以上の構成を持つ本発明の第1の実施の形態の差動増幅回路の動作について説明する。

【0053】

すなわち、本発明の第1実施形態の差動増幅回路は、一对の入力端子1と入力端子2の間に入力される入力電圧 V_{in} は、演算増幅器(3、4)により増幅され、トランジスタ21のベースとトランジスタ22のベースに各々入力される。

10

【0054】

ここで、トランジスタ21とトランジスタ23、トランジスタ22とトランジスタ24は各々抵抗器31を負荷抵抗とする差動増幅器を形成し、入力された信号が反転増幅されて、演算増幅器(3、4)の正入力に帰還され一对のボルテージフォロアを構成する。つまり、入力端子(1、2)に入力された入力電圧 V_{in} は、抵抗器31の両端に印可され、線型な電流が流れることになる。

【0055】

図1の回路では、抵抗器31の抵抗値を R_{FB} とし、抵抗器31に流れる電流を i とすると、以下の式で表される。

$$i = (V_{in} / R_{FB}) \quad (22)$$

20

一方、演算増幅器3、4の正入力には電流が流れず、また、トランジスタ21、22の各コレクタと電源端子7との間に接続された定電流源43、44により、抵抗器31に流れる線型電流はトランジスタ21、22のエミッタから出力されて、トランジスタ23、24のエミッタに正および負の電流として各々入力されることになる。

さらに、トランジスタ23、24の電流増幅率が高くベース電流が無視できるとすれば、エミッタ電流は、コレクタ電流と等しくなり、式(22)で表される線型な電流が負荷抵抗器32、33に供給される。

ここで、式(22)から明らかに、図1の差動増幅回路のトランスコンダクタンス G_m は、以下の式で表される。

$$G_m = (i / V_{in}) = (1 / R_{FB}) \quad (23)$$

30

さらに、トランジスタ23、24の各コレクタと電源端子7の間に挿入される負荷抵抗器32、33により電圧に変換されて、出力端子11、12に出力される。

負荷抵抗器32、33の抵抗値を R_c とすれば、電圧利得 G は、式(23)を用いて、以下の式で表される。

$$G = G_m \cdot R_c = (R_c / R_{FB}) \quad (24)$$

ところで、図1の差動増幅回路の線型入力電圧範囲 IDR (Input Dynamic Range)は、定電流源41、42の電流値を各々 $2I_0$ 、定電流源43、44の電流を I_0 とすると、以下の式で表される。

$$IDR = I_0 \cdot R_{FB} \quad (25)$$

したがって、本発明の第1の実施の形態の差動増幅回路についても、従来例の差動増幅回路の場合と同様に、差動対入力トランジスタ21、22の非線型性の影響を受けることなく、入力電圧 V_{in} に応じた線型出力電圧 V_o が得られることになる。

40

【0056】

図2に、図1に示した本発明の第1の実施の形態の差動増幅回路の入力電圧(V_{in})—トランスコンダクタンス(G_m)および出力電流(i_o , i_{ob})の一例を示す。

【0057】

図2に示す例では、抵抗器31の抵抗値 R_{FB} を 2000Ω とし、定電流源41、42の電流を $2I_0$ 、定電流源43、44の電流を I_0 とし、 I_0 を $0.45mA$ としている。

【0058】

図3の回路図は、本発明の第1実施形態の差動増幅回路の具体的な構成と各ノードの電位

50

を示している。また、差動増幅回路の対称性から、半回路のみの回路としてある。

【0059】

ここで、トランジスタ302のベース、トランジスタ301のベース、コレクタが各々演算増幅器3の正入力、負入力、出力となっており、さらに、トランジスタ21、23による差動対とトランジスタ22、24による差動対とからなるボルテージフォロアを構成している。このため、入力端子1の電位を V_{in} とすると、トランジスタ302のベース電位は V_{in} 、トランジスタ23のエミッタ電位は $V_{L0} - V_{BEQ23}$ であり、したがって、トランジスタ21のベース電位は $(V_{L0} - V_{BEQ23} + V_{BEQ21})$ となる。

【0060】

また、トランジスタのベース－エミッタ間電圧 V_{BE} は、ほぼ一定と考えられるため、結局、トランジスタ21のベース電位は V_{L0} に等しくなる。つまり、トランジスタ21のコレクタ電位が V_{in} 、トランジスタ301のコレクタ電位が V_{L0} 、また、トランジスタ21のベース電位が V_{L0} 、トランジスタ301のベース電位が V_{in} であり、対称性から、入力電圧 V_{in} とバイアス電圧 V_{L0} はほぼ同電位とすることが好ましい。

【0061】

このことから、本発明の第1の実施の形態の差動増幅回路は、第2の従来例の差動増幅回路と同程度の低電圧で動作させることが可能である。

【0062】

次に、本発明の第2の実施の形態について説明する。

【0063】

図4は、本発明の第2の実施形態として、差動増幅回路をミキサ回路に適用した例を示す回路図である。

【0064】

図4を参照すると、本発明の第2の実施の形態の差動増幅回路を適用したミキサ回路は、本発明の第1の実施の形態の差動増幅回路に加えて、ベースが互いに共通接続されたトランジスタ25、26とを備えている。

【0065】

さらに、トランジスタ23、24の共通接続されたベースとトランジスタ25、26の共通接続されたベースは各々1組の局部発振信号入力端子13、14に接続され、トランジスタ23、24の各コレクタは各々トランジスタ26、25のコレクタに接続されるとともに、負荷抵抗器32、33を介して、電源端子7に接続されている。また、トランジスタ23、24のコレクタは出力端子11、12に接続され、入力端子1と2の間に入力される入力電圧と1組の局部発振信号入力端子13、14から入力される局部発振信号に応じて、出力端子11、12からミキシングされた出力電圧を出力する。

【0066】

次に、以上の構成を持つ本発明の第2の実施の形態の差動増幅回路を適用したミキサ回路の動作について説明する。

【0067】

すなわち、本発明の第2の実施の形態の差動増幅回路を適用したミキサ回路は、一对の入力端子1と2の間に入力される入力電圧 V_{in} によって、トランジスタ21、22の各エミッタに正および負の線型な電流が流れる点は、本発明の第1の実施の形態の差動増幅回路の場合と同様である。

【0068】

また、トランジスタ21、22のエミッタから出力される信号電流 i 、トランスコンダクタンス G_m 、線型入力電圧範囲 IDR が、各々式(22)、(23)、(25)で表されることも本発明の第1の実施の形態の差動増幅回路と同様である。

【0069】

また、変換利得 CG は、第2の従来例の差動増幅回路をミキサ回路に適用した場合と同様にして、式(24)から、以下の式で表される。

$$CG = (2/\pi) \cdot (R_c/R_{FB}) \quad (26)$$

10

20

30

40

50

ここで、式(26)から、変換利得CGを大きくするには、負荷抵抗器32、33の抵抗値Rcを大きくする必要がある。このため、トランジスタ23(または24、25、26)のベース電位は低い方がよいことが分かる。したがって、トランジスタ23(または24、25、26)の最低ベース電位を求める。

【0070】

図5の回路図は、本発明の第2の実施の形態の差動増幅回路を適用したミキサ回路の具体的な構成と各ノードの電位を示している。また、差動増幅回路の対称性から、半回路のみの回路としてある。さらに、簡単のために定電流源トランジスタのエミッタ抵抗器において生じる電位降下は無視してある。

【0071】

まず、Vinが最も低くなったとき、定電流源トランジスタ303が飽和しない条件は、以下の式で表される。

$$V_{in}(\min) \geq V_{CE(sat)Q303} + V_{BEQ301} \quad (27)$$

したがって、最も低い入力電圧Vin(min)は式(27)から、以下の式で表される。

$$V_{in}(\min) = V_{CE(sat)Q303} + V_{BEQ301} \quad (28)$$

次に、Vinが最も高くなったとき、トランジスタ301が飽和しない条件は、以下の式で表される。

$$V_{L0} \geq V_{in}(\max) - V_{BEQ301} + V_{CE(sat)Q301} \quad (29)$$

しかし、トランジスタ23のベース電位が低くなると、定電流源トランジスタ411が飽和する恐れがあり、トランジスタ411が飽和しない条件は、以下の式で表される。

$$V_{L0} \geq V_{CE(sat)Q411} + V_{BEQ23} \quad (30)$$

したがって、トランジスタ23のベース電位が最も低くなるのは、式(29)と(30)から、以下の2つの式で表される電位のどちらか高い方となる。

$$V_{L0} = V_{in}(\max) - V_{BEQ301} + V_{CE(sat)Q301} \quad (31a)$$

$$V_{L0} = V_{CE(sat)Q411} + V_{BEQ23} \quad (31b)$$

さらに、電源電圧をVccとすれば、出力振幅V0のとりうる範囲は、以下の2つの式の一方で表される。

$$\Delta V_0 = V_{cc} - (V_{L0} - V_{BEQ23} + V_{CE(sat)Q23})$$

$$= V_{cc} - (V_{in}(\max) - V_{BEQ301} + V_{CE(sat)Q301} - V_{BEQ23} + V_{CE(sat)Q23}) \quad (32a)$$

$$\Delta V_0 = V_{cc} - (V_{L0} - V_{BEQ23} + V_{CE(sat)Q23})$$

$$= V_{cc} - (V_{CE(sat)Q411} - V_{BEQ23} - V_{BEQ23} + V_{CE(sat)Q23}) \quad (32b)$$

一方、線型出力電圧範囲が最大となるよう出力信号の直流電位が式(32a)または(32b)で与えられる出力電圧範囲ΔV0の中心となるよう設定することが、減電圧時や温度変化によるトランジスタの飽和を防止するためにも望ましい。

このことから、以下の2つの関係式が成り立つ。

$$(\Delta V_0 / 2) = I_0 \cdot R_c \quad (33)$$

$$CG = (2 / \pi) \cdot (1 / R_{FB}) \cdot (\Delta V_0 / 2 I_0) \quad (34)$$

ここで、電源電圧Vccを1.8V、入力電圧Vinを0.5Vp-p、トランジスタのベースエミッタ間電圧VBEとコレクターエミッタ間飽和電圧VCE(sat)は各々0.7V、0.15Vで一定と考えると、まず、式(28)から、入力電圧の最小値Vin(min)は、以下の式で表される。

$$V_{in}(\min) = 0.15 + 0.7 = 0.85 \quad (35)$$

また、入力電圧の最大値Vin(max)は、以下のように表される。

10

20

30

40

$$\begin{aligned} V_{in(max)} &= V_{in(min)} + V_{in} \\ &= 0.85 + 0.5 = 1.35 \quad (36) \end{aligned}$$

式(31a)に式(36)の結果を代入すると、以下ようになる。

$$V_{L0} = 1.35 - 0.7 + 0.15 = 0.8 \quad (37)$$

さらに、式(31b)は、以下ようになる。

$$V_{L0} = 0.15 + 0.7 = 0.85 \quad (38)$$

式(37)と(38)を比べると式(38)の方が高い電位となっているため、トランジスタ23の最低ベース電位は、0.85Vとなる。

したがって、式(32b)に式(38)の値を代入すれば、出力電圧範囲 ΔV_o は以下の値になる。 10

$$\Delta V_o = 1.8 - (0.85 - 0.7 + 0.15) = 1.5 \quad (39)$$

つまり、1.5V_{p-p}となり、電源電圧 V_{cc} のおおよそ83%の出力電圧範囲をとることが可能となる。

【0072】

さらに、RFBを2000 Ω 、I₀を0.45mAとすると、変換利得CGは式(34)から、おおよそ0.530(倍)となる。

【0073】

このことから、本発明の第2の実施の形態の差動増幅回路を適用したミキサ回路は、第2の従来例の差動増幅回路をミキサ回路に適用した場合に比べて、出力電圧範囲をおおよそ36%程度広くすることが可能であり、また、変換利得CGをおおよそ1.76倍高くとることが可能である。 20

【0074】

次に、本発明の第3の実施の形態について説明する。

【0075】

図6は、本発明の第3の実施の形態として、差動増幅回路を利得可変増幅回路に適用した例を示す回路図である。

【0076】

図6を参照すると、本発明の第3の実施の形態の差動増幅回路を適用した利得可変増幅回路は、第2の実施の形態のミキサ回路におけるトランジスタ23、24、25、26の各コレクタの接続を変更したものであり、1組の入力端子13、14には局部発振信号にかえて利得制御信号を入力する。 30

【0077】

また、トランジスタ25、26の各コレクタは負荷抵抗器32、33を介して電源端子7に各々接続されるとともに、出力端子11、12に各々接続されている。さらに、トランジスタ23、24の各コレクタは電源端子7に各々接続されている。

【0078】

次に、以上の構成を持つ本発明の第3の実施の形態の差動増幅回路を適用した可変利得増幅回路の動作について説明する。

【0079】

ここで、本発明の第3の実施の形態の差動増幅回路を適用した可変利得増幅回路は、一対の入力端子1と2の間に入力される入力電圧 V_{in} によって、トランジスタ21、22の各エミッタに正および負の線型な電流が流れる点は、本発明の第1の実施の形態の差動増幅回路または本発明の第2の実施の形態の差動増幅回路を適用したミキサ回路の場合と同様である。 40

【0080】

また、トランジスタ21、22のエミッタから出力される信号電流*i*、トランスコンダクタンス G_m 、線型入力電圧範囲IDRが、各々式(22)、(23)、(25)で表されることも第1または第2の実施の形態と同様である。

また、利得Gは、入力端子13と14の間に入力される利得制御信号を V_d とすれば、以 50

下の式で表される。

【0081】

【数1】

$$G = G_m \cdot \frac{R_c}{1 + e^{-\frac{V_d}{V_T}}} \quad (40)$$

【0082】

したがって、最大利得 G_{max} は、式 (40) から、以下の式で表される。

【0083】

【数2】

$$G_{max} = \lim_{V_d \rightarrow \infty} G_m \cdot \frac{R_c}{1 + e^{-\frac{V_d}{V_T}}} = G_m \cdot R_c \quad (41)$$

【0084】

ここで、式 (41) から、最大利得 G_{max} を高くするには、負荷抵抗器 32、33 の抵抗値 R_c を大きくする必要がある。このため、第2の実施の形態のミキサ回路の場合と同様にトランジスタ 23（または24、25、26）のベース電位は低い方が良いことが分かる。

【0085】

第3の実施の形態の可変利得増幅回路の場合も、第2の実施の形態のミキサ回路と同様にして、トランジスタ 23 の最低ベース電位が求められ、電源電圧 V_{cc} を 1.8 V、入力電圧 V_{in} を 0.5 V_{p-p}、トランジスタのベースエミッタ間電圧 V_{BE} とコレクターエミッタ間飽和電圧 $V_{CE(sat)}$ は各々 0.7 V、0.15 V で一定と考えると、トランジスタ 23 のベース電位は 0.85 V となり、出力電圧範囲 ΔV_0 は 1.5 V_{p-p} となる。

【0086】

また、第2の実施の形態のミキサ回路の場合と同様に、式 (33) が成り立つため、式 (41)、(33) と (22) から、以下の関係式が導かれる。

$$G_{max} = G_m \cdot R_c = (1 / R_{FB}) \cdot (\Delta V_0 / 2 I_0) \quad (42)$$

したがって、式 (42) から、最大利得 G_{max} は 0.375（倍）となる。

【0087】

このことから明らかに、本発明の第3の実施の形態の差動増幅回路を適用した可変利得増幅回路は、第2の従来例の差動増幅回路を利得可変増幅回路に適用した場合よりも出力電圧範囲をおおよそ 36% 程度広くすることが可能であり、また、変換利得 CG をおおよそ 1.76 倍高くすることが可能である。

【0088】

次に、本発明の第4の実施の形態について説明する。図7は、本発明の第4の実施形態として、差動増幅回路を3入力ミキサ回路に適用した例を示す回路図である。

【0089】

図7を参照すると、本発明の第3の実施の形態の差動増幅回路を適用した3入力ミキサ回路は、本発明の第2の実施の形態の差動増幅回路を適用したミキサ回路に加えて、ベースが互いに共通接続されたトランジスタ 27、28 と、ベースが互いに共通接続されたトランジスタ 29、30 とを備えている。

【0090】

さらに、トランジスタ 27、28 の共通接続されたベースとトランジスタ 29、30 の共通接続されたベースは各々1組の第2局部発振信号入力端子 15、16 に接続され、トランジスタ 27、28 の各コレクタは各々トランジスタ 30、29 のコレクタに接続されるとともに、負荷抵抗器 32、33 を介して、電源端子 7 に接続されている。また、トランジスタ 27、28 のコレクタは出力端子 11、12 に接続され、入力端子 1 と 2 の間に入

10

20

30

40

50

力される入力電圧と１組の局部発振信号入力端子１３、１４から入力される局部発振信号と１組の第２局部発振信号入力端子１５、１６から入力される第２局部発振信号に応じて、出力端子１１、１２からミキシングされた出力電圧を出力する。

【００９１】

さらに、トランジスタ２７と２９のエミッタは互いに共通接続されるとともに、トランジスタ２４のコレクタに接続され、トランジスタ２８とトランジスタ３０のそれぞれのエミッタは、互いに共通接続されるとともに、トランジスタ２３のコレクタに接続されている。

【００９２】

次に、以上の構成を持つ第４の実施の形態の差動増幅回路を適用した３入力ミキサ回路の動作について説明する。 10

【００９３】

ここで、一対の入力端子１と２の間に入力される入力電圧 V_{in} によって、トランジスタ２１、２２の各エミッタに正および負の線型な電流が流れる点は、本発明の第１乃至第３の実施の形態の差動増幅回路の場合と同様である。

【００９４】

また、トランジスタ２１、２２のエミッタから出力される信号電流 i 、トランスコンダクタンス G_m 、線型入力電圧範囲 IDR が、各々式（２２）、（２３）、（２５）で表されることも第１、第２または第３の実施の形態と同様である。また、変換利得 CG は、トランジスタ２７、２８、２９、３０の構成する双差動対が第２局部発振信号入力端子１５、 20
１６から入力される第２の局部発振信号によりスイッチング動作しているとすれば、第２の実施の形態のミキサ回路の場合と同様にして、式（２６）から、以下の式で表される。

【００９５】

【数３】

$$CG = \left(\frac{2}{\pi} \right)^2 \cdot \frac{R_c}{R_{FB}} \quad (43)$$

【００９６】

ところで、本発明の第２の実施の形態の差動増幅回路を適用したミキサ回路のトランジスタ２３の最低ベース電位と第２の従来例のミキサ回路のトランジスタ７３の最低ベース電位を比較すると、おおよそ０．６５Ｖの電位差があり、トランジスタのベース－エミッタ間電圧 V_{BE} にほぼ等しいことが分かる。つまり、３入力ミキサ回路を第２の従来例のミキサ回路と同じ電源電圧で実現することが可能となる。 30

【００９７】

以上、本発明の好適な実施形態について説明したが、本発明の差動増幅回路は上記第１～第４の実施の形態のみに限定されるものではなく、これら実施の形態の構成に種々の修正や変更を施した差動増幅回路も本発明の範囲に含まれる。

【００９８】

例えば、上記第１～第４の実施の形態ではバイポーラトランジスタを用いているが、ＭＯＳトランジスタを用いてもよいことは言うまでもない。 40

【００９９】

また、抵抗器の抵抗値や双差動対と利得制御部の接続順序、接続個数についても、上記第１～第４の実施の形態で述べたものに限定されるものではなく、本発明の作用効果が得られるものであれば、任意に変更できる。

【０１００】

【発明の効果】

以上説明したように、本発明の差動増幅回路は、ミキサ回路や可変利得増幅回路をトランジスタ縦積み２段で構成できる。したがって、低電圧動作時においても低歪でありながら高い利得を実現できる効果がある。さらに、低歪な３入力ミキサ回路をより低電圧で実現 50

できる効果もある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の差動増幅回路の構成を示す回路図である。

【図 2】本発明の第 1 の実施の形態の差動増幅回路における、入力電圧に対するトランスコンダクタンスおよび出力電流の変化を示す特性図である。

【図 3】本発明の第 1 の実施の形態の差動増幅回路のノード電位を示す回路図である。

【図 4】本発明の第 2 の実施の形態のミキサ回路の構成を示す回路図である。

【図 5】本発明の第 2 の実施の形態のミキサ回路のノード電位を示す回路図である。

【図 6】本発明の第 3 の実施の形態の利得可変増幅回路の構成を示す回路図である。

【図 7】本発明の第 4 の実施の形態の 3 入力ミキサ回路の構成を示す回路図である。

10

【図 8】従来の最も基本的な差動増幅回路の構成を示す回路図である。

【図 9】第 1 の従来例の差動増幅回路の構成を示す回路図である。

【図 10】第 1 の従来例の差動増幅回路における、入力電圧に対するトランスコンダクタンスおよび出力電流の変化を示す特性図である。

【図 11】第 1 の従来例の差動増幅回路のノード電位を示す回路図である。

【図 12】第 2 の従来例の差動増幅回路の構成を示す回路図である。

【図 13】第 2 の従来例の差動増幅回路において、入力電圧に対するトランスコンダクタンスおよび出力電流の変化を示す特性図である。

【図 14】第 2 の従来例の差動増幅回路のノード電位を示す回路図である。

【図 15】第 2 の従来例の差動増幅回路を適用したミキサ回路の構成を示す回路図である

20

。

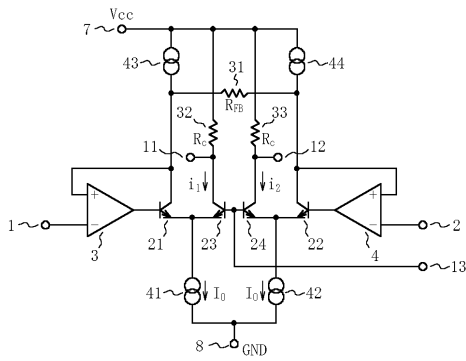
【図 16】第 2 の従来例の差動増幅回路を適用したミキサ回路のノード電位を示す回路図である。

【符号の説明】

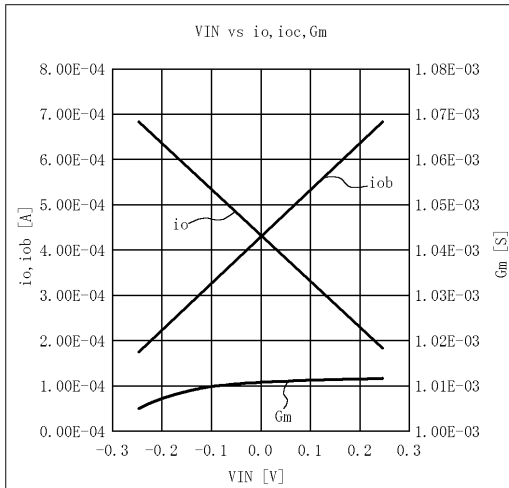
- 1, 2 入力端子
- 3, 4 演算増幅器
- 7 電源端子
- 8 接地端子
- 11, 12 出力端子
- 13 バイアス印可端子
- 21, 22, 23, 24 NPNバイポーラトランジスタ
- 31, 32, 33 抵抗器
- 41, 42, 43, 44 定電流源

30

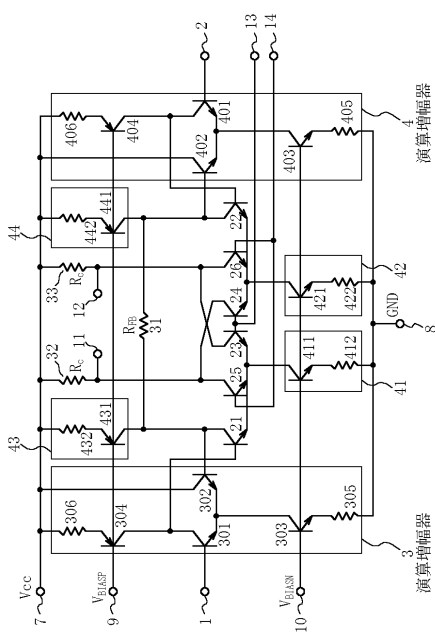
【図 1】



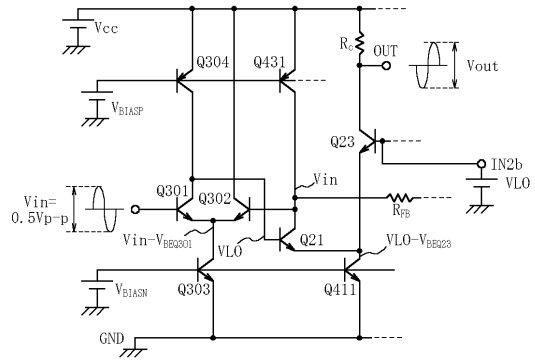
【図 2】



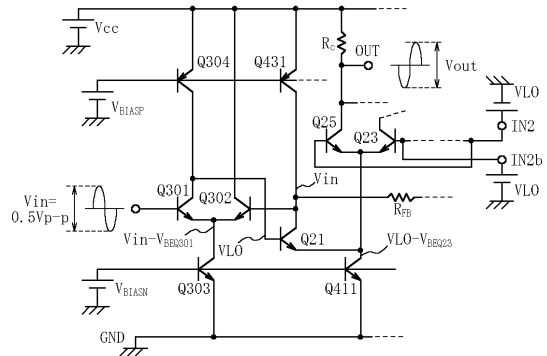
【図 4】



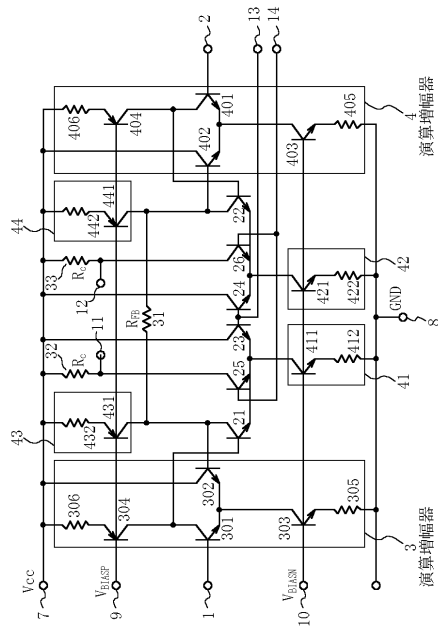
【図 3】



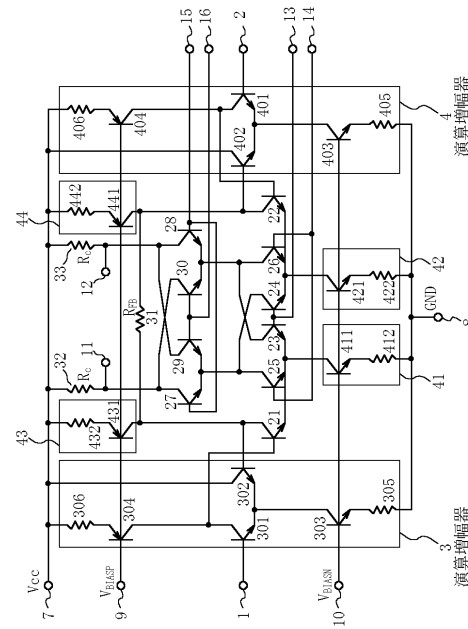
【図 5】



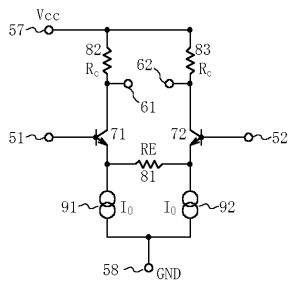
【図 6】



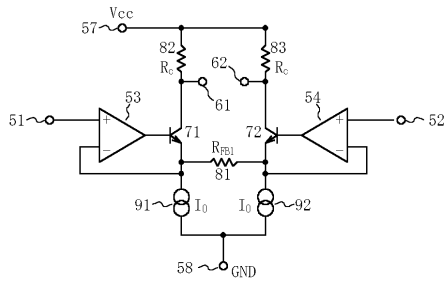
【図 7】



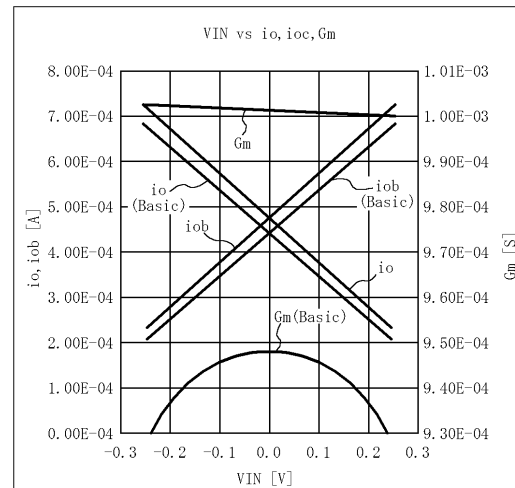
【図 8】



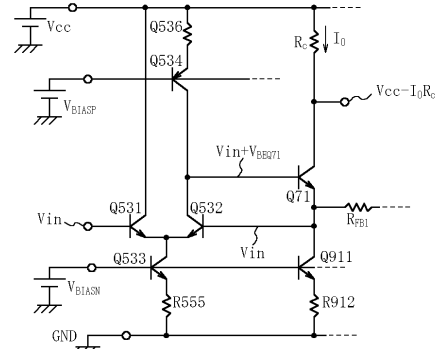
【図 9】



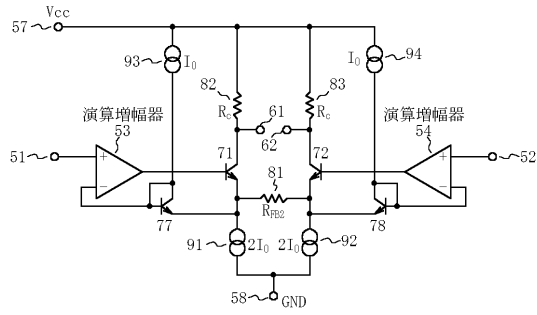
【図 10】



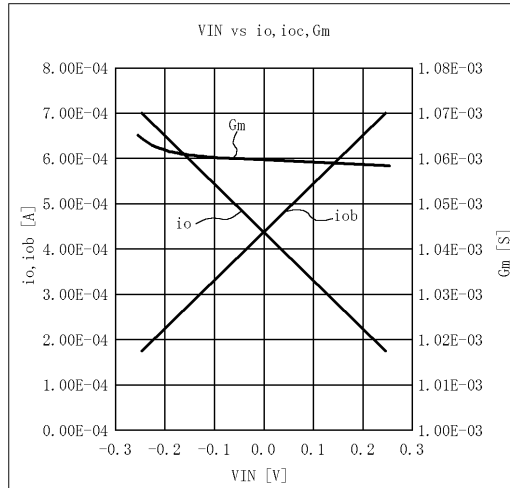
【図 11】



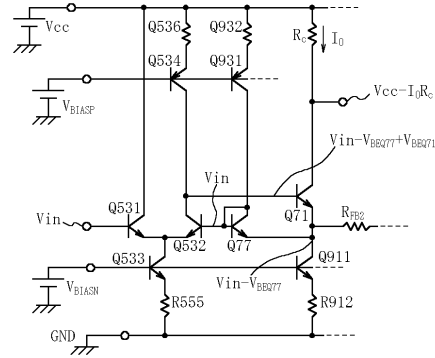
【図 1 2】



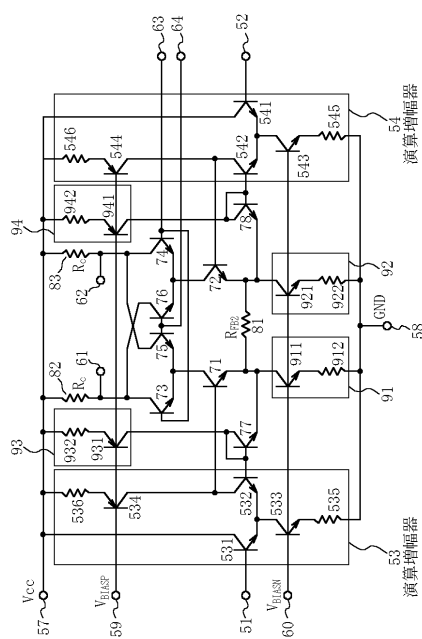
【図 1 3】



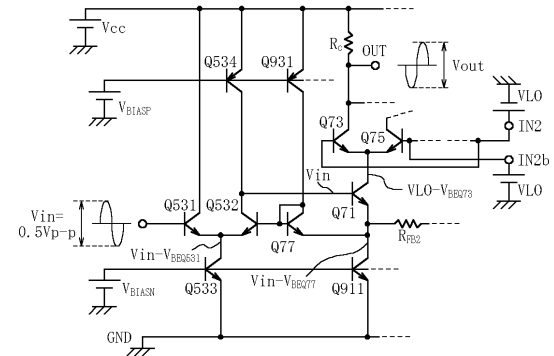
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

- (56)参考文献 特表平10-506253 (JP, A)
特開平11-088093 (JP, A)
特開平08-250941 (JP, A)
特開平01-177208 (JP, A)
特開昭61-214811 (JP, A)
特開昭61-067307 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03F 3/45

H03D 7/14

H03G 3/12