

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-518859
(P2012-518859A)

(43) 公表日 平成24年8月16日(2012.8.16)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 5/00 (2006.01)	G 1 1 C 5/00 3 0 2 Z	5 B 1 2 5
H O 1 L 25/065 (2006.01)	H O 1 L 25/08 Z	5 F O 8 3
H O 1 L 25/07 (2006.01)	G 1 1 C 17/00 6 0 1 Z	5 F 1 0 1
H O 1 L 25/18 (2006.01)	H O 1 L 27/10 4 3 4	
G 1 1 C 16/02 (2006.01)	H O 1 L 29/78 3 7 1	

審査請求 未請求 予備審査請求 未請求 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2011-550388 (P2011-550388)
 (86) (22) 出願日 平成22年2月12日 (2010. 2. 12)
 (85) 翻訳文提出日 平成23年4月15日 (2011. 4. 15)
 (86) 国際出願番号 PCT/CA2010/000195
 (87) 国際公開番号 W02010/096901
 (87) 国際公開日 平成22年9月2日 (2010. 9. 2)
 (31) 優先権主張番号 61/154, 910
 (32) 優先日 平成21年2月24日 (2009. 2. 24)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 12/429, 310
 (32) 優先日 平成21年4月24日 (2009. 4. 24)
 (33) 優先権主張国 米国 (US)

(71) 出願人 508034325
 モサイド・テクノロジーズ・インコーポレ
 ーテッド
 カナダ・オンタリオ・K 2 K ・ 2 X 1 ・ オ
 タワ・ハインズ・ロード・1 1 ・ スイート
 ・ 2 0 3
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100140534
 弁理士 木内 敬二

最終頁に続く

(54) 【発明の名称】 マスタデバイスを含む積み重ね半導体デバイス

(57) 【要約】

本発明は、スタックを備えるシステムを開示する。このスタックは、第1の不揮発性メモリチップと、少なくともいくつかの非コア回路が欠如している第2の不揮発性メモリチップと、第1の不揮発性メモリチップと第2の不揮発性メモリチップの間に延びる複数の電気経路とを含み、これらの電気経路により、第1の不揮発性メモリチップが第2の不揮発性メモリチップに、デバイス動作のために必要な信号および電圧を供給することが容易になる。

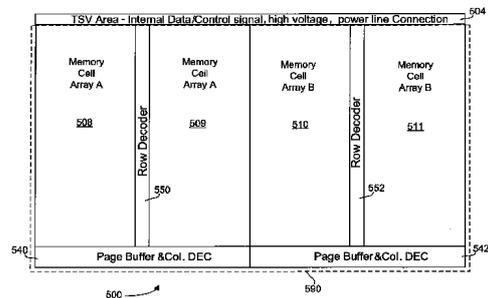


FIG. 5

【特許請求の範囲】**【請求項 1】**

第1の不揮発性メモリチップ、および
第2の不揮発性メモリチップ
を含むスタック

を備えるシステムであって、前記第2の不揮発性メモリチップが、チップサイズ低減を容易にするように少なくともいくつかの非コア回路が欠如しており、さらに

前記第1の不揮発性メモリチップと前記第2の不揮発性メモリチップとの間に延びる複数の電気経路を備え、前記電気経路により、前記第1の不揮発性メモリチップが前記第2の不揮発性メモリチップに、デバイス動作のために必要な信号および電圧を供給することが容易になる、システム。

10

【請求項 2】

少なくとも1つの追加の不揮発性メモリチップをさらに備え、前記第1の不揮発性メモリチップがマスタデバイスであり、前記第2のメモリチップおよび追加のメモリチップがスレーブデバイスである、請求項1に記載のシステム。

【請求項 3】

前記電気経路がシリコン貫通ビアを備える、請求項1または2に記載のシステム。

【請求項 4】

パッケージプリント回路基板をさらに備え、前記スタックが前記パッケージプリント回路基板にフリップチップおよびバンブによって接続される、請求項3に記載のシステム。

20

【請求項 5】

前記第1の不揮発性メモリチップだけが高電圧発生器を含む、請求項1に記載のシステム。

【請求項 6】

前記電圧が、プログラム動作および消去動作の高電圧を含む、請求項1または5に記載のシステム。

【請求項 7】

前記第2の不揮発性メモリチップが、試験時に前記第1の不揮発性メモリチップによって駆動されるように構成されているスレーブデバイス試験論理回路を含む、請求項1、2および5のいずれか一項に記載のシステム。

30

【請求項 8】

前記第1の不揮発性メモリチップおよび前記第2の不揮発性メモリチップがNANDフラッシュメモリチップである、請求項1、2および5のいずれか一項に記載のシステム。

【請求項 9】

互いに互換性がある第1および第2の不揮発性メモリチップを製造する段階を含む方法であって、前記第1および第2の不揮発性メモリチップがほぼ同様のコアチップ領域を有するが、前記第1の不揮発性メモリチップだけが、前記第1および第2の不揮発性メモリチップ両方に共通の利点に機能性を与える回路が中にあるいくつかの追加チップ領域を有し、前記追加チップ領域の前記回路が、前記第1および第2の不揮発性メモリチップ両方と関連して、デバイス動作に必要な信号および電圧を発生するように構成されている、方法。

40

【請求項 10】

前記コアチップ領域が、前記追加チップ領域と比較してより微細化されたプロセス技術を有する、請求項9に記載の方法。

【請求項 11】

前記追加チップ領域が、周辺回路領域、入出力パッド領域、ならびに少なくとも1つの高電圧発生器領域を含む、請求項10に記載の方法。

【請求項 12】

前記第1および第2の不揮発性メモリチップがNANDフラッシュメモリチップである、請求項9、10および11のいずれか一項に記載の方法。

【請求項 13】

50

前記製造する段階が、少なくとも1つの追加不揮発性メモリチップの製造を含み、前記第1の不揮発性メモリチップがマスタデバイスであり、前記第2のメモリチップおよび追加のメモリチップがスレーブデバイスである、請求項9、10および11のいずれか一項に記載の方法。

【請求項14】

前記第2の不揮発性メモリチップが、試験時に前記第1の不揮発性メモリチップによって駆動されるように構成されているスレーブデバイス試験論理回路を含む、請求項9、10および11のいずれか一項に記載の方法。

【請求項15】

前記第1の不揮発性メモリチップだけが高電圧発生器を含む、請求項9、10および11のいずれか一項に記載の方法。

10

【請求項16】

少なくとも2つの半導体チップを積み重ねる段階であって、前記半導体チップの一方がマスタメモリデバイスであり、前記半導体チップの他方がスレーブメモリデバイスである段階と、

前記積み重ねた半導体チップと一緒にシリコン貫通ビアによって結線する段階と、

前記積み重ねた半導体チップをパッケージプリント回路基板にフリップチップおよびバンブによって接続する段階とを含む、方法。

【請求項17】

前記マスタメモリデバイスおよびスレーブメモリデバイスがフラッシュメモリデバイスである、請求項16に記載の方法。

20

【請求項18】

前記マスタメモリデバイスが前記スレーブメモリデバイスよりかなり大きく寸法設定され、前記接続する段階中に前記マスタメモリデバイスが前記パッケージプリント回路基板にほぼ隣接して配置される、請求項16または17に記載の方法。

【請求項19】

不揮発性メモリチップのチップ領域全体の80パーセント超を占有するコアチップ領域と、

別の不揮発性メモリチップから信号および電圧を受け取るように構成された回路が中にある追加のチップ領域とを備える不揮発性メモリチップであって、前記コアチップ領域が、前記追加チップ領域と比較してより微細化されたプロセス技術を有する、不揮発性メモリチップ。

30

【請求項20】

前記追加チップ領域がシリコン貫通ビア領域である、請求項19に記載の不揮発性メモリチップ。

【請求項21】

前記不揮発性メモリチップに高電圧発生器が欠如している、請求項19に記載の不揮発性メモリチップ。

【請求項22】

試験時に別個のデバイスによって駆動されるように構成されているスレーブデバイス試験論理回路が中にある別の追加チップ領域をさらに備える、請求項19から21のいずれか一項に記載の不揮発性メモリチップ。

40

【請求項23】

前記別の追加チップ領域が前記追加チップ領域にすぐに隣接して置かれている、請求項22に記載の不揮発性メモリチップ。

【請求項24】

NANDフラッシュメモリセルが前記コアチップ領域のいくつかの内部に置かれている、請求項19から21のいずれか一項に記載の不揮発性メモリチップ。

【請求項25】

前記コアチップ領域が、前記不揮発性メモリチップのチップ領域全体の90パーセント超

50

を占有する、請求項19から21のいずれか一項に記載の不揮発性メモリチップ。

【請求項26】

スタックを備えるシステムであって、スタックが、
第1のチップを含み、前記第1のチップの第1の領域が、前記第1のチップの第2のチップ領域と比較してより微細化されたプロセス技術を有し、スタックがさらに
第2のチップを含み、前記第2のチップの第1のチップ領域が、前記第2のチップの第2のチップ領域と比較してより微細化されたプロセス技術を有し、前記第2のチップのチップ領域全体のある百分率としての前記第2のチップの前記第2のチップ領域が、前記第1のチップのチップ領域全体のある百分率としての前記第1のチップの前記第2のチップ領域よりもずっと小さい、システム。

10

【請求項27】

前記第1および第2のチップがメモリチップであり、少なくとも前記第2のチップが不揮発性メモリチップである、請求項26に記載のシステム。

【請求項28】

前記第1のチップと前記第2のチップの間に延びる複数の電気経路であって、前記第1のチップが前記第2のチップに、デバイス動作のために必要な信号および電圧を供給することを容易にする複数の電気経路をさらに備える、請求項26または27に記載のシステム。

【請求項29】

前記電気経路がシリコン貫通ビアを備える、請求項28に記載のシステム。

【請求項30】

前記第1のチップだけが高電圧発生器を含む、請求項26または27に記載のシステム。

20

【請求項31】

パッケージプリント回路基板をさらに備え、前記スタックが前記パッケージプリント回路基板にフリップチップおよびバンブによって接続される、請求項26または27に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マスタデバイスを含む積み重ね半導体デバイスに関するものである。

関連出願の相互参照

30

本出願は、2009年2月24日出願の米国仮特許出願第61/154,910号、および2009年4月24日出願の米国特許出願第12/429,310号の優先権の利益を主張するものであり、これら出願の全体を参照により本明細書に組み込む。

【背景技術】

【0002】

現在、多くの電子デバイスは、情報を記憶するためのメモリシステムを含む。メモリシステムの中には、例えば、それぞれのメディアプレーヤによって再生するためのデジタル化された音声情報または映像情報を記憶するものがある。他のメモリシステムでは、例えば、様々な種類の処理機能を実行するためのソフトウェアおよび関連情報を記憶する。また、例えばダイナミックランダムアクセスメモリ(DRAM)システムおよびスタティックランダムアクセスメモリ(SRAM)システムなど、いくつかの種類メモリシステムは、電源がオフにされると記憶データが保存されない揮発性メモリシステムであるのに対し、例えばNANDフラッシュメモリシステムおよびNORフラッシュメモリシステムなど、他の種類のメモリシステムは、電源がオフにされたときに記憶データが保存されている不揮発性メモリシステムである。

40

【0003】

時が経つにつれて、消費者は、サイズがますます小さくなっているチップによって実現されるよりいっそう大きな容量をメモリシステムが有することになるという期待を持つ。歴史的には、これを可能にする重要な要因はプロセス技術の微細化であったが、この手法のコストおよび限界に近い将来によりいっそう不穏なものになる可能性がかなりある。例

50

えば、プロセス技術が50nm未満に微細化されるとき、より小さな形状のメモリデバイス、特にフラッシュメモリを開発することは、保持および耐久性などのトランジスタの特性および信頼性が悪くなることにより、極めて困難になる。また、プロセス技術の微細化は巨額の投資でもある。したがって、プロセス技術の微細化の上記のコストおよび限界を考慮して、よりいっそう大きな容量のメモリシステムを実現するための新規の方法を研究し開発する必要がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国仮特許出願第61/154,910号明細書

10

【特許文献2】米国特許出願第12/429,310号明細書

【非特許文献】

【0005】

【非特許文献1】Zeng他の「A 172mm² 32Gb MLC NAND Flash Memory in 34nm CMOS」、IS SCC 2009 Digest of Technical Papers、236~237頁

【非特許文献2】「Flip-Chip Assembly」、<http://www.siliconfareast.com/flipchipassy.htm>

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

本発明の目的は、積み重ねるように適合させた改善半導体デバイスを提供することである。

【課題を解決するための手段】

【0007】

本発明の一態様によれば、スタックを含むシステムが提供される。このスタックは、第1の不揮発性メモリチップおよび第2の不揮発性メモリチップを含む。第2の不揮発性メモリチップは、チップサイズの低減が容易になるように、少なくともいくつかの非コア回路が欠如している。複数の電気経路が、第1の不揮発性メモリチップと第2の不揮発性メモリチップの間に延びる。これらの電気経路により、第1の不揮発性メモリチップが第2の不揮発性メモリチップに、デバイス動作のために必要な信号および電圧を供給することが容易になる。

30

【0008】

本発明の別の態様によれば、互いに互換性がある第1および第2の不揮発性メモリチップを製造する段階を含む方法が提供される。第1および第2の不揮発性メモリチップは、ほぼ同様のコアチップ領域を有するものが製造されるが、前記第1の不揮発性メモリチップだけが、第1および第2の不揮発性メモリチップ両方に共通の利点に機能性を与える回路中にある追加チップ領域を有する。追加チップ領域の回路は、第1および第2の不揮発性メモリチップ両方と関連して、デバイス動作に必要な信号および電圧を発生するように構成されている。

【0009】

40

本発明のさらに別の態様によれば、少なくとも2つの半導体チップを積み重ねる段階を含む方法が提供される。これら半導体チップの一方はマスタメモリデバイスであり、半導体チップの他方はスレーブメモリデバイスである。この方法はまた、積み重ねた半導体チップと一緒にシリコン貫通ビアによって結線する段階と、積み重ねた半導体チップをパッケージプリント回路基板にフリップチップおよびバンパによって接続する段階とを含む。

【0010】

本発明のさらに別の態様によれば、不揮発性メモリチップのチップ領域全体のほとんどを(例えば、80パーセントより広く、あるいは90パーセントよりも広く)占有するコアチップ領域を含む不揮発性メモリチップが提供される。この不揮発性メモリチップの追加チップ領域内に、別の不揮発性メモリチップから信号および電圧を受け取るように構成された

50

回路が置かれる。コアチップ領域が、追加チップ領域と比較してより微細化されたプロセス技術を有する。

【0011】

このようにして、1つまたは複数のメモリデバイスを含む改善されたシステムが実現した。

【0012】

次に、添付の図面を例として参照する。

【図面の簡単な説明】

【0013】

【図1】例示的なNANDフラッシュチップフロアプランのブロック図である。

10

【図2】別の例示的なNANDフラッシュチップフロアプランのブロック図である。

【図3】さらに別の例示的なNANDフラッシュチップフロアプランのブロック図である。

【図4】例示的な一実施形態によるマスタメモリデバイスのNANDフラッシュチップフロアプランのブロック図である。

【図5】例示的な一実施形態によるスレーブメモリデバイスのNANDフラッシュチップフロアプランのブロック図である。

【図6】例示的な一実施形態によるマスタメモリデバイスおよび3つのスレーブメモリデバイスを示すブロック図である。

【図7】図6に示されたフラッシュメモリの例示的实施形態と一致するスタックの一例を図式化して示す上面図である。

20

【図8】図7に示された例示的スタックを図式化して示す断面図である。

【図9】図8の実施例の断面図と類似の図式化した断面図であるが、加えて、積み重ねたデバイスを備える装置がさらに、フリップチップおよびパンプ技術が使用されたパッケージをどのようにして含むことができるかについての詳細も示す。

【図10】図8の実施例の断面図と類似の図式化した断面図であるが、加えて、スタック(すなわち積み重ねたデバイス)を備える装置がさらに、ワイヤボンディング技術に適合させた従来のボールグリッドアレイ(BGA)パッケージをどのようにして含むことができるかについての詳細も示す。

【図11】例示的な一代替実施形態によるマスタメモリデバイスのNANDフラッシュチップフロアプランのブロック図である。

30

【図12】例示的な一代替実施形態によるスレーブメモリデバイスのNANDフラッシュチップフロアプランのブロック図である。

【図13】別の例示的な代替実施形態によるスレーブメモリデバイスのNANDフラッシュチップフロアプランのブロック図である。

【発明を実施するための形態】

【0014】

類似または同じ参照数字が、各図面に表示された類似の例示的フィーチャを示すために、別々の図で使用されていることがある。また、様々な例示的实施形態が、原寸に比例せずに図面に示されている。例えば、図示されたいくつかの素子または構成要素の寸法は、図示の都合上、誇張されている。

40

【0015】

「領域」という用語は、他の文脈では二次元で画定された空間を意味すると理解されてよいが、三次元で画定された空間(区域)が、本明細書で用いられる「領域」という用語と一致することを理解されたい。

【0016】

図1は、例示的なNANDフラッシュチップフロアプラン100のブロック図であり、フラッシュメモリデバイスのチップ領域内の主要な構成要素の1つの実現可能な分割配置を示す。フロアプラン100では、2つの行デコーダ領域110および112がそれぞれ、隣接するメモリセルアレイ領域114と116の間、ならびに118と120の間に延びる。行デコーダ領域110および112に関して、これらの領域内では、フラッシュメモリデバイスの行デコーダを見出すこと

50

ができる。当業者には理解されるように、行デコーダはメモリデバイスの構成要素であり、読み出し動作またはプログラム動作でページを選択する。それに反して、通常の消去動作では、ページではなくブロックが行デコーダによって選択される。メモリセルアレイ領域114、116、118および120に関して、これらの領域内では、フラッシュメモリデバイスのメモリセルアレイを見出すことができる。当業者には理解されるように、フラッシュメモリデバイスのメモリセルアレイは、多数の(例えば数百万の)フラッシュメモリセルを含み、それぞれがその内部に1つまたは複数のビット(論理「1」または「0」)を記憶することができる。

【0017】

入力/出力パッド領域124および126がフロアプラン100の横の方の縁部に沿って延び、高電圧発生器領域130および132、ならびに周辺回路領域134がフロアプラン100の縦の方の縁部に沿って延びる。入力/出力パッド領域124および126に関して、これらの領域内では、フラッシュメモリデバイスの入力/出力パッドを見出すことができる。当業者にはよく理解されるように、様々な信号がこれらのパッドを通してメモリチップとの間を行き来する。また、少なくとも1つの代替実施例によれば、図示の領域と類似の入力/出力パッド領域が、周辺回路領域に最も近い(フロアプランの)縦の方の縁部に沿って延びうることも企図される。

【0018】

高電圧領域130および132に関して、これらの領域内では、例えばチャージポンプなど、フラッシュメモリデバイスの高電圧発生器が見出される。いくつかの実施例では、「高電圧」とは、動作電圧よりも高い電圧(例えば、Vccよりも高い電圧)のことをいう。高電圧発生器はまた、いくつかの実施例では、ある範囲の高電圧を一括して発生する。

【0019】

周辺回路領域134に関して、この領域内には、例えば以下のようなデバイス動作のために重要な他の回路がある。

アドレスおよびデータの入力バッファおよび出力バッファ
 制御信号およびコマンド信号の入力バッファ
 コマンドデコーダを含む状態機械
 アドレスカウンタ
 行および列プリデコーダ
 状態レジスタ

【0020】

また、周辺回路領域134に隣接して追加回路領域140および142がある。これらの領域内には、フラッシュメモリデバイスのページバッファおよび列デコーダを見出すことができる。ページバッファおよび列デコーダは、フラッシュメモリデバイスの構成要素であり、当業者によく知られた機能を有する。例えば、フラッシュメモリプログラム時に、行デコーダを介して入力データをページバッファ内に順次ロードする。

【0021】

当業者であれば、不揮発性メモリのチップフロアプランが、動作制約および仕様の範囲内で、設計者の選択により変わることを理解されよう。例えば図2は、図1に示されたものと異なる別の例示的なNANDフラッシュチップフロアプラン200のブロック図である。フロアプラン200には、面214および220の領域の相対的に隣り合う2つの縁部間に延びる行デコーダ領域202がある。フロアプラン200をフロアプラン100と比較すると、以下の相違が見出される(非排他的に列記)。すなわち、行デコーダ領域202は、間隔を置いて離れた2つの行デコーダ領域を有するのではなく、フロアプラン200の中心に下に延び、単一の高電圧発生器230だけがあり、入力/出力パッド領域232および234が、周辺回路領域237に隣接するフロアプラン縁部に沿って延びている。他のいくつかの領域とは対照的に、ページバッファおよび列デコーダの追加回路領域240および242が、図1に示された領域140および142と同様に置かれていることに注意されたい。

【0022】

図3は、これまでに図示し説明した他のものとは異なる、さらに別の例示的なNANDフラッシュチップフロアプラン300のブロック図である。フロアプラン300では、ページバッファおよび列デコーダの第1の回路領域310が、第1の面(面0)の各領域間の中ほどに置かれている。ページバッファおよび列デコーダの第2の回路領域312もまた、第2の面(面1)の各領域間の中ほどに置かれている。図2に示されたフロアプラン200といくらか類似して、周辺回路領域に隣接するフロアプラン縁部に沿って延びる入力/出力パッド領域320が設けられ、また単一の高電圧発生器340だけがある。

【0023】

フロアプラン300に関するさらなる詳細は、Zeng他の「A 172mm² 32Gb MLC NAND Flash Memory in 34nm CMOS」、ISSCC 2009 Digest of Technical Papers、236~237頁に提示されている。

10

【0024】

少なくともいくつかの例示的实施形態によれば、フラッシュメモリデバイスは、可能な2つのタイプ、すなわちマスタフラッシュチップおよびスレーブフラッシュチップの一方に分類される。マスタデバイスのフロアプランは、多くの点で通常のNANDフラッシュメモリの1つと類似であるといえるが、TSV領域を含むということがある。これに関連して、図4は、例示的な一実施形態によるNANDフラッシュチップフロアプラン400のブロック図である。

【0025】

図示のフロアプラン400では、シリコン貫通ビア(Through-Silicon Via)(TSV)領域404が、セルアレイ領域408~411に隣接する縦の方の縁部に沿って置かれている(入出力パッド領域420の反対側のチップの上部に示されている)。また、領域430、432、434、440、442、450および452はそれぞれ、前に説明した領域130、132、134、140、142、110、112(図1に示すフロアプラン100)と配置が類似している。少なくともいくつかの実施例によれば、図示のフロアプラン400は、スレーブデバイスとは対照的に、システムのマスタメモリデバイスのフロアプランに対応する。

20

【0026】

いくつかの例示的实施形態によれば、マスタデバイスは、スレーブデバイスをアドレス指定するためのアドレスデコーダ、行プリデコーダおよび列プリデコーダを含む。マスタデバイスとスレーブデバイスの相違は、本開示で引き続き提示する詳細からより明らかになる。

30

【0027】

次に、図5を参照する。図5は、例示的な一実施形態によるスレーブメモリデバイスのNANDフラッシュチップフロアプラン500のブロック図である。図示の例示的なスレーブデバイスのデバイス構成は、TSV領域504を含む。信号インターフェース回路がTSV領域504にあり、またTSV領域404(図4)にもある。信号インターフェース回路は、例えば、内部データおよび制御信号、読出し、プログラムおよび消去動作の高電圧信号、ならびにVccおよびVss電源信号の送出および受取りを容易にする回路である。また、TSV領域がそのように命名されているのは、スタック内のチップ間に電気経路を設けるために、TSV領域がその中にTSVが延びるように適合されているからであることは明らかであろう。

40

【0028】

なお図5を参照すると、図示された他の領域は、NANDメモリセルアレイ領域508~511、ページバッファおよび列デコーダ領域540および542、ならびに行デコーダ領域550および552である。これらの領域は、NANDメモリコアのコア領域590を含む。いくつかの実施例では、コア領域590は、TSV領域504内のフィーチャと比較してサイズがより小さいフィーチャを特徴とする(例えば、プロセス技術がより微細化される)。

【0029】

図6は、例示的な一実施形態による、4デバイス64Gbフラッシュメモリ600を示すブロック図であり、この64Gbフラッシュメモリ600は、1つの16Gbマスタデバイス602、および3つの16Gbスレーブデバイス605~607を有する。このブロック図から、マスタデバイス602が

50

、入出力パッド、周辺回路ならびに高電圧発生器の領域であるブロック610を含むことが分かるであろうが、スレーブデバイス605～607の内部には類似の領域が欠如しており、それによって非常に顕著なチップサイズの低減になっている。

【0030】

上述の4つのダイが積み重ねた例示的な実施形態に関しては、1つの16Gbマスタデバイスおよび3つの16Gbスレーブデバイスがある(すなわち、4つのデバイス全部で合計64Gbのメモリ容量)。マスタデバイス602は、マスタデバイス602中の16Gbとスレーブデバイス605～607中の48Gbとの合計64Gbのメモリ空間をアドレス指定する。もちろん、いくつかの例示的な代替実施形態では4つより多いダイを積み重ね、他の例示的な代替実施形態では4つより少ないデバイスを積み重ねることがあることを理解されたい。さらに、例示的な諸実施形態は、デバイスのメモリ容量によって限定されることは決してなく、あらゆる適切なメモリ容量が企図されている。

10

【0031】

図7および図8はそれぞれ、図6に関連して説明した64Gbフラッシュメモリ600の上面図および断面図を示す。マスタデバイスと3つのスレーブデバイスは、TSVを用いて接続されている。TSVの数は、マスタチップおよびスレーブチップからなる所与のスタックで適切であると当業者が理解するであろう任意の数(例えば、数十個、数百個または数千個)とすることができる。図8の図示の例では、4つのフラッシュデバイスを積み重ねているが、2つ以上の任意の不揮発性メモリデバイスを積み重ねることが企図されている。

20

【0032】

図9は、図8と類似の断面図を示すが、加えて、フリップチップおよびバンブ技術が使用されたパッケージ内にフラッシュメモリ600がどのようにしてありうるかの詳細も示す。図示の実施例では、バンブボール920がマスタフラッシュチップとパッケージプリント回路基板(PCB) 930の間に置かれている。パッケージボール940が、パッケージPCB 930の下にあってそれと接続されている。図示の簡略化および都合上、それぞれがマスタフラッシュチップから延び、バンブボールを通り、パッケージPCBを貫通し、パッケージボールを通る2つの経路だけが示されているが、多数のこのような経路が通常存在することを理解されたい。フリップチップおよびバンブ技術は当業者によく知られており、この技術に関する背景の詳細は、「Flip-Chip Assembly」という名称のウェブページ(現在、<http://www.siliconfareast.com/flipchipassy.htm>のURLで公式にアクセス可能)から得ることができる。

30

【0033】

次に、図10を参照する。図10は、パッケージPCB 1030とマスタフラッシュデバイスとの間にワイヤボンディングが使用された一代替実施例を示す。図10には示されていないが、マスタフラッシュチップとパッケージPCB 1030の間に延びるワイヤ1040によって形成された電気経路もまた、パッケージPCB 1030を貫通し、パッケージボール1050を通して延びる。さらに、BGAパッケージ技術は非常によく知られた技術であり、多数の広範な論文の主題になってきたので、これ以上具体的な実施の詳細は、当業者には直ちに明らかになるはずであり、本明細書で提示する必要がないことを理解されたい。

【0034】

図11は、例示的な一代替形態によるNANDフラッシュチップフロアプラン1100のブロック図である。図示のフロアプラン1100では、TSV領域1104がメモリコア領域1105と周辺回路領域1134の間に置かれている。また、図11に示された領域1108～1111、1120、1130、1132、1134、1140、1142、1150および1152それぞれが、前に説明した図4のフロアプラン400に示された領域408～411、420、430、432、434、440、442、450および452と類似であることを理解されたい。すなわち、フロアプラン1100と図4のフロアプラン400との間の主要な相違は、チップフロアプラン内のTSV領域の配置である。少なくともいくつかの実施例によれば、図示のフロアプラン1100は、スレーブデバイスと対照的に、システムのマスタメモリデバイスのフロアプランに対応する。加えて、いくつかの実施例では、コア領域1105は、残りの(非コア)領域内のフィーチャと比較してサイズがより小さいフィーチャを特徴と

40

50

する。これに関連して、プロセス技術は、例えば、より微細化することができる。

【 0 0 3 5 】

次に、図12を参照する。図12は、例示的な代替実施形態によるスレーブメモリデバイスのNANDフラッシュチップフロアプラン1200のブロック図である。図示の例示的なスレーブデバイスのデバイス構成は、フロアプラン1200の縦の方の縁部に沿ったTSV領域1204、ならびに隣接するページバッファおよび列デコーダ領域1240および1242を含む。また、図12に示された領域1208～1211、1240、1242、1250および1252それぞれが、前に説明した図5のフロアプラン500に示された領域508～511、540、542、550および552と類似であることを理解されたい。すなわち、フロアプラン1200と図5のフロアプラン500との間の主要な相違は、チップフロアプラン内のTSV領域の配置である。

10

【 0 0 3 6 】

したがって、図11および図12と図4および図5とを比較することにより、チップフロアプラン内のTSV領域の配置が変わることが分かるであろう(いかなる適切な場所も企図されている)。例えば、別の例示的な代替実施形態では、TSV領域は、チップフロアプランの(縦の方の縁部ではなく)横の方の縁部に沿って延びる。また、TSV領域は、チップフロアプランの長さまたは幅の一部分だけに沿って(全部に沿うのとは対照的に)延びることができることも理解されたい。さらに別の例示的な代替実施形態では、TSV領域は、チップフロアプラン縁部のどれにも隣接せず、例えば、チップフロアプランの2つの対向する縁部間の中心に配置することができる。さらに別の例示的な代替実施形態では、TSV領域は、チップフロアプランの2つのコア領域間に少なくとも実質的に挿入される。また、いくつかの例示的な実施形態では、1つのチップフロアプラン内に複数のTSV領域がありうる。すなわち、1つまたは複数のTSV領域を、チップフロアプラン内の、当業者が適切であると理解するはずのどこにでも配置できることが企図されている。

20

【 0 0 3 7 】

種々の例示的な代替実施形態(図11および図12に示した例示的な実施形態を含む)によるマスタデバイスおよびスレーブデバイスは、これまでに図示し説明した図7～10の実施例と同様に積み重ね、パッケージできることを理解されたい。

【 0 0 3 8 】

いくつかの例示的な実施形態では、スレーブメモリデバイスは、アセンブリの歩留まり向上を促進するためのスレーブデバイス試験論理回路を任意選択で含むことができる。これに関して、図13を参照する。図示のブロック図は、図5のブロック図と類似であるが、フロアプラン1300が、試験時にマスタデバイスによって駆動されるように構成されているスレーブデバイス試験論理回路の追加領域1310を含む。図示の領域1310はTSV領域504に隣接しているが、任意の所与のチップフロアプラン内の様々な適切な代替場所にスレーブデバイス試験論理回路の領域を配置することが企図されている。

30

【 0 0 3 9 】

マスタチップおよびスレーブチップについて説明したが、マスタチップ内の非コア回路がマスタチップとスレーブチップ両方に共通の利点に機能性を与えることができるように、マスタチップとスレーブチップには互いに適切な互換性があるべきことは明らかであろう。

40

【 0 0 4 0 】

いくつかの例示的な実施形態は、例えば、NANDフラッシュEEPROM、NORフラッシュEEPROM、ANDフラッシュEEPROM、DiNORフラッシュEEPROM、シリアルフラッシュEEPROM、ROM、EPROM、FRAM、MRAMおよびPCRAMとすることができるものを含み、任意の適切な不揮発性メモリ集積回路システムに適用できることを理解されたい。

【 0 0 4 1 】

本明細書で、ある要素が別の要素に「接続」または「結合」されていると言う場合、この要素は別の要素にじかに接続または結合されることもあり、あるいは介在要素が存在することもあることを理解されたい。対照的に、本明細書で、ある要素が別の要素に「じかに接続」または「じかに結合」されていると言う場合には、介在要素が存在しない。要素

50

間の関係を記述するために用いられる他の語も同様に解釈されるべきである(すなわち、「間に」対「じかに間に」、「隣接して」対「すぐに隣接して」、「をまって延びる」対「をまっすぐに通って延びる」など)。

【 0 0 4 2 】

説明した実施形態にいくつかの改変および修正を加えることができる。したがって、上記で論じた実施形態は例示的なものであり、限定的なものではないと考えられたい。

【 符号の説明 】

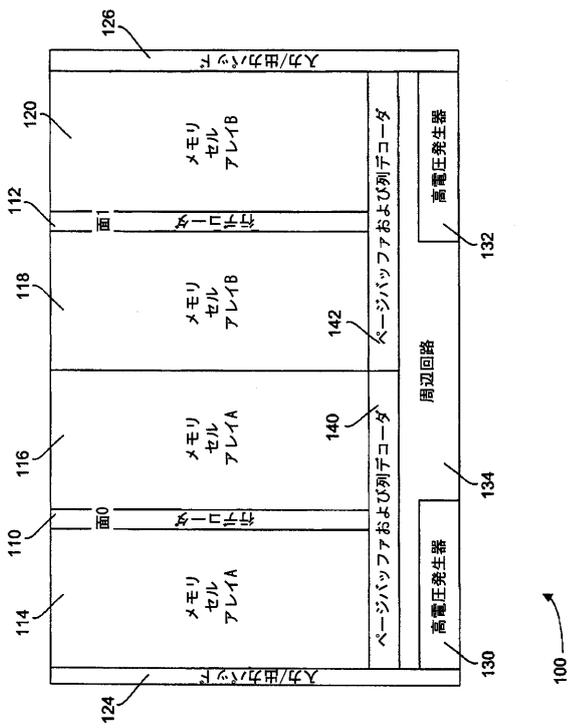
【 0 0 4 3 】

100	NANDフラッシュチップフロアプラン、フロアプラン	
110	行デコーダ領域	10
112	行デコーダ領域	
114	メモリセルアレイ領域	
116	メモリセルアレイ領域	
118	メモリセルアレイ領域	
120	メモリセルアレイ領域	
124	入力/出力パッド領域	
126	入力/出力パッド領域	
130	高電圧発生器領域	
132	高電圧発生器領域	
134	周辺回路領域	20
140	追加回路領域	
142	追加回路領域	
200	NANDフラッシュチップフロアプラン、フロアプラン	
202	行デコーダ領域	
214	面	
220	面	
230	高電圧発生器	
232	入力/出力パッド領域	
234	入力/出力パッド領域	
237	周辺回路領域	30
240	ページバッファおよび列デコーダの追加回路領域	
242	ページバッファおよび列デコーダの追加回路領域	
300	NANDフラッシュチップフロアプラン、フロアプラン	
310	ページバッファおよび列デコーダの第1の回路領域	
312	ページバッファおよび列デコーダの第2の回路領域	
320	入力/出力パッド領域	
340	高電圧発生器	
400	NANDフラッシュチップフロアプラン、フロアプラン	
404	シリコン貫通ビア領域、TSV領域	
408	セルアレイ領域	40
409	セルアレイ領域	
410	セルアレイ領域	
411	セルアレイ領域	
420	入出力パッド領域	
430	領域	
432	領域	
434	領域	
440	領域	
442	領域	
450	領域	50

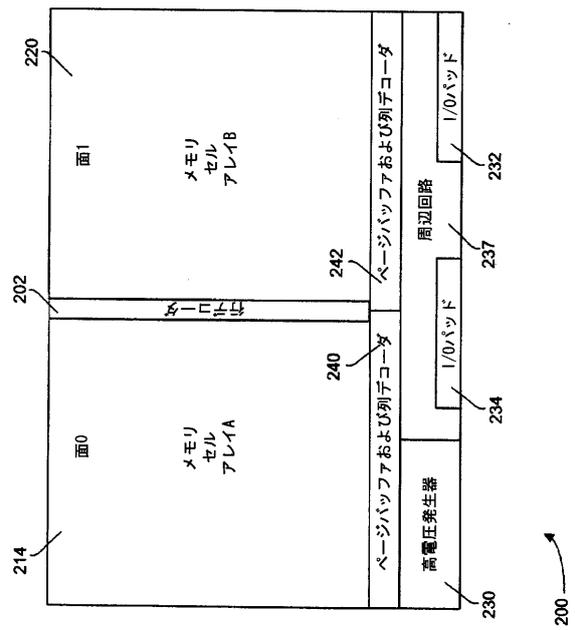
452	領域	
500	NANDフラッシュチップフロアプラン、フロアプラン	
504	TSV領域	
508	NANDメモリセルアレイ領域	
509	NANDメモリセルアレイ領域	
510	NANDメモリセルアレイ領域	
511	NANDメモリセルアレイ領域	
540	ページバッファおよび列デコーダ領域	
542	ページバッファおよび列デコーダ領域	
550	行デコーダ領域	10
552	行デコーダ領域	
590	コア領域	
600	4デバイス64Gbフラッシュメモリ、64Gbフラッシュメモリ、フラッシュメモリ	
602	16Gbマスタデバイス、マスタデバイス	
605	16Gbスレーブデバイス、スレーブデバイス	
606	16Gbスレーブデバイス、スレーブデバイス	
607	16Gbスレーブデバイス、スレーブデバイス	
610	ブロック	
920	バンブボール	
930	パッケージプリント回路基板、パッケージPCB	20
940	パッケージボール	
1030	パッケージPCB	
1040	ワイヤ	
1050	パッケージボール	
1100	NANDフラッシュチップフロアプラン、フロアプラン	
1104	TSV領域	
1105	メモリコア領域、コア領域	
1108	領域	
1109	領域	
1110	領域	30
1111	領域	
1120	領域	
1130	領域	
1132	領域	
1134	周辺回路領域、領域	
1140	領域	
1142	領域	
1150	領域	
1152	領域	
1200	NANDフラッシュチップフロアプラン、フロアプラン	40
1204	TSV領域	
1208	領域	
1209	領域	
1210	領域	
1211	領域	
1240	ページバッファおよび列デコーダ領域	
1242	ページバッファおよび列デコーダ領域	
1250	領域	
1252	領域	
1300	フロアプラン	50

1310 スレーブデバイス試験論理回路の追加領域

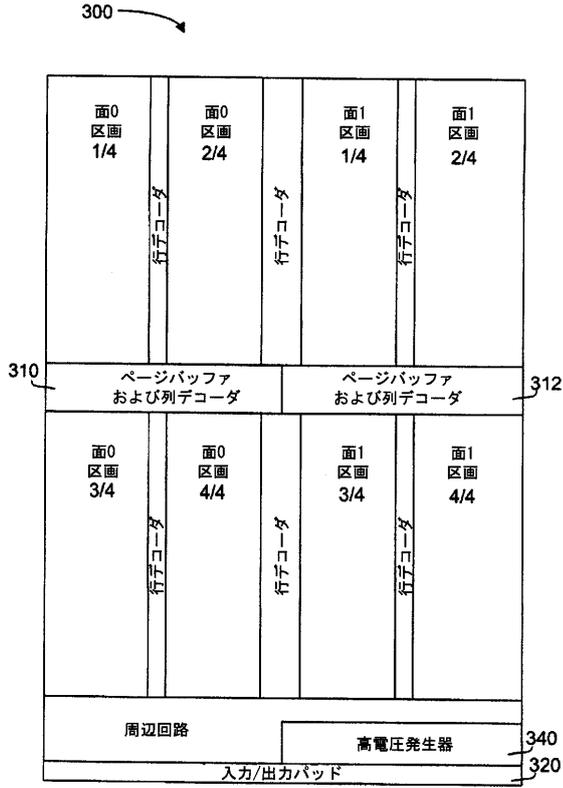
【図1】



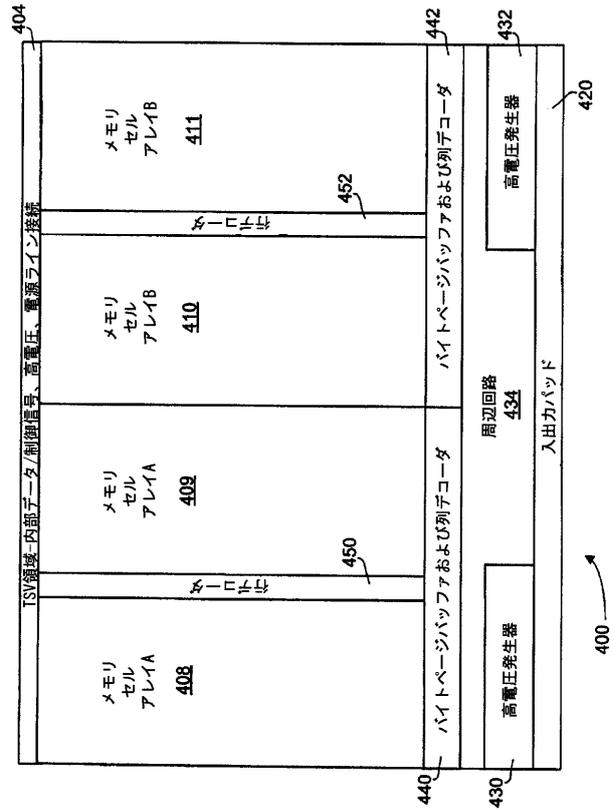
【図2】



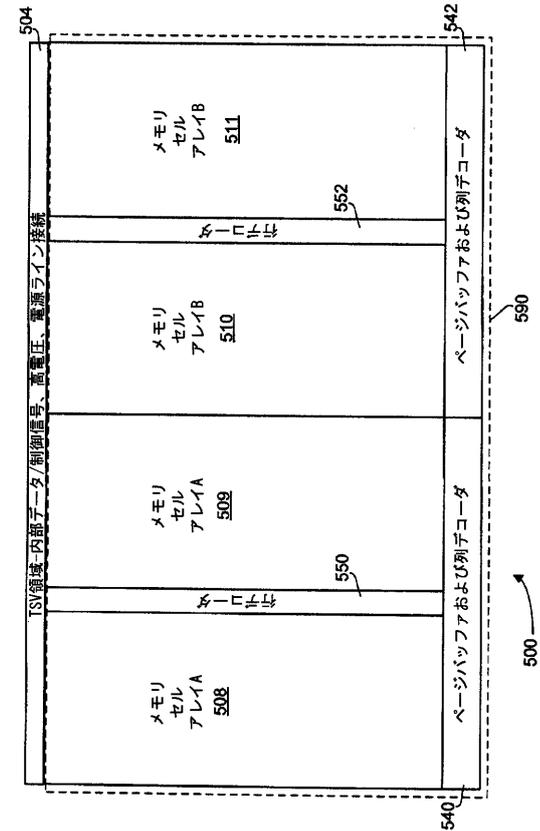
【図3】



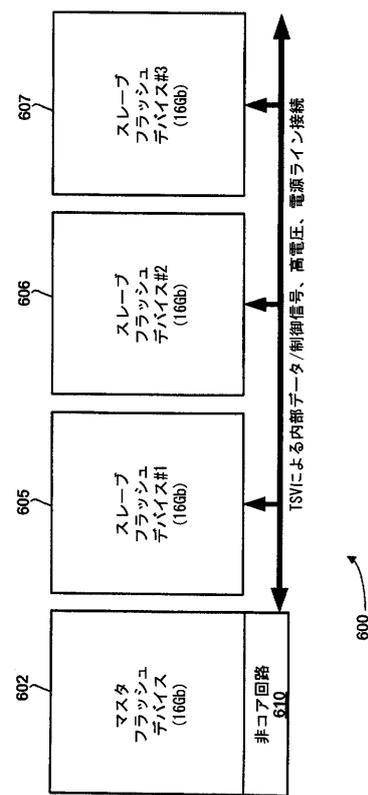
【図4】



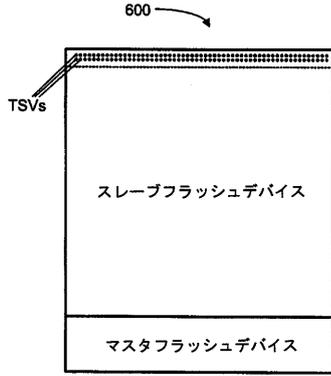
【図5】



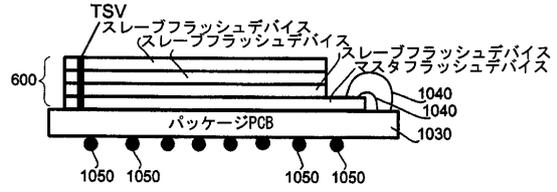
【図6】



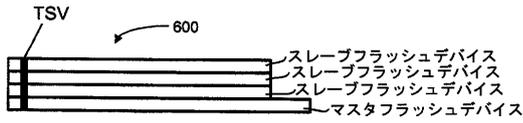
【図7】



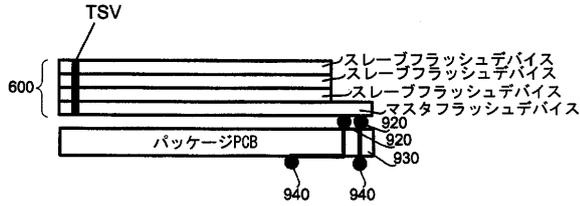
【図10】



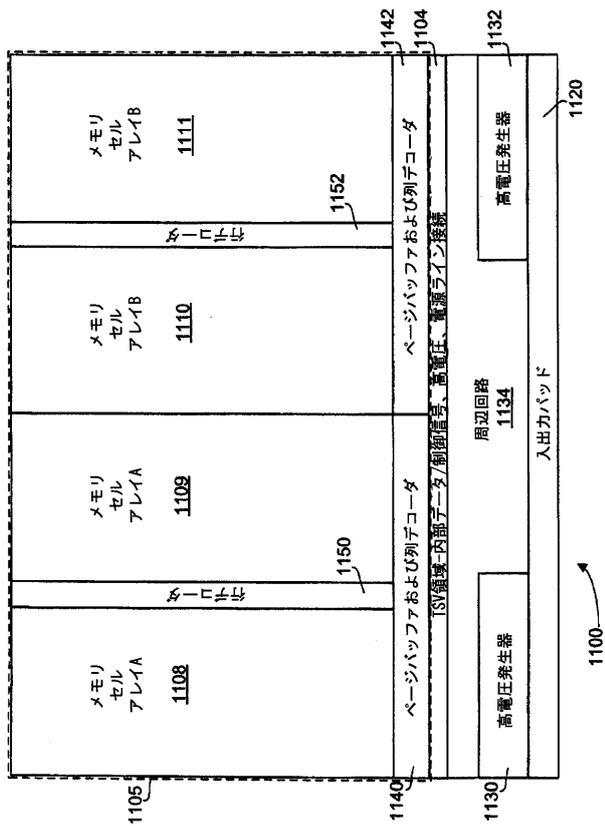
【図8】



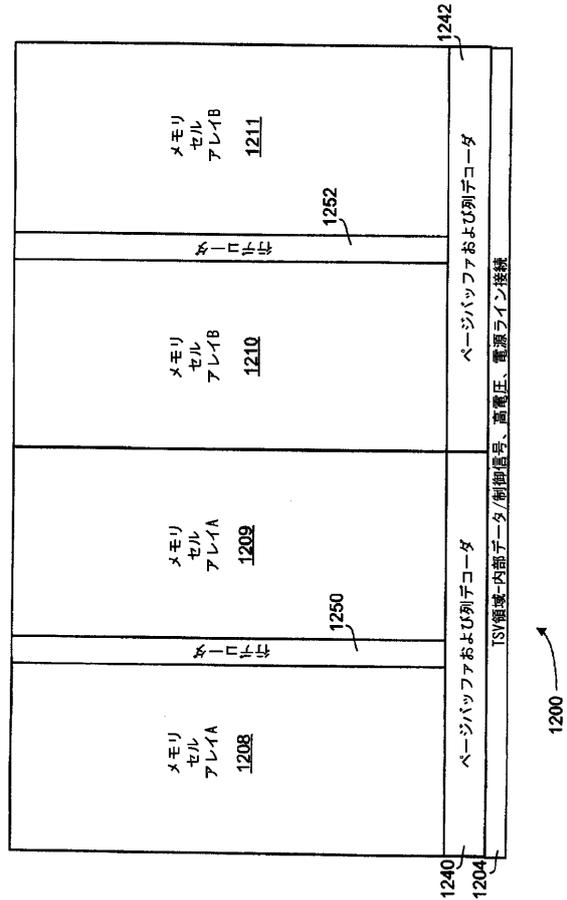
【図9】



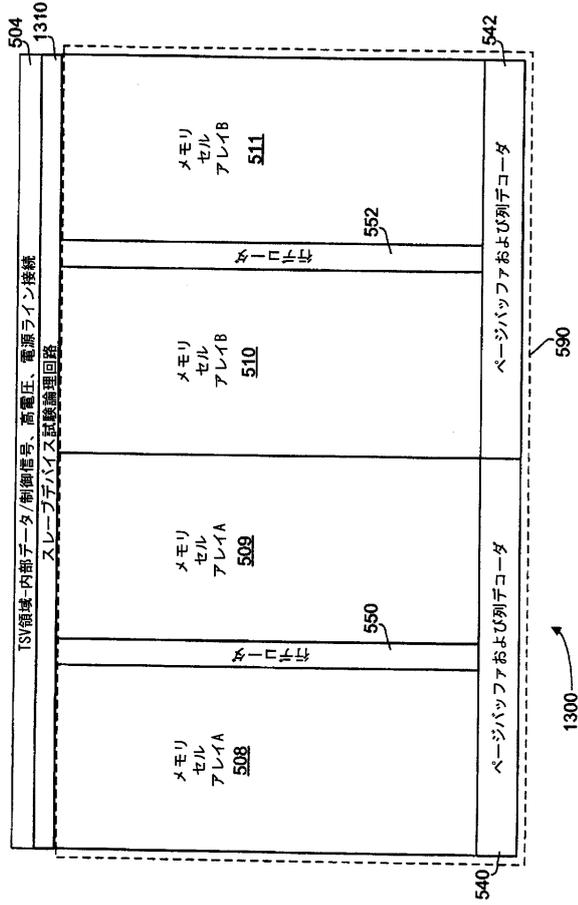
【図11】



【図12】



【 図 1 3 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CA2010/000195
A. CLASSIFICATION OF SUBJECT MATTER IPC: <i>G11C 16/02</i> (2006.01), <i>G11C 16/06</i> (2006.01), <i>G11C 5/06</i> (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC: G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used) Databases: Canadian patent database, EPOQUE, WEST, IEEE Xplore Search terms used: memory, flash, non-volatile, stack, master, slave, Through-silicon via, size, reduce		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/0040861 A1 (Ruckerbauer) 12 February 2009 (12-02-2009) *see figure 6 and paragraphs [0057]-[0060]*	1-31
X, P	WO 2009/102821 A2 (Karamcheti et al.) 20 August 2009 (20-08-2009) *see entire document*	1-31
A	US 5, 818, 107 (Pierson et al.) 6 October 1998 (06-10-1998) *see entire document*	1-31
A	US 2008/0080261 A1 (Shaeffer et al.) 3 April 2008 (03-04-2008) *see entire document*	1-31
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 April 2010 (16-04-2010)		Date of mailing of the international search report 27 April 2010 (27-04-2010)
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No.: 001-819-953-2476		Authorized officer Kazem Ziaie (819) 934-2667

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CA2010/000195

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
US2009040861A1	12-02-2009	DE102007036989A1	19-02-2009
WO2009102821A2	20-08-2009	US2009210616A1 US2009210636A1 US2009254689A1 WO2009102821A3	20-08-2009 20-08-2009 08-10-2009 17-12-2009
US5818107A	06-10-1998	JP10214862A JP3422675B2	11-08-1998 30-06-2003
US2008080261A1	03-04-2008	CN101310338A EP1929479A2 JP2009510562T US2007070669A1 US7464225B2 US7562271B2 US2009198924A1 US7685364B2 US2007088995A1 US2008144411A1 WO2007038225A2 WO2007038225A3 WO2008124503A1	19-11-2008 11-06-2008 12-03-2009 29-03-2007 09-12-2008 14-07-2009 06-08-2009 23-03-2010 19-04-2007 19-06-2008 05-04-2007 14-06-2007 16-10-2008

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
<i>H 0 1 L 27/115 (2006.01)</i>	H 0 1 L 27/10	4 8 1
<i>H 0 1 L 21/8247 (2006.01)</i>	H 0 1 L 27/10	4 9 5
<i>H 0 1 L 29/792 (2006.01)</i>		
<i>H 0 1 L 29/788 (2006.01)</i>		
<i>H 0 1 L 21/336 (2006.01)</i>		
<i>H 0 1 L 27/10 (2006.01)</i>		

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72) 発明者 ジン - キ・キム

カナダ・オンタリオ・K 2 K・3 H 6・カナタ・アイアンサイド・コート・4 6

Fターム(参考) 5B125 BA01 CA06 EG02

5F083 EP76 GA10 GA27 LA25 ZA01 ZA12

5F101 BD30 BD34 BH21