

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5998381号  
(P5998381)

(45) 発行日 平成28年9月28日(2016.9.28)

(24) 登録日 平成28年9月9日(2016.9.9)

(51) Int.Cl.

F I

G 1 1 C 15/04 (2006.01)

G 1 1 C 15/04 6 3 1 E

請求項の数 13 (全 25 頁)

(21) 出願番号 特願2012-105558 (P2012-105558)  
 (22) 出願日 平成24年5月6日(2012.5.6)  
 (65) 公開番号 特開2013-235620 (P2013-235620A)  
 (43) 公開日 平成25年11月21日(2013.11.21)  
 審査請求日 平成27年4月30日(2015.4.30)

(73) 特許権者 504157024  
 国立大学法人東北大学  
 宮城県仙台市青葉区片平二丁目1番1号  
 (74) 代理人 100082876  
 弁理士 平山 一幸  
 (72) 発明者 羽生 貴弘  
 宮城県仙台市青葉区片平二丁目1番1号  
 国立大学法人東北大学内  
 (72) 発明者 松永 翔雲  
 宮城県仙台市青葉区片平二丁目1番1号  
 国立大学法人東北大学内  
 (72) 発明者 鬼沢 直哉  
 カナダ国、H3A 2A7 ケベック州モ  
 ントリオール、ユニバーシティ・ストリー  
 ト 3480 マギル・ユニバーシティ内  
 最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

レジスタとコンパレータとモード制御部とを含んで構成される入力制御部と、前記入力制御部に接続される連想メモリブロックと、  
 を含み、

前記連想メモリブロックの各ワード回路は、前記入力制御部の第1のサーチラインに接続されるkビットの第1段サブワード回路と、前記入力制御部の第2のサーチラインに接続されるn-kビット(ここで、 $n-k > k$ である)の第2段サブワード回路と、前記第1段サブワード回路と前記第2段サブワード回路とを接続するセグメント化回路と、を備え、

前記第2段サブワード回路は、分割されたサブ-サブワード回路と、前記サブ-サブワード回路のそれぞれに接続されるローカル一致回路と、前記サブ-サブワード回路全体のグローバル一致回路とからなり、

前記サブ-サブワード回路のそれぞれには、前記入力制御部から検索ワードが並列に送出され、前記検索ワードと前記サブ-サブワード回路のそれぞれにおいて記憶されているワードとの一致が前記ローカル一致回路で判定され、

前記ローカル一致回路の全ての出力は、前記グローバル一致回路に入力される、半導体記憶装置。

【請求項2】

前記サブ-サブワード回路はkビットである、請求項1に記載の半導体記憶装置。

10

20

## 【請求項 3】

前記入力制御部は、高速モード及び低速モードで動作する、請求項 1 又は 2 に記載の半導体記憶装置。

## 【請求項 4】

前記入力制御部は、前記第 1 段サブワードが検索ワードと一致しないと判定した場合には、異なる入力に対して連続的に一致動作を続けるように前記高速モードで動作する、請求項 3 に記載の半導体記憶装置。

## 【請求項 5】

前記入力制御部は、前記第 1 段サブワードが検索ワードと一致すると判定した場合には、前記低速モードで動作する、請求項 3 又は 4 に記載の半導体記憶装置。

10

## 【請求項 6】

前記連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、前記ワード回路内において一致したマッチ線だけが、前記ワード回路内で生成された局所的制御信号により充電される、請求項 1 ~ 5 の何れかに記載の半導体記憶装置。

## 【請求項 7】

前記連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、前記ワード回路のグローバル一致回路の動作の後で前記ワード回路のマッチ線が充電される、請求項 1 ~ 5 の何れかに記載の半導体記憶装置。

## 【請求項 8】

20

前記ローカル一致回路は、ワード毎に非同期又は同期して制御される、請求項 1 ~ 7 の何れかに記載の半導体記憶装置。

## 【請求項 9】

前記入力制御部は、同期信号又は非同期信号により駆動される、請求項 1 ~ 8 の何れかに記載の半導体記憶装置。

## 【請求項 10】

前記連想メモリブロックは、2 値の連想メモリセルからなる、請求項 1 ~ 9 の何れかに記載の半導体記憶装置。

## 【請求項 11】

前記連想メモリブロックは、3 値の連想メモリセルからなる、請求項 1 ~ 9 の何れかに記載の半導体記憶装置。

30

## 【請求項 12】

前記ワード回路は、自律事前充電回路を含んで構成されている、請求項 6 又は 7 に記載の半導体記憶装置。

## 【請求項 13】

前記ローカル一致回路を、ワード毎に非同期で制御し、  
検索ワードと記憶されているワードの一致を判定する一致操作の後で、一致したワードのマッチラインを、局所的制御信号により自律事前充電し、自律事前充電における遅延時間  $T_{PA}$  を、前記連想メモリブロックのサイクルタイム  $T_{CA}$  に影響しないように動作させる、請求項 8 に記載の半導体記憶装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体記憶装置及びその駆動方法に関する。さらに、詳しくは、本発明は、高速でかつ低消費電力で動作する、半導体記憶装置及びその駆動方法に関する。

## 【背景技術】

## 【0002】

半導体メモリ的一种である連想メモリ (Content-Addressable Memory、以下、CAM と略す。) は、高速かつ低電力な機能メモリとして使用されている。CAM は、入力される検索ワードを記憶されたワードと比較するルックアップテーブルの機能を有しており、C

50

A Mは、完全に並列で等しい検索方法で一致したワードを高速で出力する。

【 0 0 0 3 】

C A Mは、パラメトリック曲線の抽出（非特許文献 1 参照）、デジタル画像処理変換の特徴抽出法で用いられるハフ（Hough）変換（非特許文献 2 参照）、データ圧縮のアルゴリズムの一種であるLempel-Ziv変換（非特許文献 3 参照）、人体通信の制御装置（非特許文献 4 参照）、周期事象発生器（非特許文献 5 参照）、キャッシュメモリ（非特許文献 6 参照）、ウィルス検出用プロセッサ（非特許文献 7 参照）等に使用されている。

【 0 0 0 4 】

現在では、C A Mは、主としてネットワークルータやネットワークスイッチのパケット制御に用いられている（非特許文献 8 ～ 1 1 参照）。

10

【 0 0 0 5 】

図 1 8 は、従来の C A Mの構成を示すブロック図である。図 1 8 に示すように、従来の C A M 1 0 0 は、入力制御部 1 0 2 と、記憶領域であるワードブロック 1 0 3 と、符号器 1 0 4 を含んで構成されている。検索ワードは、サーチライン（Search Line、以下、S Lと略す。）から記憶されているワードブロック（テーブルとも呼ぶ。）1 0 3 に送出される。C A M 1 0 0 中のビット数は通常 3 6 から 1 4 4 ビットである。典型的な C A M 1 0 0 中のワードブロックの数は数百から 3 万 2 千位である。各入力又はワード回路は、数ダースの C A Mセルを含んでいる。各ワードブロック 1 0 3 は、検索ワードと記憶されたワードが一致しているか又は不一致であることを示すマッチライン（Match Line、以下、M Lと略す。）を有している。

20

【 0 0 0 6 】

入力される検索ビットに伴う各 C A Mセルにおける比較の結果は、C A Mセルに付属してマッチライン（M L）に接続されるパストランジスタのオフかオンかにより決定される。M Lは符号器 1 0 4 に接続されている。符号器 1 0 4 は、M Lが一致した状態にある 2 値の一致した場所（アドレス）を生成する。

【 0 0 0 7 】

ワードブロック又はワード回路は、通常、ダイナミック論理で構成されており（非特許文献 1 2 参照）、N O R型（非特許文献 1 2 参照）又はN A N D型（非特許文献 1 3 ～ 1 5 参照）の構造に分類されている。

【 0 0 0 8 】

30

N O R型のワード回路において、N O R型の C A MセルのパストランジスタはM Lと接地ライン（グラウンドラインとも呼ばれている。）との間に並列に接続されているので、ワード回路は高速で動作する。C A Mでは記憶されているワードの殆どが入力の検索ワードと不一致であるので、殆どのワード回路は不一致の状態である。このため、不一致のワード回路は、N O R型のセル中のM L容量を高頻度で放電することになり、大きな電力を消費する。

【 0 0 0 9 】

上記N O R型の C A Mセルは高速であるが、消費電力が大きい。このため、雑音耐性を有しM Lの消費電力を低減するために、低電圧化の試みとして電流駆動型の回路が提案されている（非特許文献 1 6 及び 1 7 参照）。

40

【 0 0 1 0 】

一方、N A N D型の C A Mセルは、N A N D型のワード回路において、パストランジスタがM Lと接地ラインとの間に直列に接続されているので、ワード回路は中速で動作する。一致したワード回路だけがM L容量を放電するので、N A N D型のワード回路は、N O R型のワード回路に比較して、消費電力は低下する。

【 0 0 1 1 】

上記N A N D型の C A Mセルは、消費電力が小さいが、中速である。このため、N A N D型の C A Mセルのスループットを増大させるために、P F - C D P D（pseudo-footles s clock-and-data precharged dynamic）ゲートという回路が提案されている（非特許文献 1 4 及び 1 5 参照）。

50

## 【 0 0 1 2 】

従来の同期式のCAMでは、次に検索されるワードは、現在の検索が完了してから有効にされる。一致動作の最悪の場合の遅延時間は、通常はワードのビット数に比例するので、従来の同期式のCAMのスループットは、CAMのワードのビット数によって制限される。

## 【 0 0 1 3 】

CAMは数百以上のワードを記憶するメモリセルと入力データ間の検索を並列に行い、一致ワードのアドレスを出力する。従来の同期式のCAMでは、全体をクロック信号で一括制御しており、その速度はワード回路のビット長による全体遅延で決定されていた。インターネットの次世代プロトコル（通信手順）であるIPv6においてはそのワードのビット長は144ビット以上にも達し、CAMの速度を低下させる要因となっている。さらに、近年のネットワークトラフィックの増加により、記憶すべきエントリ数も増え、消費電力が増大している。

10

## 【 0 0 1 4 】

従来のCAMワード回路方式として、低電力化のためのワード回路のセグメント化手法が知られている。この手法では、ワード回路のセグメント化により、初めに先頭の数ビットの検索を行い、一致及び不一致を判定し、残りの大半の部分のワード回路の動作を停止させることで、低電力化を図っていた。しかし、この方法では、セグメント間にセンスアンプなどを追加する必要があり、遅延が増大する要因となっていた。このワード回路全体の遅延は、各セグメントの遅延と各々のセンスアンプの遅延の合計で決定される。

20

## 【 0 0 1 5 】

このセグメント化手法における低電力化効果を保ちつつ、高速動作を実現する方法として、アーキテクチャレベルでは、CAMセルのスループットを増大させるために、パイプラインを用いた回路が提案されている（非特許文献18、19参照）。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 1 6 】

【 特許文献 1 】 特開 2 0 0 6 - 2 3 6 5 1 5

## 【 非特許文献 】

## 【 0 0 1 7 】

30

【 非特許文献 1 】 M. Meribout, T. Ogura, and M. Nakanishi, "On using the CAM concept for parametric curve extraction," IEEE Transactions on Image Processing, vol.9, no.12, pp.2126-2130, Dec. 2000

【 非特許文献 2 】 M. Nakanishi and T. Ogura, "A real-time CAM-based Hough transform algorithm and its performance evaluation," in Proc. 13th International Conference on Pattern Recognition, 1996, vol.2, pp.516-521, Aug.1996

【 非特許文献 3 】 D. J. Craft, "A fast hardware data compression algorithm and some algorithmic extensions," IBM Journal of Research and Development, vol.42, no.6, pp.733-746, Nov. 1998

【 非特許文献 4 】 S. Choi, S.-J. Song, K. Sohn, H. Kim, J. Kim, N. Cho, J.-H. Woo, J. Yoo, and H.-J. Yoo, "A 24.2-mW dual-mode human body communication controller for body sensor network," in Proc. 32nd European Solid-State Circuits Conference, 2006, pp.227-230, Sept. 2006

40

【 非特許文献 5 】 S. Choi, K. Sohn, J. Kim, J. Yoo, and H.-J. Yoo, "A TCAM-based periodic event generator for multi-node management in the body sensor network," in Proc. Asian Solid-State Circuits Conference, 2006, pp.307-310, Nov. 2006

【 非特許文献 6 】 P.-F. Lin and J. Kuo, "A 1-V 128-kb four-way set-associative CMOS cache memory using wordline-oriented tag-compare (WLOT) structure with the content-addressable-memory (CAM) 10-transistor tag cell," IEEE Journal of Solid-State Circuits, vol.36, no.4, pp.666-675, Apr.2001

50

【非特許文献 7】C.-C. Wang, C.-J. Cheng, T.-F. Chen, and J.-S. Wang, "An adaptively dividable dual-port bitcam for virus-detection processors in mobile devices," IEEE Journal of Solid-State Circuits, vol.44, no.5, pp.1571-1581, May 2009

【非特許文献 8】N.-F. Huang, K.-B. Chen, and W.-E. Chen, "Fast and scalable multi-TCAM classification engine for wide policy table lookup," in Proc.19th International Conference on Advanced Information Networking and Applications, 2005, vol.1, pp.792-797, March 2005

【非特許文献 9】M. Kobayashi, T. Murase, and A. Kuriyama, "A longest prefix match search engine for multi-gigabit IP processing," in IEEE International Conference on Communications, 2000, vol.3, pp.1360-1364, 2000

10

【非特許文献 10】Y. Tang, W. Lin, and B. Liu, "A TCAM index scheme for IP address lookup," in Proc. First International Conference on Communications and Networking in China, pp.1-5, Oct. 2006

【非特許文献 11】N.-F. Huang, W.-E. Chen, J.-Y. Luo, and J.-M. Chen, "Design of multifield IPv6 packet classifiers using ternary CAMs," in Proc. Global Telecommunications Conference, 2001, vol.3, pp.1877-1881, 2001

【非特許文献 12】K. Pagiamtzis and A. Sheikholeslami, "Content-addressable memory (CAM) circuits and architectures: a tutorial and survey," IEEE Journal of Solid-State Circuits, vol.41, no.3, pp.712-727, March 2006

【非特許文献 13】F. Shafai, K. Schultz, G. Gibson, A. Bluschke, and D. Somppi, "Fully parallel 30-MHz, 2.5-Mb CAM," IEEE Journal of Solid-State Circuits, vol.33, no.11, pp.1690-1696, Nov. 1998

20

【非特許文献 14】H.-Y. Li, C.-C. Chen, J.-S. Wang, and C. Yeh, "An AND-type matchline scheme for high-performance energy-efficient content addressable memories," IEEE Journal of Solid-State Circuits, vol.41, no.5, pp.1108-1119, May 2006

【非特許文献 15】C.-C. Wang, J.-S. Wang, and C. Yeh, "High-speed and low-power design techniques for TCAM macros," IEEE Journal of Solid-State Circuits, vol.43, no.2, pp.530-540, Feb. 2008

【非特許文献 16】I. Arsovski, T. Chandler, and A. Sheikholeslami, "A ternary content addressable memory (TCAM) based on 4T static storage and including a current-race sensing scheme," IEEE Journal of Solid-State Circuits, vol.38, no.1, pp.155-158, Jan. 2003

30

【非特許文献 17】I. Arsovski and A. Sheikholeslami, "A mismatch-dependent power allocation technique for match-line sensing in content-addressable memories," IEEE Journal of Solid-State Circuits, vol.38, no. 11, pp.1958-1966, Nov. 2003

【非特許文献 18】K. Pagiamtzis and A. Sheikholeslami, "Pipelined Match-Lines and Hierarchical Search-Lines for Low-Power Content-Addressable Memories," IEEE Custom Integrated Circuits Conference, pp. 383-386, 2003

【非特許文献 19】K. Pagiamtzis and A. Sheikholeslami, "A low-power content-addressable memory (CAM) using pipelined hierarchical search scheme," IEEE Journal of Solid-State Circuits, vol.39, no.9, pp.1512-1519, Sept. 2004

40

【非特許文献 20】C. Zukowski and S.-Y. Wang, "Use of selective precharge for low-power on the match lines of content-addressable memories," in Proc. International Workshop on Memory Technology, Design and Testing, 1997, pp.64-68, Aug. 1997

【非特許文献 21】S. Baeg, "Low-power ternary content-addressable memory design using a segmented match line," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 6, pp. 1485 -1494, July 2008.

【非特許文献 22】S. Choi, K. Sohn, and H.-J. Yoo, "A 0.7-fJ/bit/search 2.2-ns search time hybrid-type TCAM architecture," IEEE Journal of Solid-State Circuit

50

s, vol. 40, no.1, pp.254-260, Jan. 2005

【非特許文献 2 3】C.-S. Lin, J.-C. Chang, and B.-D. Liu, "A low-power precomputation-based fully parallel content-addressable memory," IEEE Journal of Solid-State Circuits, vol.38, no.4, pp.654-662, Apr. 2003

【非特許文献 2 4】P.-T. Huang and W. Hwang, "A 65 nm 0.165 fJ/bit/search  $256 \times 144$  TCAM macro design for IPv6 lookup tables," IEEE Journal of Solid-State Circuits, vol.46, no.2, pp.507-519, Feb. 2011

【非特許文献 2 5】S. Hanzawa, T. Sakata, K. Kajigaya, R. Takemura, and T. Kawahara, "A large-scale and low-power CAM architecture featuring a one-hot-spot block code for IP-address lookup in a network router," IEEE Journal of Solid-State Circuits, vol.40, no.4, pp.853-861, April 2005

【発明の概要】

【発明が解決しようとする課題】

【0018】

従来の、CAMを低電力化するためのワード回路におけるセグメント化手法では、遅延時間が増大し高速で動作しなかった。

【0019】

上記のセグメント化手法における低電力化効果を保ちつつ、高速動作を実現するパイプラインを用いる手法では、各セグメント間に挿入されるパイプラインレジスタによる消費電力の増加が非常に大きいことと、パイプラインレジスタを設けることによるチップ面積の増加が生じていた。

【0020】

特許文献 1 に開示されたメモリを 2 重にする方式では、メモリが 2 倍必要であるため、面積及び消費電力における増加が非常に大きい。

【0021】

本発明は、上記課題に鑑み、遅延時間が短く、低消費電力で動作する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0022】

上記目的を達成するため、本発明の半導体記憶装置は、  
レジスタとコンパレータとモード制御部とを含んで構成される入力制御部と、入力制御部に接続される連想メモリブロックと、を含み、

連想メモリブロックの各ワード回路は、入力制御部の第 1 のサーチラインに接続される  $k$  ビットの第 1 段サブワード回路と、入力制御部の第 2 のサーチラインに接続される  $n - k$  ビット（ここで、 $n - k > k$  である）の第 2 段サブワード回路と、第 1 段サブワード回路と第 2 段サブワード回路とを接続するセグメント化回路と、を備え、

第 2 段サブワード回路は、分割されたサブ - サブワード回路と、サブ - サブワード回路のそれぞれに接続されるローカル一致回路と、サブ - サブワード回路全体のグローバル一致回路とからなり、

サブ - サブワード回路のそれぞれには、入力制御部から検索ワードが並列に送出され、検索ワードとサブ - サブワード回路のそれぞれにおいて記憶されているワードとの一致がローカル一致回路で判定され、

ローカル一致回路の全ての出力は、グローバル一致回路に入力される。

【0023】

上記構成において、好ましくは、サブ - サブワード回路は  $k$  ビットである。

上記構成において、好ましくは、入力制御部は高速モード及び低速モードで動作する。

上記構成において、好ましくは、入力制御部は、第 1 段サブワードが検索ワードと一致しないと判定した場合には、異なる入力に対して連続的に一致動作を続けるように高速モードで動作する。

上記構成において、好ましくは、入力制御部は、第 1 段サブワードが検索ワードと一致

10

20

30

40

50

すると判定した場合には、低速モードで動作する。

上記構成において、好ましくは、連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、ワード回路内において一致したマッチ線だけが、ワード回路内で生成された局所的制御信号により充電される。

上記構成において、好ましくは、連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、ワード回路のグローバル一致回路の動作の後でワード回路のマッチ線が充電される。

上記構成において、好ましくは、ローカル一致回路はワード毎に非同期又は同期して制御される。

上記構成において、好ましくは、入力制御部は同期信号又は非同期信号により駆動される。

上記構成において、好ましくは、連想メモリブロックは、2値の連想メモリセル又は3値の連想メモリセルからなる。

上記構成において、好ましくは、ワード回路は自律事前充電回路を含んで構成される。

【0025】

上記構成において、好ましくは、ローカル一致回路を、ワード毎に非同期で制御し、検索ワードと記憶されているワードの一致を判定する一致操作の後で、一致したワードのマッチラインを、局所的制御信号により自律事前充電し、自律事前充電における遅延時間  $T_{PA}$  を、連想メモリブロックのサイクルタイム  $T_{CA}$  に影響しないように動作させる。

【発明の効果】

【0026】

本発明によれば、ワード単位での独立制御に基づく高速かつ低電力のCAMを提供することができる。つまり、従来の同期式のCAMにおける、最悪のケースとも言うべきワード回路の全体遅延ではなく、セグメント化された先頭の部分ワード回路における小さな部分遅延によって検索動作のサイクル時間が決定され、従来式のCAMよりも高速動作が可能である。

【0027】

さらに、ワード回路実現手法として、ワード単位での独立動作のために非同期式制御方式を用いることで、パイプラインレジスタなどを利用せず、クロック信号による消費電力を低減すると同時に、最悪遅延によらない回路実現が可能となる。もちろん、ワード単位での独立動作のために同期式回路でも実現可能である。本発明に基づくワード回路をセグメント化することにより、従来から知られているセグメント化手法での低電力化効果も併せ持っている。

【図面の簡単な説明】

【0028】

【図1】本発明の半導体記憶装置の構成を示すブロック図である。

【図2】 $m = 1$ としたときの入力制御部の構成を示すブロック図である。

【図3】高速モードで動作する入力制御部とCAMブロックのタイムチャートである。

【図4】低速モードで動作する入力制御部とCAMブロックのタイムチャートである。

【図5】プリチャージのブロック図である。

【図6】一致の場合のブロック図である。

【図7】不一致の場合のブロック図である。

【図8】2値のNAND型のCAMセルの回路図である。

【図9】本発明の位相オーバーラップ処理に基づく自律制御によるワード回路のブロック図である。

【図10】図9の自律制御によるワード回路の動作を説明するタイムチャートである。

【図11】同期型のワード回路のブロック図である。

【図12】図11の動作を説明するタイムチャートである。

【図 1 3】本発明の C A M のワード回路を示す回路図である。

【図 1 4】図 1 3 のワード回路の動作を示すタイムチャートである。

【図 1 5】本発明の最小加工寸法が 9 0 n m の C A M について、シミュレーションの結果を示すタイミングチャートである。

【図 1 6】本発明の自律制御をした C A M と比較例の C A M のサイクル時間を比較した図である。

【図 1 7】T C A M の回路図である。

【図 1 8】従来の C A M の構成を示すブロック図である。

【発明を実施するための形態】

【 0 0 2 9 】

10

以下、図面を参照しながら本発明の実施形態を具体的に説明する。

(ワード重畳型検索)

図 1 は、本発明のワード重畳型検索 (Word Overlapped Search、以下、W O S 方法と略称する。) を用いた半導体記憶装置 1 の構成を示すブロック図である。

図 1 に示すように、本発明の半導体記憶装置 1 は、C A M ブロック 2 と入力制御部 3 を含んで構成されている。本発明の半導体記憶装置 1 は、連想メモリであり、C A M (Content-Addressable Memory の略記号) と呼ばれる。

C A M ブロック 2 は、n ビットのワードを記憶する複数のワード (w 語) のワードブロック 4 を含んでいて、自律制御又は同期制御により動作する。

ワードブロック 4 は、小さな k ビットのサブワード 4 a とこの k ビットのサブワード 4 a に接続されるセグメント化回路 5 と、セグメント化回路 5 の出力側に接続される後段の (n - k) ビットのサブワード 4 b とから構成されている。つまり、ワードブロック 4 は、小さな k ビットのサブワード 4 a と後段の大きな (n - k) ビットのサブワード 4 b とが、セグメント化回路 5 を介して分割されている。k ビットのサブワード 4 a は、入力制御部 3 の S L 1 (サーチライン 1) に接続されている。n - k ビットのサブワード 4 b は、入力制御部 3 の S L 2 (サーチライン 2) に接続されている。

20

【 0 0 3 0 】

このような分割方法は、後のワードブロック 4 の稼働率を減少させるために使用されている (非特許文献 2 0、2 1)。

【 0 0 3 1 】

30

ワードとしては、2 値を記憶させる b i n a r y C A M (以下、B C A M と略称する。) 又は 3 値を記憶させる t e r n a r y C A M (以下、T C A M と略称する。) に適用可能である。以下の説明では、特に断らない限り半導体記憶装置 1 は、B C A M として説明する。

【 0 0 3 2 】

半導体記憶装置 1 において、大部分の記憶されているワードが、一致動作により入力される検索ワードの最初の数ビットの検索で不一致となる。記憶されているワードが、一様乱数分布を有していると仮定する。最初の k ビットの検索で一致する確率は、下記 (1) 式で与えられる。

【 0 0 3 3 】

40

【数 1】

$$p_{\text{matched}} = \left( \frac{1}{2} \right)^k \quad (1)$$

【 0 0 3 4 】

最初の k ビットの検索の後で、大部分の不一致のワードブロック 4 は使用されない。スループットを増大させるために、本発明では使用されないブロックを使用する。本発明の半導体記憶装置 1 では、検索するワードは、全部のワードブロック 4 の長い遅延時間 (T<sub>s l o w</sub>) よりも第 1 のセグメントの短い遅延時間 (T<sub>1 s t</sub>) に基づく速度で処理する

50



。つまり、最初のkビットの検索が済むと同時に、次にkビットのサブワード4aが入力される。続くkビットのサブワードが異なる限り、検索ワードは、短い遅延時間( $T_{1st}$ )に基づく速度で使用していないで異なるワードブロック4に割り当てられる。

続くサブワードが同じであることが判明した場合、次の検索は、両方のセグメントにおいて現在の検索が完了したときに実行される。

【0035】

このため、本発明の検索方法では、平均検索時間 $T_{SA}$ は、下記(2)式で与えられる。

【0036】

【数2】

$$T_{SA} = T_{1st} \left( 1 - m \left( \frac{1}{2} \right)^k \right) + T_{slow} \left( m \left( \frac{1}{2} \right)^k \right) \quad (2)$$

【0037】

ここで、mは、比較される後段のサブワード数である。

【0038】

入力データのスケジューリングは、同期的に動作する入力制御部3により制御される。

【0039】

図2は、 $m = 1$ としたときに入力制御部3の構成を示すブロック図である。

入力制御部3は、レジスタ12~14と、kビットのコンパレータ16と、モード制御部18とを含んで構成されている。コンパレータ16は比較回路や比較器とも呼ばれる。モード制御部18は、高速及び低速の二つのモードで動作する。入力制御部3は、同期回路方式で設計されている。この方法は、検索ワードをCAMブロック2中で検索する前に処理するので、事前計算法に分類される(非特許文献20、21)。

【0040】

検索ワードは、kビットのサブワード4aと $n - k$ ビットのサブワード4bに分割される。同じ第1のセグメントに一致する連続したkビットのサブワード4aを調べるために、これらのサブワードは、コンパレータ16で比較される。これらのサブワードが同じでない場合には、入力制御部3は、 $T_{1st}$ という時間で検索ワードをCAMブロック2に送出する。

【0041】

図3は、高速モードで動作する入力制御部3とCAMブロック2のタイムチャートである。

図3に示すように、入力制御部3は、kビットのサブワード(D1)4aと、 $n - k$ ビットのサブワード(D2)4bを、それぞれ異なるサイクルにSL1ラインとSL2ラインに送出する。

最初に、D1<sub>1</sub>がkビットの第1のセグメント(ML1<sub>0</sub>)に一致し、一致した結果はセグメント化回路5に記憶(ストア)される。2番目に、D2<sub>1</sub>が $n - k$ ビットのサブワード4bがkビットの後のセグメント(ML2<sub>0</sub>)に一致する。同時に、D1<sub>2</sub>が別の最初のセグメント(ML1<sub>0</sub>)中で処理される。連続したサブワードD1が異なる場合、この別の最初のセグメントは、一つ前の一致動作の際に不一致と判定されているため、ワード回路の内部状態がそのまま保持されている。一致動作とは、検索するワードと記憶されているワードの一致を判定する操作である。この操作を行う回路が一致回路である。このため、異なる入力に対して連続的に一致動作を続けることが可能となる。連続したD1が同じ場合には、入力制御部3は低速モードで動作する。

【0042】

図4は、低速モードで動作する入力制御部3とCAMブロック2のタイムチャートである。

10

20

30

40

50

各ワード回路は、一度一致と判定されるとMLが放電されるため、次の検索、つまり、一致動作を行う前にMLを事前充電する必要がある。連続したD1が同じ場合、同じワード回路においてMLが放電されることになり、前段と後段のセグメントにおける一致動作が完了し、MLの事前充電が完了するまで、待機する必要がある。このように、低速モードにおいては、入力制御部3は現在の検索がCAMブロック2で完了するまでは、新規に検索するワードの送出を停止する。低速モードにおける遅延時間は、下記(3)式で与えられる。

【0043】

【数3】

$$T_{slow} = T_{reg} + T_{1st} + T_{2nd} + T_{margin} \quad (3)$$

10

【0044】

ここで、 $T_{reg}$ 、 $T_{2nd}$ 、 $T_{margin}$ は、それぞれ入力制御部3からCAMブロック2までの遅延時間、 $n - k$ ビットの後のセグメントの遅延時間、低速から高速へのモード遷移の遅延時間である。

【0045】

低速モードの後で、入力制御部3は、高速モードで動作する。実際に、入力制御部3のSLから入力された検索ワードがワードブロック4中で一致したとき、ワードブロック4は $T_{slow}$ の間使用できない。このため、上記(2)式中の比較される後段のサブワード数である $m$ は、下記(4)式で与えられる条件を満たす必要がある。

20

【0046】

【数4】

$$(m+1)T_{SA} = T_{reg} + T_{1st} + T_{2nd} + T_{margin} \quad (4)$$

【0047】

$k = 8$ とし、上記(2)式で与えられる平均検索時間 $T_{SA}$ が殆ど $T_{1st}$ で決まるとする。さらに、入力制御部3のコンパレータ16は小さいとする。

【0048】

30

(従来のCAM)

一方、従来の同期型のCAMでは、次の検索ワードは、現在の検索が完了した後で割り当てられる。従って、従来の同期型のCAMの検索時間( $T_{SS}$ )は、下記(5)式で与えられる。

【0049】

【数5】

$$T_{SS} = T_{reg} + T_{1st} + T_{2nd} \quad (5)$$

【0050】

40

ここで、 $T_{2nd}$ は $n - k$ ビットの後段のセグメントの遅延時間で決まる。例えば、インターネットの次世代プロトコル(通信手順)であるIPv6のアドレスの検索に適用する場合には、ワードのビット長は144ビットである。つまり、IPv6のように $n$ が144で $k$ が8の場合、 $n - k$ は136である。

【0051】

本発明の半導体記憶装置1の動作について説明する。

例えば、ワード検索を2段階に分割し、1段目の検索では先頭の数ビットのみのワード検索を行う。半導体記憶装置1では先頭の数ビットのワード検索で大部分のワード回路を不一致と判断することができるため、大部分の2段目の長いワード回路は使用されず、内部状態が保持されているため、続けて次のワード検索を実行できる。この使用されてい

50

いワード回路に入力データをアサイン、つまり実行する制御回路を半導体記憶装置 1 の入力制御部 3 に組み込むことで、半導体記憶装置 1 は 1 段目の検索終了後に次のデータのワード検索を開始することができる。

【 0 0 5 2 】

これにより、半導体記憶装置 1 の速度は従来の C A M のようにワードのビット長には依存せず、1 段目の小さなワードのビット長による部分遅延に依存した高速動作が可能となる。

【 0 0 5 3 】

( 位相オーバーラップ処理 )

次に、半導体記憶装置 1 のワードブロック 4 中の自律制御に基づく位相オーバーラップ処理 ( Phase Overlapped Processing、以下、P O P と略称する。 ) について説明する。

10

図 5 ~ 8 は、N A N D 型セルのワード回路 2 0 のブロック図を示し、図 5 はプリチャージのブロック図、図 6 は一致の場合のブロック図、図 7 は不一致の場合のブロック図、図 8 は、N A N D 型の B C A M セル 3 0 の回路図である。

図 5 に示すように、N A N D 型のワード回路 2 0 は、N A N D 型セル中に直列接続されたパストランジスタ 2 1 を使用して構成されている。N A N D 型のワード回路 2 0 は、ダイナミック論理により事前充電相 ( プリチャージ ) 及び評価相 ( エバリュエイト ) という二つの相で動作する。事前充電相では、M L ( マッチ線とも呼ぶ。 ) は P 型 M O S トランジスタ 2 1 を介して充電される。

【 0 0 5 4 】

20

評価相では、もしも、図 6 に示すように検索ワードが記憶されているワードと同じ場合、C A M セル中の全てのパストランジスタ 2 1 はオン状態である。C A M セルは、後述する図 8 に示すメモリセルである。従って、M L ラインの容量は放電される。この状態は、「一致」と呼ばれている。なお、図 6 では、検索ワードを、「 1 0 1 」と 3 ビットに簡略化して示している。

【 0 0 5 5 】

逆に、もしも、図 7 に示すように検索ワードが記憶されているワードと異なる場合、C A M セル中の全てのパストランジスタ 2 1 はオン状態ではない。従って、M L ラインの電圧はハイレベルを維持する。この状態は、「不一致」と呼ばれている。

30

【 0 0 5 6 】

M L の容量は、一致した回路だけで放電するので、N A N D 型のワード回路 2 0 は、N O R 型のワード回路に比較すると電力消費が減少する。

【 0 0 5 7 】

図 8 に示すように、2 値の N A N D 型の B C A M セル 3 0 は、フリップフロップ 3 2 と第 1 ~ 第 5 個の伝送用トランジスタ 3 3 ( 3 3 a ~ 3 3 e ) とから構成されている。伝送用トランジスタは、転送用トランジスタとも呼ばれている。B C A M セル 3 0 には、M L、S L、W L ( Word Line の略記、ワード線とも呼ぶ。 ) が配設されている。M L には、M L 信号が印加される。S L には、S L 信号が印加される。W L には、W L 信号が印加される。

40

【 0 0 5 8 】

W L は、セルにワードを書き込みするときだけ活性化され、検索動作ではローレベルに保持されている。書き込み動作では、全てのワードの入力は、ビットラインに印加される相補的な信号である B L と、B L バー信号により記憶される。データ “ 0 ” と “ 1 ” は、それぞれ ( 0 , 1 ) と ( 1 , 0 ) に対応する。検索操作、つまり、評価相では、検索ワードは、S L に印加される相補的な信号である S L と、S L バー信号に割り当てられる。

【 0 0 5 9 】

一度検索ワードが記憶されているワードと同じになると、M L に接続されているパストランジスタ 2 1 はオン状態となる。

【 0 0 6 0 】

50

図 9 は、本発明の位相オーバーラップ処理 (POP) に基づく自律制御によるワード回路 40 のブロック図である。ワード回路 40 は 3 つだけ示している。

図 9 に示すように、各ワード回路 40 は、非同期で独立の局所的制御信号 (lctrl) により制御される。局所的制御信号 (lctrl) は、評価相 (エバリュエイト) ではハイレベルであり、事前充電相 (プリチャージ) ではローレベルである。

【0061】

本発明のワード回路 40 では、一致したワード回路 40 の ML だけが、前の評価相 (エバリュエイト) の後において、局所的制御信号 (lctrl) により充電される。他の局所的制御信号 (lctrl) はハイレベルであるので、他のワード回路 40 はまだ評価相の状態に留まっている。

10

【0062】

さらに、WOS (Word Overlapped Search の略記) 方法を使用しているため、後の検索ワードは、使用していない他のワード回路 40 に割り当てられる。当該使用していない他のワード回路 40 は、既に充電された状態を保持しているため、入力される検索ワードは、事前充電する時間を使わないで処理される。

【0063】

図 10 は、図 9 の自律制御によるワード回路 40 の動作を説明するタイムチャートである。

図 10 に示すように、一致操作の後で、一致したワードの ML は、局所的制御信号 (lctrl) により充電される。この事前充電相の間において、他の検索ワードは使用していないで評価相の状態にある他のワード回路 40 に割り当てられる。これらの相は重複して行われるので、事前充電相の遅延時間  $T_{PA}$  は、サイクルタイム  $T_{CA}$  に影響しない。このように、POP 動作に基づく自律制御は、事前充電相の遅延時間  $T_{PA}$  を隠蔽するように働く。通常、評価相の遅延時間  $T_{SA}$  は、事前充電相の遅延時間  $T_{PA}$  よりも長い。

20

従って、サイクルタイム  $T_{CA}$  は、下記 (6) 式で与えられる。

【0064】

【数 6】

$$T_{CA} = T_{SA} \quad (6)$$

30

【0065】

本発明の半導体記憶装置 1 では、CAM ブロック 2 のワードブロック 4 中の自律制御に基づく位相オーバーラップ処理 (POP) を従来の同期型としてもよい。

図 11 は、同期型のワード回路 42 のブロック図であり、図 12 は、図 11 の動作を説明するタイムチャートである。

図 11 に示すように、ワード回路 42 を同期型とした場合には、各充電用トランジスタ 21 のゲートには大局的制御信号であるクロック信号が印加される。具体的には、評価相ではハイレベルのクロック信号が印加され、事前充電相ではローレベルのクロック信号が印加される。

このため、ワード回路 42 を同期型とした CAM のサイクル時間 ( $T_{CS}$ ) は、下記 (7) 式で与えられる。

40

【0066】

【数 7】

$$T_{CS} = T_{SS} + T_{PS} \quad (7)$$

【0067】

ここで、 $T_{SS}$  は (5) 式で与えられる検索時間、つまり評価相の遅延時間であり、 $T_{PS}$  は事前充電相の遅延時間である。通常  $T_{SS}$  は  $T_{PS}$  よりも長く、そして、これらの遅延時間は同期型 CAM では同じであるため、(7) 式は下記 (8) 式で表される。

50

【 0 0 6 8 】

【 数 8 】

$$T_{CS} = 2T_{SS} \quad (8)$$

【 0 0 6 9 】

同期式回路におけるクロック信号のデューティ比は50%である。つまり、(7)式に示すようにクロック信号のハイレベル期間(評価相期間)とローレベル期間(事前充電相期間)がそれぞれ等しいため、(8)式に示すようにクロックサイクルは評価相期間の2倍になる。

10

【 0 0 7 0 】

本発明の半導体記憶装置1の従来の同期型CAMに対するスループット比は、下記(9)式で与えられる。

【 0 0 7 1 】

【 数 9 】

$$\text{Throughput ratio} = \frac{T_{CS}}{T_{CA}} \quad (9)$$

【 0 0 7 2 】

さらに、上記(2)式、(5)式、(7)式を代入すると、上記(9)式のスループット比は、下記(10)式で与えられる。

20

【 0 0 7 3 】

【 数 1 0 】

$$\text{Throughput ratio} \cong \frac{2(T_{\text{reg}} + T_{1\text{st}} + T_{2\text{nd}})}{T_{1\text{st}}} \quad (10)$$

【 0 0 7 4 】

ここで、第1のサブワードのビット数kを8としたときには、評価相の遅延時間 $T_{SA}$ は、おおむね $T_{1st}$ に等しい。本発明のワードブロック4を自律制御で動作させると、半導体記憶装置1のサイクル時間は、事前充電の遅延時間の影響がなくなる。このため、自律制御で動作させるワードブロック4を従来の同期型のCAMと比較すると、遅延時間は著しく減少する、つまり、スループットが大きくなる。

30

【 0 0 7 5 】

次に、WOSとPOPとを含んだ半導体記憶装置1Aについて説明する。

図13は、WOSとPOPとを含んだワード回路50を示す回路図である。

図13に示すように、本発明のワード回路50は、8ビットの第1段サブワード回路54aと、セグメント化回路55と、自律事前充電回路56と、136ビットの第2段サブワード回路54bとを含んで構成されている。

40

図13(a)に示すように、8ビットの第1段サブワード回路54aは、8個のNANDセル58と、自律事前充電用のP型MOSトランジスタ60と、弱いフィードバック用P型MOSトランジスタ62とから構成されている。

【 0 0 7 6 】

入力制御部3からの8ビットのサブワードがこの8個のNANDセル58に入力されると、記憶されている8ビットのサブワードと比較される。セグメント化回路55の出力であるML1<sub>0</sub>は、入力されたサブワードが一致したときはハイレベルとなり、入力されたサブワードが不一致のときは、ローレベルとなる。

【 0 0 7 7 】

50

MLは、自律事前充電回路56により制御される自律事前充電用のP型MOSトランジスタ60で充電される。弱いフィードバック用P型MOSトランジスタ62は、NANDセル58によるMLの電荷分配の問題を解消するために使用されている（非特許文献14、15、24参照）。ML1<sub>0</sub>は、自律事前充電回路56に接続されると共に、136ビットの第2段サブワード回路54bに接続されている。

【0078】

136ビットの第2段サブワード回路54bは、17個のローカル一致回路70とグローバル一致回路72とを含んで構成されている。一致回路とは、検索するワードと記憶されているワードの一致を判定する回路である。この操作を行う回路が一致回路である。このような階層的な設計は、ワード回路50をローカル一致回路70とグローバル一致回路72とに分割する（非特許文献25参照）。

10

【0079】

図13(b)に示すように、各ローカル一致回路70は、インバータ71と、自律事前充電用のP型MOSトランジスタ60と、弱いフィードバック用P型MOSトランジスタ62と、8個のNANDセル58と、ゲートにセグメント化回路55の出力ML1<sub>0</sub>が入出されるN型MOSトランジスタ74とから構成されている。一度ML1<sub>0</sub>がアサート、つまり有効にされると、17個のローカル一致回路70が動作する。それ以外の場合には、8ビットの第1段サブワード回路54aが不一致であるので、17個のローカル一致回路70は動作しない。

【0080】

20

残りの136ビットのサブワード54bは、入力制御部3から並列に送出され、8ビットずつ17個のサブ-サブワードに分割される。各サブ-サブワードは、ローカル一致回路70により処理される。

【0081】

ローカル一致回路70の出力(LML1<sub>i</sub> (0 ≤ i < 17))は、入力されたサブ-サブワードが一致したときはハイレベルとなり、入力されたサブ-サブワードが不一致のときは、ローレベルとなる。ML1<sub>0</sub>からLML1<sub>i</sub>の遅延時間は、T<sub>2ndL</sub>で定義される。

【0082】

LML1<sub>i</sub>の全ての出力は、グローバル一致回路72に接続されている。

30

図13(d)に示すように、グローバル一致回路72は、17個の直列接続されたN型MOSトランジスタ74と、自律事前充電用のP型MOSトランジスタ60と、弱いフィードバック用P型MOSトランジスタ62と、インバータ71とを含んで構成されている。LML1<sub>i</sub>の各出力は、グローバル一致回路72の17個の直列接続されたN型MOSトランジスタ74の各ゲートに入力される。

【0083】

全てのLML1<sub>i</sub>の出力がアサート、つまり有効にされると、グローバル一致回路72の出力ML2<sub>0</sub>が有効、つまりハイレベルが出力される。この状態は、検索ワードが記憶されているワードと一致したことを意味している。これ以外の状態では、ML2<sub>0</sub>はローレベルである。

40

【0084】

LML1<sub>i</sub>からML2<sub>0</sub>の遅延時間は、T<sub>2ndG</sub>で定義される。これから、2段目のセグメント54bにおける遅延時間T<sub>2nd</sub>は、下記(11)式で与えられる。

【0085】

【数11】

$$T_{2nd} = T_{2ndL} + T_{2ndG} \quad (11)$$

【0086】

2段目のセグメントが動作している間に、図13(c)に示す自律事前充電回路56も

50

動作している。図 13 (c) に示すように、自律事前充電回路 56 は、AND ゲート 78 が直列接続された回路である。ML<sub>10</sub> がアサート、つまり有効にされると、遅延時間  $T_{delay}$  が定義される。

【0087】

自律事前充電回路 56 の出力は、遅延時間  $T_{delay}$  の後で無効となる。それから、自律事前充電回路 56 がワード回路 50 の全ての ML を充電する。

【0088】

図 14 は、図 13 のワード回路 50 の動作を示すタイムチャートである。

図 14 に示すように、検索ワードは 8 ビットのサブワード 54a と 136 ビットのサブワード 54b に分割され、これらが、 $T_{CA}$  という周期に基づく速度で入力制御部 3 から送出される。8 ビットのサブワード 54a が第 1 のセグメント中で一致したとき、残りの 136 ビットのサブワード 54b が後段で処理される。サーチワードは、 $T_{CA}$  という周期に基づいて変化するので、136 ビットのサブワードは  $T_{CA}$  の範囲内でローカル一致回路 70 にアサイン、つまり有効とされる必要がある。このため、ローカル一致回路 70 の遅延時間は下記 (12) 式の条件を満足させる必要がある。

【0089】

【数 12】

$$T_{2ndL} < T_{CA} \quad (12)$$

10

20

【0090】

各サブ-サブワードがローカル一致回路 70 に一致したとき、グローバル一致回路 72 は検索ワードが一致するか否かを決定する。これと同時に、自律事前充電回路 56 が動作する。

【0091】

グローバル一致回路 72 の動作の後で全ての ML を充電する必要があるので、遅延時間  $T_{delay}$  は、下記 (13) 式の条件を満足させる必要がある。

【0092】

【数 13】

$$T_{delay} > T_{2nd} \quad (13)$$

30

【0093】

次に検索をするワードは、一致したワード回路 70 において  $T_{slow}$  の後で有効となる。このため、 $T_{slow}$  は、下記 (14) 式の条件を満足させる必要がある。

【0094】

【数 14】

$$T_{slow} > T_{reg} + T_{1st} + T_{delay} + T_{prec} \quad (14)$$

40

【0095】

ここで、 $T_{prec}$  は、全ての ML の事前充電の遅延時間である。

上記 (3) 式、(4) 式、(14) 式から、比較される後段のサブワード 54b の数 (m) は下記 (15) 式で決定される。

【0096】

【数 15】

$$m = \frac{(T_{reg} + T_{delay} + T_{prec})}{T_{1st}} \quad (15)$$

50

## 【 0 0 9 7 】

ここで、図 1 0 及び 1 4 に示されているサイクルタイム  $T_{CA}$  は、おおむね  $T_{1st}$  である。

## 【 0 0 9 8 】

( 2 5 6 × 1 4 4 ビットの半導体記憶装置 )

本発明の 2 5 6 × 1 4 4 ビットの半導体記憶装置 1、1 A について説明する。

本発明の 2 5 6 × 1 4 4 ビットの半導体記憶装置 1、1 A を、セグメント法を用いた従来の同期型 C A M と比較する。比較例の従来の同期型 C A M は、1 段目のサブワードのビット数は  $k = 8$  であり、2 段目のサブワードのビット数 ( $n - k$ ) は 1 3 6 ビットである。本発明の半導体記憶装置 1、1 A も同じワード構成である。本発明の半導体記憶装置 1、1 A における 2 段目のサブワードの構成は、階層型である (階層型のサブワードは非特許文献 2 5 参照)。

10

## 【 0 0 9 9 】

本発明と比較例の半導体記憶装置 1、1 A は、9 0 n m の C M O S 技術に基づいて評価されている。記憶させるワードは、一様乱数分布を有している。9 0 n m は、用いた C M O S 製造工程の最小加工寸法である。

## 【 0 1 0 0 】

( 遅延時間の評価 )

表 1 は、本発明の半導体記憶装置 1 の各回路の遅延時間を示す表である。具体的には、本発明の半導体記憶装置 1 を、ソフトウェアとして H S P I C E (シノプシス社製の S P I C E (Simulation Program with Integrated Circuit Emphasis)) を用いて評価した。M O S トランジスタのドレイン電圧は、 $V_{DD} = 1 V$  とし、温度は室温とした。

20

自律事前充電回路 5 6 は、( 1 3 ) 式を満足するように設計した。( 1 5 ) 式を使用して、 $m$  を 3 に設定した。これから、( 2 ) 式及び ( 8 ) 式から  $T_{CA}$  が 2 6 1 p s ( $1 p s = 10^{-12} s$ ) になった。製造工程の変動により、 $T_{2nd}$  は  $T_{delay}$  よりも大きくなる可能性があり、この場合は ( 1 3 ) 式を満足しなくなる。しかしながら、( 1 5 ) 式を満足させるために、 $m$  を 3 よりも大きくすることにより対処が可能である。これにより、入力制御部 3 の面積に影響を与えるが、サイクル時間  $T_{CA}$  には直接影響しない。

表 1 に示すように、 $T_{reg}$  は 5 1 p s、 $T_{1st}$  は 2 5 9 p s、 $T_{2ndL}$  は 2 2 5 p s、 $T_{2ndG}$  は 2 4 3 p s、 $T_{delay}$  は 5 0 0 p s、 $T_{prec}$  は 8 1 p s である。

30

【表 1】

	$T_{reg}$	$T_{1st}$	$T_{2ndL}$	$T_{2ndG}$	$T_{delay}$	$T_{prec}$
遅延時間 (ps)	51	259	225	243	500	81

## 【 0 1 0 1 】

図 1 5 は、本発明の 9 0 n m の C M O S プロセスでの半導体記憶装置 1、1 A について、シミュレーションの結果を示すタイミングチャートである。

40

図 1 5 に示すように、後に続く検索ワードが使用しないで異なるワード回路に割り当てられるので、本発明の半導体記憶装置 1、1 A は、短い周期遅延に基づく  $T_{CA}$  で動作する。

## 【 0 1 0 2 】

( サイクル時間 )

図 1 6 は、本発明の自律制御をした半導体記憶装置 1、1 A と比較例の C A M のサイクル時間を比較した図である。

図 1 6 に示すように、比較例の C A M のサイクル時間は、( 7 ) 式で決まり、1 4 5 4 p s である。本発明の W O S を用いた半導体記憶装置 1 のサイクル時間は、1 段目のサブ

50



ワード回路の遅延時間で動作する。このため、本発明のWOSを用いた半導体記憶装置1のサイクル時間は、従来のCAMに比較して64.1%減少し、555psである。

【0103】

さらに、本発明のWOSとPOPを用いた半導体記憶装置1Aのサイクル時間は、事前充電の遅延時間の影響がなくなるので、従来のCAMに比較して82%減少し、約261psの遅延時間で動作する。

【0104】

(消費電力)

次に、半導体記憶装置1、1Aの消費電力について説明する。

半導体記憶装置1、1Aの消費電力は下記(16)で与えられる。

10

【0105】

【数16】

$$E_{total} = E_{match} + E_{search} + E_{ctrl} \quad (16)$$

【0106】

ここで、 $E_{match}$ 、 $E_{search}$ 、 $E_{ctrl}$ は、それぞれML、SL、制御信号の消費電力である。

【0107】

入力の第1の8ビットのサブワード54aが、第1段のサブワード回路において、不一致の場合には、ローカル一致回路70は動作しない。さらに、グローバル一致回路72は、各サブ-サブワードがローカル一致回路70と一致したときだけ動作する。このため、MLの消費電力は、下記(17)式で与えられる。

20

【0108】

【数17】

$$E_{match} = E_{1st} \left( \frac{1}{2} \right)^k + 17 E_{2ndL} \left( \frac{1}{2} \right)^{16} + E_{2ndG} \left( \frac{1}{2} \right)^{144} \quad (17)$$

【0109】

ここで、 $E_{1st}$ 、 $E_{2ndL}$ 、 $E_{2ndG}$ は、それぞれ1段目のサブワード回路54a、ローカル一致回路70、グローバル一致回路72の消費電力である。

30

【0110】

MLのスイッチング確率は非常に低いと同時に、SLは新しい検索ワードがアサインされたときに変化する。

【0111】

(従来型のCAMの消費電力)

制御信号の消費電力である $E_{ctrl}$ は、従来の同期式のCAMにおいては、大局的制御信号であるクロック信号に関係している。

クロック信号は、全ての自律事前充電用のP型MOSトランジスタ60をオンにする(図10参照)。このため、従来の同期式のCAMの制御信号の消費電力である $E_{ctrl(sync)}$ は、下記(18)式で与えられる。

40

【0112】

【数18】

$$E_{ctrl(sync)} = E_{clk\_buffer} + E_{prec} \quad (18)$$

【0113】

ここで、 $E_{clk\_buffer}$ はクロックバッファの消費電力であり、 $E_{prec}$ は全ての自律事前充電用のP型MOSトランジスタ60の消費電力である。

50

## 【 0 1 1 4 】

(本発明の半導体記憶装置の消費電力)

従来の同期型CAMに対して、本発明の半導体記憶装置1Aの入力信号の消費電力 $E_{ctrl(self)}$ は、自律制御による半導体記憶装置1Aの局所的制御信号( $lctrl$ )に関係している。一致したワード回路における事前充電用トランジスタだけが $prec$ 信号(事前充電信号)でオンするので、事前充電用のP型MOSFET60を充電する消費電力が低減する。さらに、事前充電回路56は1段目のセグメントが一致したときだけ動作する。このため、本発明の半導体記憶装置1Aの制御信号の消費電力である $E_{ctrl(self)}$ は、下記(19)式で与えられる。

## 【 0 1 1 5 】

【数19】

$$E_{ctrl(self)} = (E_{prec} + E_{self\_precharge}) \left( \frac{1}{2} \right)^8 \quad (19)$$

## 【 0 1 1 6 】

ここで、 $E_{self\_precharge}$ は、事前充電回路の消費電力である。

## 【 0 1 1 7 】

(本発明の半導体記憶装置の消費電力)

表2は、本発明の半導体記憶装置1Aと比較例のCAMの消費電力を比較した表である。平均サイクル時間及び使用トランジスタ数も一緒に示している。

本発明の半導体記憶装置1Aの平均サイクル時間は261psであり、比較例の同期型CAMの平均サイクル時間は1454psである。これから、本発明の半導体記憶装置1Aのスループットは、比較例のCAMの5.57倍であることが分かる。

【表2】

		本発明のCAM	従来の同期型CAM
平均サイクル時間 (ps)		261	1454
消費エネルギー／検索 (fJ/bit/search)	一致	0.0006	0.0003
	検索	0.160	0.160
	Ctrl	0.001	0.103
	合計	0.162	0.263
トランジスタ数		408k	372k

## 【 0 1 1 8 】

本発明の半導体記憶装置1Aは局所的制御信号( $lctrl$ )を使用しており制御信号の消費電力が減少するので、全消費電力は、比較例の同期型CAMの61.6%に減少した。

## 【 0 1 1 9 】

本発明の半導体記憶装置1Aでは、ワード回路を局所的に制御するので自律事前充電制御回路が必要となる。このため本発明のCAMの面積はごくわずかであるが、8%増加する。本発明の半導体記憶装置1Aのトランジスタ数は408k個(40.8万個)であり、比較例の同期型CAMのトランジスタ数は372k個(37.2万個)である。

## 【 0 1 2 0 】

表3は、本発明の半導体記憶装置1Aを従来例と対比した表である。

ハイブリッド型の利点は、低消費電力と高速動作であり、それぞれNAND型のセルとNOR型のセルによる。

本発明の半導体記憶装置1Aは、最小加工寸法が0.1μmのハイブリッド型CAMに比較すると、サイクルタイムは8%に短縮され、1検索当たりの消費エネルギー／ビット

10

20

30

40

50

は 2 3 % に減少した。さらに、本発明の半導体記憶装置 1 A は、最小加工寸法が 6 5 n m の N A N D 型 C A M に比較すると、約 3 倍の速度で動作する。

【表 3】

(非特許文献)	本発明	PF-CDPD (14)	電流セーブ (17)	パイプライン (18)	ハイブリット (21)	Ipv6 マクロ (23)
構造	256 × 144	256 × 128	256 × 144	1024 × 144	1024 × 144	256 × 144
CAM	BCAM	BCAM	TCAM	TCAM	TCAM	TCAM
セル	NAND	NAND	NOR	NOR	NAND+NOR	NAND
製造技術	90nm	0.18 μ m	0.13 μ m	0.18 μ m	0.10 μ m	65nm
サイクル時間 (ns)	0.26	5	4	7	3.3	>0.76
消費エネルギー／ 検索 (fJ/bit/search)	0.162	2.33	1.3	2.89	0.7	0.113

【 0 1 2 1 】

(変形例)

次に、本発明の半導体記憶装置 1、1 A のメモリセルを、3 値を記憶させる T C A M とした場合について説明する。

T C A M では、「0」、「1」、「X」というように 3 つの状態を扱う。「X」は、「ドントケア (Don't care)」とも呼ばれている。

図 1 7 は、T C A M 8 0 の回路図である。

図 1 7 に示すようには、T C A M 8 0 は、図 8 に示す B C A M のメモリセル 3 0 をマッチ線 (M L) に対して 2 つ並列にした構成を有している。つまり、T C A M 8 0 は、上段の「0」、「1」を記憶させる N A N D 型の第 1 のメモリセル 8 1 と、下段の「X」を記憶させる N A N D 型の第 2 のメモリセル 8 2 と、複数の伝送用トランジスタ 8 4 と、M L 用伝送用トランジスタ 8 5 とを含んで構成されている。N A N D 型の第 1 のメモリセル 8 1 には、W L と、B L / S L と、B L バー / S L バーとが接続される。N A N D 型の第 2 のメモリセル 8 2 には、W L と D C L (ドントケアライン) と、D C L バーとが接続される。M L は、M L 用伝送用トランジスタ 8 5 を介して、N A N D 型の第 1 のメモリセル 8 1 と、N A N D 型の第 2 のメモリセル 8 2 に接続される。

【 0 1 2 2 】

図 1 に示す半導体記憶装置 1、1 A の C A M ブロック 2 を、図 1 7 でその一例を示した T C A M 8 0 とし、入力制御部 3 等を 2 値から 3 値のデータとすることにより、半導体記憶装置 1、1 A は 3 値のデータの連想メモリとして動作する。

【 0 1 2 3 】

本発明は、上記実施の形態に限定されるものではなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

【符号の説明】

【 0 1 2 4 】

1、1 A : 半導体記憶装置

2 : C A M ブロック

3 : 入力制御部

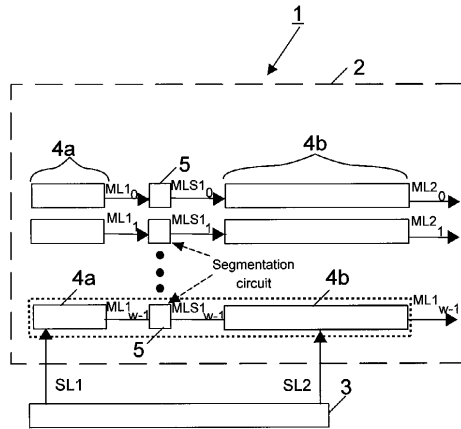
4 : ワードブロック

4 a : k ビットのサブワード

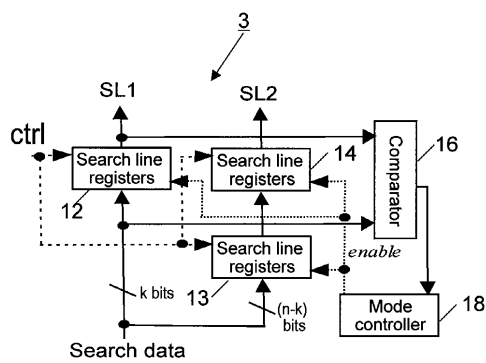
4 b : ( n - k ) ビットのサブワード

5、55：セグメント化回路	
12、13、14：レジスタ	
16：コンパレータ	
18：モード制御部	
20：ワード回路	
21：パストランジスタ	
30：BCAMセル	
32：フリップフロップ	
33、84：伝送用トランジスタ	
40：自律制御によるワード回路	10
50：WOSとPOPとを含んだワード回路	
54a：8ビットの第1段サブワード回路	
54b：136ビットの第2段サブワード回路	
56：自律事前充電回路	
58：NANDセル	
60、76：自律事前充電用のP型MOSトランジスタ	
62：弱いフィードバック用P型MOSトランジスタ	
70：ローカル一致回路	
71：インバータ	
72：グローバル一致回路	20
74：N型MOSトランジスタ	
78：ANDゲート	
80：TCAM	
81：NAND型の第1のメモリセル	
82：NAND型の第2のメモリセル	
85：ML用伝送用トランジスタ	

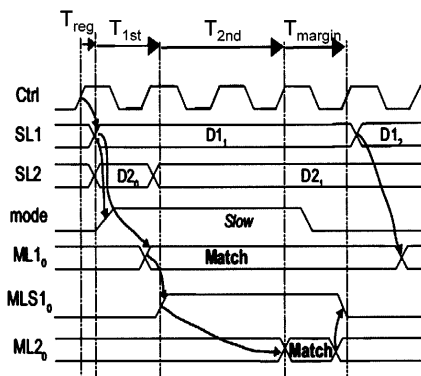
【図 1】



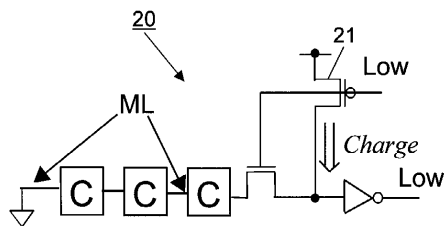
【図 2】



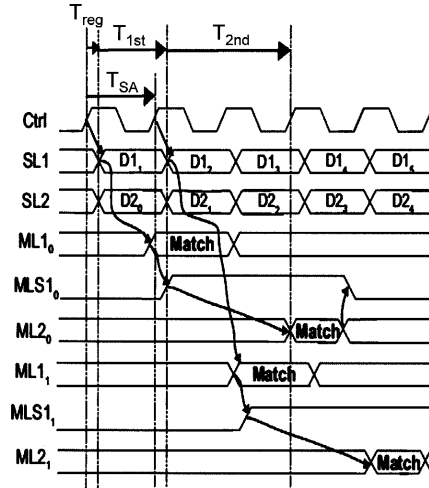
【図 4】



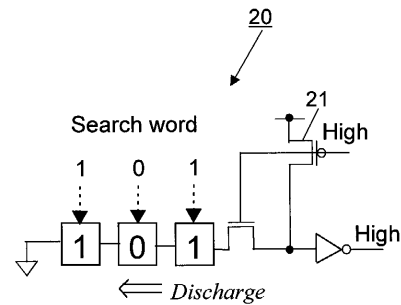
【図 5】



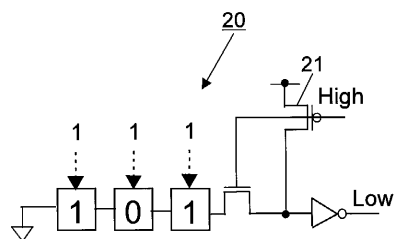
【図 3】



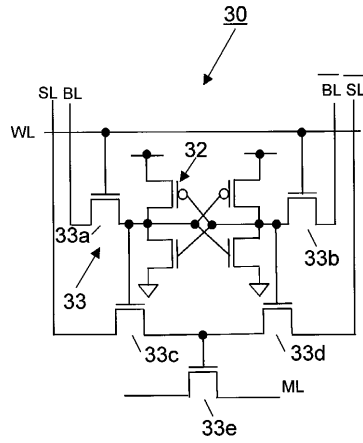
【図 6】



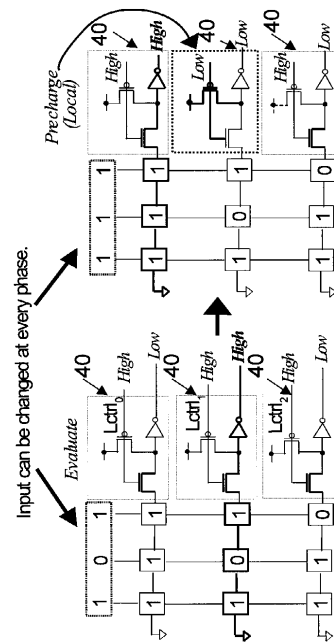
【図 7】



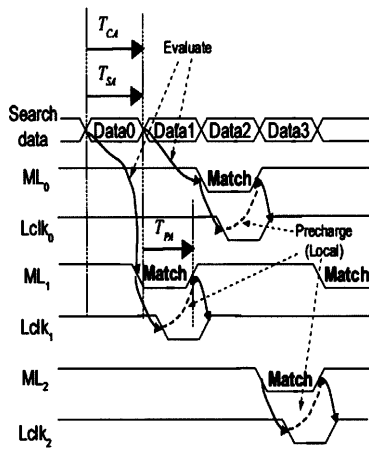
【図 8】



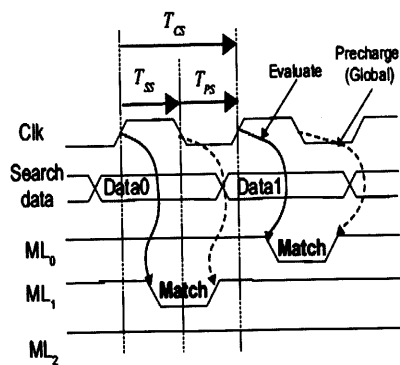
【図 9】



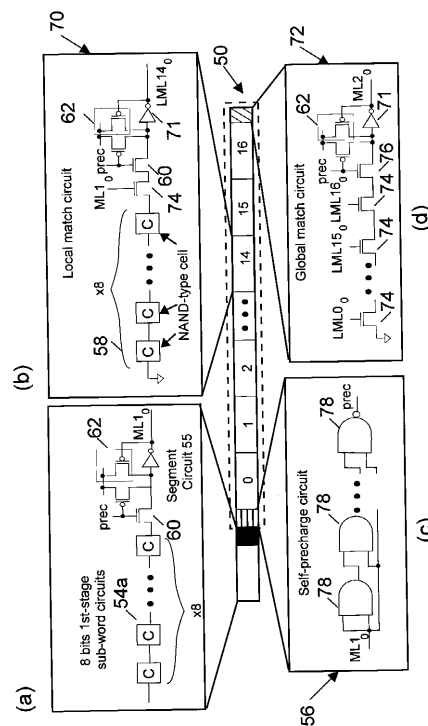
【図 10】



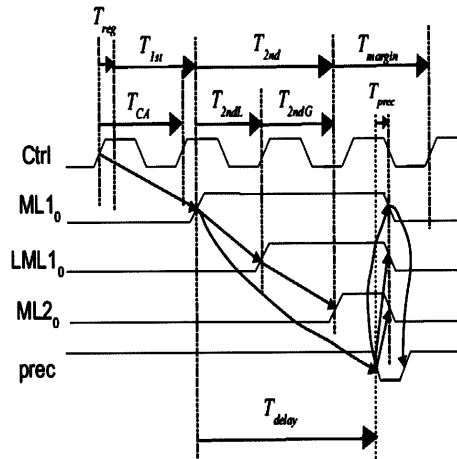
【図 12】



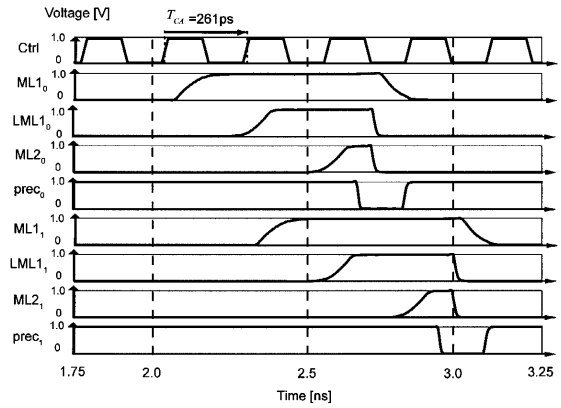
【図 13】



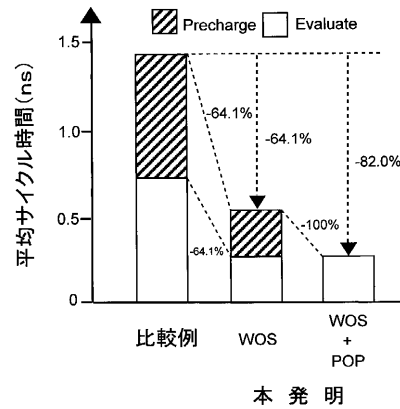
【図 14】



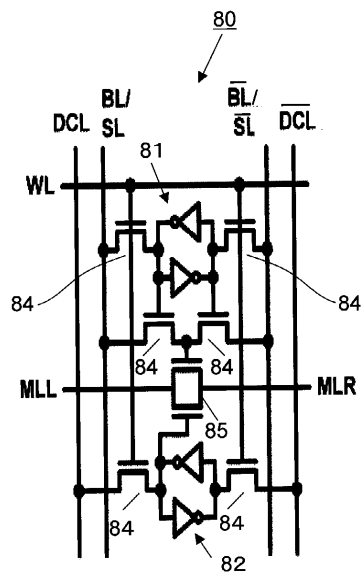
【図 15】



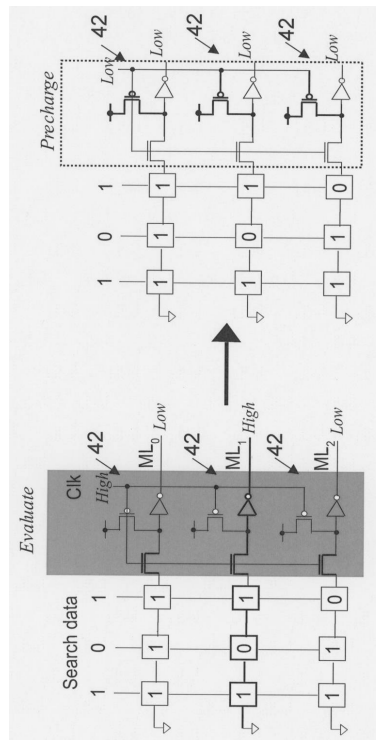
【図 16】



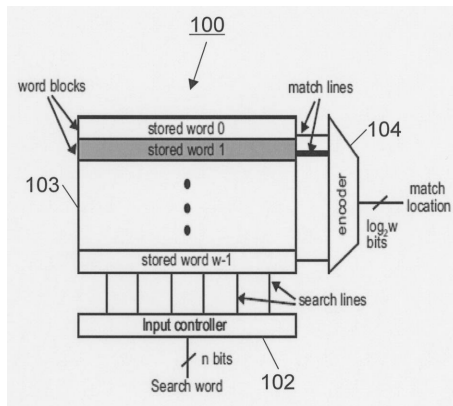
【図 17】



【図 11】



【図 18】





---

フロントページの続き

(72)発明者 ガウデット, ヴィンセント

カナダ国、N 2 L 3 G 1 オンタリオ州ウォーターラー、ユニバーシティ・アヴェニュー・ウエスト 2 0 0 ユニバーシティ・オブ・ウォーターラー内

審査官 塩澤 如正

(56)参考文献 特開平 0 7 - 0 1 4 3 9 1 ( J P , A )

特開平 0 2 - 3 0 8 4 9 9 ( J P , A )

特開平 0 3 - 2 1 2 8 9 6 ( J P , A )

特開平 0 6 - 3 3 3 3 9 5 ( J P , A )

特開 2 0 1 3 - 0 3 7 7 5 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 5 / 0 4