

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5998381号  
(P5998381)

(45) 発行日 平成28年9月28日(2016.9.28)

(24) 登録日 平成28年9月9日(2016.9.9)

(51) Int.Cl.

G 11 C 15/04 (2006.01)

F 1

G 11 C 15/04 6 3 1 E

請求項の数 13 (全 25 頁)

(21) 出願番号 特願2012-105558 (P2012-105558)  
 (22) 出願日 平成24年5月6日 (2012.5.6)  
 (65) 公開番号 特開2013-235620 (P2013-235620A)  
 (43) 公開日 平成25年11月21日 (2013.11.21)  
 審査請求日 平成27年4月30日 (2015.4.30)

(73) 特許権者 504157024  
 国立大学法人東北大学  
 宮城県仙台市青葉区片平二丁目1番1号  
 (74) 代理人 100082876  
 弁理士 平山 一幸  
 (72) 発明者 羽生 貴弘  
 宮城県仙台市青葉区片平二丁目1番1号  
 国立大学法人東北大学内  
 (72) 発明者 松永 翔雲  
 宮城県仙台市青葉区片平二丁目1番1号  
 国立大学法人東北大学内  
 (72) 発明者 鬼沢 直哉  
 カナダ国、H 3 A 2 A 7 ケベック州モントリオール、ユニバーシティ・ストリート 3480 マギル・ユニバーシティ内  
 最終頁に続く

(54) 【発明の名称】半導体記憶装置

## (57) 【特許請求の範囲】

## 【請求項 1】

レジスタとコンパレータとモード制御部とを含んで構成される入力制御部と、前記入力制御部に接続される連想メモリブロックと、  
 を含み、

前記連想メモリブロックの各ワード回路は、前記入力制御部の第1のサーチラインに接続されるkビットの第1段サブワード回路と、前記入力制御部の第2のサーチラインに接続されるn-kビット(ここで、n-k > kである)の第2段サブワード回路と、前記第1段サブワード回路と前記第2段サブワード回路とを接続するセグメント化回路と、を備え、

前記第2段サブワード回路は、分割されたサブ-サブワード回路と、前記サブ-サブワード回路のそれぞれに接続されるローカル一致回路と、前記サブ-サブワード回路全体のグローバル一致回路とからなり、

前記サブ-サブワード回路のそれぞれには、前記入力制御部から検索ワードが並列に送出され、前記検索ワードと前記サブ-サブワード回路のそれぞれにおいて記憶されているワードとの一致が前記ローカル一致回路で判定され、

前記ローカル一致回路の全ての出力は、前記グローバル一致回路に入力される、半導体記憶装置。

## 【請求項 2】

前記サブ-サブワード回路はkビットである、請求項1に記載の半導体記憶装置。

## 【請求項 3】

前記入力制御部は、高速モード及び低速モードで動作する、請求項 1 又は 2 に記載の半導体記憶装置。

## 【請求項 4】

前記入力制御部は、前記第 1 段サブワードが検索ワードと一致しないと判定した場合には、異なる入力に対して連続的に一致動作を続けるように前記高速モードで動作する、請求項 3 に記載の半導体記憶装置。

## 【請求項 5】

前記入力制御部は、前記第 1 段サブワードが検索ワードと一致すると判定した場合には、前記低速モードで動作する、請求項 3 又は 4 に記載の半導体記憶装置。

10

## 【請求項 6】

前記連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、前記ワード回路内において一致したマッチ線だけが、前記ワード回路内で生成された局所的制御信号により充電される、請求項 1 ~ 5 の何れかに記載の半導体記憶装置。

## 【請求項 7】

前記連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、前記ワード回路のグローバル一致回路の動作の後で前記ワード回路のマッチ線が充電される、請求項 1 ~ 5 の何れかに記載の半導体記憶装置。

## 【請求項 8】

前記ローカル一致回路は、ワード毎に非同期又は同期して制御される、請求項 1 ~ 7 の何れかに記載の半導体記憶装置。

20

## 【請求項 9】

前記入力制御部は、同期信号又は非同期信号により駆動される、請求項 1 ~ 8 の何れかに記載の半導体記憶装置。

## 【請求項 10】

前記連想メモリブロックは、2 値の連想メモリセルからなる、請求項 1 ~ 9 の何れかに記載の半導体記憶装置。

## 【請求項 11】

前記連想メモリブロックは、3 値の連想メモリセルからなる、請求項 1 ~ 9 の何れかに記載の半導体記憶装置。

30

## 【請求項 12】

前記ワード回路は、自律事前充電回路を含んで構成されている、請求項 6 又は 7 に記載の半導体記憶装置。

## 【請求項 13】

前記ローカル一致回路を、ワード毎に非同期で制御し、検索ワードと記憶されているワードの一致を判定する一致操作の後で、一致したワードのマッチラインを、局所的制御信号により自律事前充電し、自律事前充電における遅延時間  $T_{PA}$  を、前記連想メモリブロックのサイクルタイム  $T_{CA}$  に影響しないように動作させる、請求項 8 に記載の半導体記憶装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体記憶装置及びその駆動方法に関する。さらに、詳しくは、本発明は、高速でかつ低消費電力で動作する、半導体記憶装置及びその駆動方法に関する。

## 【背景技術】

## 【0002】

半導体メモリの一種である連想メモリ (Content-Addressable Memory、以下、CAM と略す。) は、高速かつ低電力な機能メモリとして使用されている。CAM は、入力される検索ワードを記憶されたワードと比較するルックアップテーブルの機能を有しており、C

50

CAMは、完全に並列で等しい検索方法で一致したワードを高速で出力する。

【0003】

CAMは、パラメトリック曲線の抽出（非特許文献1参照）、デジタル画像処理変換の特徴抽出法で用いられるハフ（Hough）変換（非特許文献2参照）、データ圧縮のアルゴリズムの一種であるLempel-Ziv変換（非特許文献3参照）、人体通信の制御装置（非特許文献4参照）、周期事象発生器（非特許文献5参照）、キャッシュメモリ（非特許文献6参照）、ウィルス検出用プロセッサ（非特許文献7参照）等に使用されている。

【0004】

現在では、CAMは、主としてネットワークルータやネットワークスイッチのパケット制御に用いられている（非特許文献8～11参照）。

10

【0005】

図18は、従来のCAMの構成を示すブロック図である。図18に示すように、従来のCAM100は、入力制御部102と、記憶領域であるワードブロック103と、符号器104を含んで構成されている。検索ワードは、サーチライン（Search Line、以下、SLと略す。）から記憶されているワードブロック（テーブルとも呼ぶ。）103に送出される。CAM100中のビット数は通常36から144ビットである。典型的なCAM100中のワードブロックの数は数百から3万2千位である。各入力又はワード回路は、数ダースのCAMセルを含んでいる。各ワードブロック103は、検索ワードと記憶されたワードが一致しているか又は不一致であるかを示すマッチライン（Match Line、以下、MLと略す。）を有している。

20

【0006】

入力される検索ビットに伴う各CAMセルにおける比較の結果は、CAMセルに付属してマッチライン（ML）に接続されるパストランジスタのオフかオンかにより決定される。MLは符号器104に接続されている。符号器104は、MLが一致した状態にある2値の一致した場所（アドレス）を生成する。

【0007】

ワードブロック又はワード回路は、通常、ダイナミック論理で構成されており（非特許文献12参照）、NOR型（非特許文献12参照）又はNAND型（非特許文献13～15参照）の構造に分類されている。

30

【0008】

NOR型のワード回路において、NOR型のCAMセルのパストランジスタはMLと接地ライン（グラウンドラインとも呼ばれている。）との間に並列に接続されているので、ワード回路は高速で動作する。CAMでは記憶されているワードの殆どが入力の検索ワードと不一致であるので、殆どのワード回路は不一致の状態である。このため、不一致のワード回路は、NOR型のセル中のML容量を高頻度で放電することになり、大きな電力を消費する。

【0009】

上記NOR型のCAMセルは高速であるが、消費電力が大きい。このため、雑音耐性を有しMLの消費電力を低減するために、低電圧化の試みとして電流駆動型の回路が提案されている（非特許文献16及び17参照）。

40

【0010】

一方、NAND型のCAMセルは、NAND型のワード回路において、パストランジスタがMLと接地ラインとの間に直列に接続されているので、ワード回路は中速で動作する。一致したワード回路だけがML容量を放電するので、NAND型のワード回路は、NOR型のワード回路に比較して、消費電力は低下する。

【0011】

上記NAND型のCAMセルは、消費電力が小さいが、中速である。このため、NAND型のCAMセルのスループットを増大させるために、PFD-CDPD（pseudo-foottles clock-and-data precharged dynamic）ゲートという回路が提案されている（非特許文献14及び15参照）。

50

## 【0012】

従来の同期式のCAMでは、次に検索されるワードは、現在の検索が完了してから有効にされる。一致動作の最悪の場合の遅延時間は、通常はワードのビット数に比例するので、従来の同期式のCAMのスループットは、CAMのワードのビット数によって制限される。

## 【0013】

CAMは数百以上のワードを記憶するメモリセルと入力データ間の検索を並列に行い、一致ワードのアドレスを出力する。従来の同期式のCAMでは、全体をクロック信号で一括制御しており、その速度はワード回路のビット長による全体遅延で決定されていた。インターネットの次世代プロトコル（通信手順）であるIPv6においてはそのワードのビット長は144ビット以上にも達し、CAMの速度を低下させる要因となっている。さらに、近年のネットワークトラフィックの増加により、記憶すべきエントリ数も増え、消費電力が増大している。

## 【0014】

従来のCAMワード回路方式として、低電力化のためのワード回路のセグメント化手法が知られている。この手法では、ワード回路のセグメント化により、初めに先頭の数ビットの検索を行い、一致及び不一致を判定し、残りの大半の部分のワード回路の動作を停止させることで、低電力化を図っていた。しかし、この方法では、セグメント間にセンスアンプなどを追加する必要があり、遅延が増大する要因となっていた。このワード回路全体の遅延は、各セグメントの遅延と各々のセンスアンプの遅延の合計で決定される。

10

## 【0015】

このセグメント化手法における低電力化効果を保ちつつ、高速動作を実現する方法として、アーキテクチャレベルでは、CAMセルのスループットを増大させるために、パイプラインを用いた回路が提案されている（非特許文献18、19参照）。

## 【先行技術文献】

## 【特許文献】

## 【0016】

## 【特許文献1】特開2006-236515

## 【非特許文献】

## 【0017】

30

【非特許文献1】M. Meribout, T. Ogura, and M. Nakanishi, "On using the CAM concept for parametric curve extraction," IEEE Transactions on Image Processing, vol. 19, no. 12, pp. 2126-2130, Dec. 2000

【非特許文献2】M. Nakanishi and T. Ogura, "A real-time CAM-based Hough transform algorithm and its performance evaluation," in Proc. 13th International Conference on Pattern Recognition, 1996, vol. 2, pp. 516-521, Aug. 1996

【非特許文献3】D. J. Craft, "A fast hardware data compression algorithm and some algorithmic extensions," IBM Journal of Research and Development, vol. 42, no. 6, pp. 733-746, Nov. 1998

【非特許文献4】S. Choi, S.-J. Song, K. Sohn, H. Kim, J. Kim, N. Cho, J.-H. Woo, J. Yoo, and H.-J. Yoo, "A 24.2-mW dual-mode human body communication controller for body sensor network," in Proc. 32nd European Solid-State Circuits Conference, 2006, pp. 227-230, Sept. 2006

40

【非特許文献5】S. Choi, K. Sohn, J. Kim, J. Yoo, and H.-J. Yoo, "A TCAM-based periodic event generator for multi-node management in the body sensor network," in Proc. Asian Solid-State Circuits Conference, 2006, pp. 307-310, Nov. 2006

【非特許文献6】P.-F. Lin and J. Kuo, "A 1-V 128-kb four-way set-associative cmos cache memory using wordline-oriented tag-compare (WLOTC) structure with the content-addressable-memory (CAM) 10-transistor tag cell," IEEE Journal of Solid-State Circuits, vol. 36, no. 4, pp. 666-675, Apr. 2001

50

【非特許文献 7】C.-C. Wang, C.-J. Cheng, T.-F. Chen, and J.-S. Wang, "An adaptively dividable dual-port bitcam for virus-detection processors in mobile devices," IEEE Journal of Solid-State Circuits, vol.44, no.5, pp.1571-1581, May 2009

【非特許文献 8】N.-F. Huang, K.-B. Chen, and W.-E. Chen, "Fast and scalable multi-TCAM classification engine for wide policy table lookup," in Proc.19th International Conference on Advanced Information Networking and Applications, 2005, vol.1, pp.792-797, March 2005

【非特許文献 9】M. Kobayashi, T. Murase, and A. Kuriyama, "A longest prefix match search engine for multi-gigabit IP processing," in IEEE International Conference on Communications, 2000, vol.3, pp.1360-1364, 2000

10

【非特許文献 10】Y. Tang, W. Lin, and B. Liu, "A TCAM index scheme for IP address lookup," in Proc. First International Conference on Communications and Networking in China, pp.1-5, Oct. 2006

【非特許文献 11】N.-F. Huang, W.-E. Chen, J.-Y. Luo, and J.-M. Chen, "Design of multifield IPv6 packet classifiers using ternary CAMs," in Proc. Global Telecommunications Conference, 2001, vol.3, pp.1877-1881, 2001

【非特許文献 12】K. Pagiamtzis and A. Sheikholeslami, "Content-addressable memory (CAM) circuits and architectures: a tutorial and survey," IEEE Journal of Solid-State Circuits, vol.41, no.3, pp.712-727, March 2006

【非特許文献 13】F. Shafai, K. Schultz, G. Gibson, A. Bluschke, and D. Somppi, "Fully parallel 30-MHz, 2.5-Mb CAM," IEEE Journal of Solid-State Circuits, vol.33, no.11, pp.1690-1696, Nov. 1998

20

【非特許文献 14】H.-Y. Li, C.-C. Chen, J.-S. Wang, and C. Yeh, "An AND-type matchline scheme for high-performance energy-efficient content addressable memories," IEEE Journal of Solid-State Circuits, vol.41, no.5, pp.1108-1119, May 2006

【非特許文献 15】C.-C. Wang, J.-S. Wang, and C. Yeh, "High-speed and low-power design techniques for TCAM macros," IEEE Journal of Solid-State Circuits, vol.43, no.2, pp.530-540, Feb. 2008

【非特許文献 16】I. Arsovski, T. Chandler, and A. Sheikholeslami, "A ternary content addressable memory (TCAM) based on 4T static storage and including a current-race sensing scheme," IEEE Journal of Solid-State Circuits, vol.38, no.1, pp.155-158, Jan. 2003

30

【非特許文献 17】I. Arsovski and A. Sheikholeslami, "A mismatch-dependent power allocation technique for match-line sensing in content-addressable memories," IEEE Journal of Solid-State Circuits, vol.38, no. 11, pp.1958-1966, Nov. 2003

【非特許文献 18】K. Pagiamtzis and A. Sheikholeslami, "Pipelined Match-Lines and Hierarchical Search-Lines for Low-Power Content-Addressable Memories," IEEE Custom Integrated Circuits Conference, pp. 383-386, 2003

【非特許文献 19】K. Pagiamtzis and A. Sheikholeslami, "A low-power content-addressable memory (CAM) using pipelined hierarchical search scheme," IEEE Journal of Solid-State Circuits, vol.39, no.9, pp.1512-1519, Sept. 2004

40

【非特許文献 20】C. Zukowski and S.-Y. Wang, "Use of selective precharge for low-power on the match lines of content-addressable memories," in Proc. International Workshop on Memory Technology, Design and Testing, 1997, pp.64-68, Aug. 1997

【非特許文献 21】S. Baeg, "Low-power ternary content-addressable memory design using a segmented match line," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 6, pp. 1485 -1494, July 2008.

【非特許文献 22】S. Choi, K. Sohn, and H.-J. Yoo, "A 0.7-fJ/bit/search 2.2-ns search time hybrid-type TCAM architecture," IEEE Journal of Solid-State Circuit

50

s, vol. 40, no.1, pp.254-260, Jan. 2005

【非特許文献 2 3】C.-S. Lin, J.-C. Chang, and B.-D. Liu, "A low-power precomputation-based fully parallel content-addressable memory," IEEE Journal of Solid-State Circuits, vol.38, no.4, pp.654-662, Apr. 2003

【非特許文献 2 4】P.-T. Huang and W. Hwang, "A 65 nm 0.165 fJ/bit/search 256×144 TCAM macro design for IPv6 lookup tables," IEEE Journal of Solid-State Circuits, vol.46, no.2, pp.507-519, Feb. 2011

【非特許文献 2 5】S. Hanzawa, T. Sakata, K. Kajigaya, R. Takemura, and T. Kawahara, "A large-scale and low-power CAM architecture featuring a one-hot-spot block code for IP-address lookup in a network router," IEEE Journal of Solid-State Circuits, vol.40, no.4, pp.853-861, April 2005

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0018】**

従来の、CAMを低電力化するためのワード回路におけるセグメント化手法では、遅延時間が増大し高速で動作しなかった。

**【0019】**

上記のセグメント化手法における低電力化効果を保ちつつ、高速動作を実現するパイプラインを用いる手法では、各セグメント間に挿入されるパイプラインレジスタによる消費電力の増加が非常に大きいことと、パイプラインレジスタを設けることによるチップ面積の増加が生じていた。

**【0020】**

特許文献1に開示されたメモリを2重にする方式では、メモリが2倍必要であるため、面積及び消費電力における増加が非常に大きい。

**【0021】**

本発明は、上記課題に鑑み、遅延時間が短く、低消費電力で動作する半導体記憶装置を提供することを目的とする。

**【課題を解決するための手段】**

**【0022】**

上記目的を達成するため、本発明の半導体記憶装置は、  
レジスタとコンパレータとモード制御部とを含んで構成される入力制御部と、入力制御部に接続される連想メモリブロックと、を含み、

連想メモリブロックの各ワード回路は、入力制御部の第1のサーチラインに接続されるkビットの第1段サブワード回路と、入力制御部の第2のサーチラインに接続されるn-kビット(ここで、n-k > kである)の第2段サブワード回路と、第1段サブワード回路と第2段サブワード回路とを接続するセグメント化回路と、を備え、

第2段サブワード回路は、分割されたサブ-サブワード回路と、サブ-サブワード回路のそれぞれに接続されるローカル一致回路と、サブ-サブワード回路全体のグローバル一致回路とからなり、

サブ-サブワード回路のそれぞれには、入力制御部から検索ワードが並列に送出され、検索ワードとサブ-サブワード回路のそれぞれにおいて記憶されているワードとの一致がローカル一致回路で判定され、

ローカル一致回路の全ての出力は、グローバル一致回路に入力される。

**【0023】**

上記構成において、好ましくは、サブ-サブワード回路はkビットである。

上記構成において、好ましくは、入力制御部は高速モード及び低速モードで動作する。

上記構成において、好ましくは、入力制御部は、第1段サブワードが検索ワードと一致しないと判定した場合には、異なる入力に対して連続的に一致動作を続けるように高速モードで動作する。

上記構成において、好ましくは、入力制御部は、第1段サブワードが検索ワードと一致

10

20

30

40

50

すると判定した場合には、低速モードで動作する。

上記構成において、好ましくは、連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、ワード回路内において一致したマッチ線だけが、ワード回路内で生成された局所的制御信号により充電される。

上記構成において、好ましくは、連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、ワード回路のグローバル一致回路の動作の後でワード回路のマッチ線が充電される。

上記構成において、好ましくは、ローカル一致回路はワード毎に非同期又は同期して制御される。

上記構成において、好ましくは、入力制御部は同期信号又は非同期信号により駆動される。

上記構成において、好ましくは、連想メモリブロックは、2値の連想メモリセル又は3値の連想メモリセルからなる。

上記構成において、好ましくは、ワード回路は自律事前充電回路を含んで構成される。

#### 【0025】

上記構成において、好ましくは、ローカル一致回路を、ワード毎に非同期で制御し、検索ワードと記憶されているワードの一一致を判定する一致操作の後で、一致したワードのマッチラインを、局所的制御信号により自律事前充電し、自律事前充電における遅延時間  $T_{PA}$  を、連想メモリブロックのサイクルタイム  $T_{CA}$  に影響しないように動作させる。

10

20

#### 【発明の効果】

#### 【0026】

本発明によれば、ワード単位での独立制御に基づく高速かつ低電力のCAMを提供することができる。つまり、従来の同期式のCAMにおける、最悪のケースとも言うべきワード回路の全体遅延ではなく、セグメント化された先頭の部分ワード回路における小さな部分遅延によって検索動作のサイクル時間が決定され、従来式のCAMよりも高速動作が可能である。

#### 【0027】

さらに、ワード回路実現手法として、ワード単位での独立動作のために非同期式制御方式を用いることで、パイプラインレジスタなどを利用せず、クロック信号による消費電力を低減すると同時に、最悪遅延によらない回路実現が可能となる。もちろん、ワード単位での独立動作のために同期式回路でも実現可能である。本発明に基づくワード回路をセグメント化することにより、従来から知られているセグメント化手法での低電力化効果も併せ持っている。

30

#### 【図面の簡単な説明】

#### 【0028】

【図1】本発明の半導体記憶装置の構成を示すブロック図である。

【図2】 $m = 1$ としたときの入力制御部の構成を示すブロック図である。

【図3】高速モードで動作する入力制御部とCAMブロックのタイムチャートである。

40

【図4】低速モードで動作する入力制御部とCAMブロックのタイムチャートである。

【図5】プリチャージのブロック図である。

【図6】一致の場合のブロック図である。

【図7】不一致の場合のブロック図である。

【図8】2値のNAND型のCAMセルの回路図である。

【図9】本発明の位相オーバラップ処理に基づく自律制御によるワード回路のブロック図である。

【図10】図9の自律制御によるワード回路の動作を説明するタイムチャートである。

【図11】同期型のワード回路のブロック図である。

【図12】図11の動作を説明するタイムチャートである。

50

【図13】本発明のCAMのワード回路を示す回路図である。

【図14】図13のワード回路の動作を示すタイムチャートである。

【図15】本発明の最小加工寸法が90nmのCAMについて、シミュレーションの結果を示すタイミングチャートである。

【図16】本発明の自律制御をしたCAMと比較例のCAMのサイクル時間を比較した図である。

【図17】TCAMの回路図である。

【図18】従来のCAMの構成を示すブロック図である。

【発明を実施するための形態】

【0029】

10

以下、図面を参照しながら本発明の実施形態を具体的に説明する。

(ワード重畠型検索)

図1は、本発明のワード重畠型検索(Word Overlapped Search、以下、WOS方法と略称する。)を用いた半導体記憶装置1の構成を示すブロック図である。

図1に示すように、本発明の半導体記憶装置1は、CAMブロック2と入力制御部3を含んで構成されている。本発明の半導体記憶装置1は、連想メモリであり、CAM(Content-Addressable Memoryの略記号)とも呼ばれる。

CAMブロック2は、nビットのワードを記憶する複数のワード(w語)のワードブロック4を含んでいて、自律制御又は同期制御により動作する。

ワードブロック4は、小さなkビットのサブワード4aとこのkビットのサブワード4aに接続されるセグメント化回路5と、セグメント化回路5の出力側に接続される後段の(n-k)ビットのサブワード4bとから構成されている。つまり、ワードブロック4は、小さなkビットのサブワード4aと後段の大きな(n-k)ビットのサブワード4bとが、セグメント化回路5を介して分割されている。kビットのサブワード4aは、入力制御部3のSL1(サーチライン1)に接続されている。n-kビットのサブワード4bは、入力制御部3のSL2(サーチライン2)に接続されている。

【0030】

このような分割方法は、後のワードブロック4の稼働率を減少させるために使用されている(非特許文献20、21)。

【0031】

20

ワードとしては、2値を記憶させるbinaryCAM(以下、BCAMと略称する。)又は3値を記憶させるternaryCAM(以下、TCAMと略称する。)に適用可能である。以下の説明では、特に断らない限り半導体記憶装置1は、BCAMとして説明する。

【0032】

半導体記憶装置1において、大部分の記憶されているワードが、一致動作により入力される検索ワードの最初の数ビットの検索で不一致となる。記憶されているワードが、一様乱数分布を有していると仮定する。最初のkビットの検索で一致する確率は、下記(1)式で与えられる。

【0033】

30

【数1】

$$p_{matched} = \left(\frac{1}{2}\right)^k \quad (1)$$

【0034】

最初のkビットの検索の後で、大部分の不一致のワードブロック4は使用されない。スループットを増大させるために、本発明では使用されないブロックを使用する。本発明の半導体記憶装置1では、検索するワードは、全部のワードブロック4の長い遅延時間(T<sub>s1ow</sub>)よりも第1のセグメントの短い遅延時間(T<sub>1st</sub>)に基づく速度で処理する

50

。つまり、最初の  $k$  ビットの検索が済むと同時に、次に  $k$  ビットのサブワード 4 a が入力される。続く  $k$  ビットのサブワードが異なる限り、検索ワードは、短い遅延時間 ( $T_{1st}$ ) に基づく速度で使用していないで異なるワードブロック 4 に割り当てられる。

続くサブワードが同じであることが判明した場合、次の検索は、両方のセグメントにおいて現在の検索が完了したときに実行される。

【0035】

このため、本発明の検索方法では、平均検索時間  $T_{SA}$  は、下記(2)式で与えられる。

【0036】

【数2】

$$T_{SA} = T_{1st} \left( 1 - m \left( \frac{1}{2} \right)^k \right) + T_{slow} \left( m \left( \frac{1}{2} \right)^k \right) \quad (2)$$

10

【0037】

ここで、 $m$  は、比較される後段のサブワード数である。

【0038】

入力データのスケジューリングは、同期的に動作する入力制御部 3 により制御される。

【0039】

20

図 2 は、 $m = 1$  としたときに入力制御部 3 の構成を示すブロック図である。

入力制御部 3 は、レジスタ 12 ~ 14 と、 $k$  ビットのコンパレータ 16 と、モード制御部 18 とを含んで構成されている。コンパレータ 16 は比較回路や比較器とも呼ばれる。モード制御部 18 は、高速及び低速の二つのモードで動作する。入力制御部 3 は、同期回路方式で設計されている。この方法は、検索ワードを CAM ブロック 2 中で検索する前に処理するので、事前計算法に分類される(非特許文献 20、21)。

【0040】

検索ワードは、 $k$  ビットのサブワード 4 a と  $n - k$  ビットのサブワード 4 b に分割される。同じ第 1 のセグメントに一致する連続した  $k$  ビットのサブワード 4 a を調べるために、これらのサブワードは、コンパレータ 16 で比較される。これらのサブワードが同じでない場合には、入力制御部 3 は、 $T_{1st}$  という時間で検索ワードを CAM ブロック 2 に送出する。

30

【0041】

図 3 は、高速モードで動作する入力制御部 3 と CAM ブロック 2 のタイムチャートである。

図 3 に示すように、入力制御部 3 は、 $k$  ビットのサブワード (D1) 4 a と、 $n - k$  ビットのサブワード (D2) 4 b を、それぞれ異なるサイクルに SL1 ラインと SL2 ラインに送出する。

最初に、D1<sub>1</sub> が  $k$  ビットの第 1 のセグメント (ML1<sub>0</sub>) に一致し、一致した結果はセグメント化回路 5 に記憶(ストア)される。2 番目に、D2<sub>1</sub> が  $n - k$  ビットのサブワード 4 b が  $k$  ビットの後のセグメント (ML2<sub>0</sub>) に一致する。同時に、D1<sub>2</sub> が別の最初のセグメント (ML1<sub>0</sub>) 中で処理される。連続したサブワード D1 が異なる場合、この別の最初のセグメントは、一つ前の一致動作の際に不一致と判定されているため、ワード回路の内部状態がそのまま保持されている。一致動作とは、検索するワードと記憶されているワードの一致を判定する操作である。この操作を行う回路が一致回路である。このため、異なる入力に対して連続的に一致動作を続けることが可能となる。連続した D1 が同じ場合には、入力制御部 3 は低速モードで動作する。

40

【0042】

図 4 は、低速モードで動作する入力制御部 3 と CAM ブロック 2 のタイムチャートである。

50

各ワード回路は、一度一致と判定されると M\_L が放電されるため、次の検索、つまり、一致動作を行う前に M\_L を事前充電する必要がある。連続した D\_1 が同じ場合、同じワード回路において M\_L が放電されることになり、前段と後段のセグメントにおける一致動作が完了し、M\_L の事前充電が完了するまで、待機する必要がある。このように、低速モードにおいては、入力制御部 3 は現在の検索が CAM ブロック 2 で完了するまでは、新規に検索するワードの送出を停止する。低速モードにおける遅延時間は、下記 (3) 式で与えられる。

【0043】

【数 3】

$$T_{slow} = T_{reg} + T_{1st} + T_{2nd} + T_{margin} \quad (3)$$

10

【0044】

ここで、 $T_{reg}$ 、 $T_{2nd}$ 、 $T_{margin}$  は、それぞれ入力制御部 3 から CAM ブロック 2 までの遅延時間、n - k ビットの後のセグメントの遅延時間、低速から高速へのモード遷移の遅延時間である。

【0045】

低速モードの後で、入力制御部 3 は、高速モードで動作する。実際に、入力制御部 3 の S\_L から入力された検索ワードがワードブロック 4 中で一致したとき、ワードブロック 4 は  $T_{slow}$  の間使用できない。このため、上記 (2) 式中の比較される後段のサブワード数である m は、下記 (4) 式で与えられる条件を満たす必要がある。

20

【0046】

【数 4】

$$(m+1)T_{SA} = T_{reg} + T_{1st} + T_{2nd} + T_{margin} \quad (4)$$

【0047】

$k = 8$  とし、上記 (2) 式で与えられる平均検索時間  $T_{SA}$  が殆ど  $T_{1st}$  で決まるとする。さらに、入力制御部 3 のコンパレータ 16 は小さいとする。

【0048】

30

(従来の CAM)

一方、従来の同期型の CAM では、次の検索ワードは、現在の検索が完了した後で割り当てられる。従って、従来の同期型の CAM の検索時間 ( $T_{SS}$ ) は、下記 (5) 式で与えられる。

【0049】

【数 5】

$$T_{SS} = T_{reg} + T_{1st} + T_{2nd} \quad (5)$$

【0050】

40

ここで、 $T_{2nd}$  は n - k ビットの後段のセグメントの遅延時間で決まる。例えば、インターネットの次世代プロトコル (通信手順) である IPv6 のアドレスの検索に適用する場合には、ワードのビット長は 144 ビットである。つまり、IPv6 のように n が 144 で k が 8 の場合、n - k は 136 である。

【0051】

本発明の半導体記憶装置 1 の動作について説明する。

例えば、ワード検索を 2 段階に分割し、1 段目の検索では先頭の数ビットのみのワード検索を行う。半導体記憶装置 1 では先頭の数ビットのワード検索で大部分のワード回路を不一致と判断することができるため、大部分の 2 段目の長いワード回路は使用されず、内部状態が保持されているため、続けて次のワード検索を実行できる。この使用されていない

50

いワード回路に入力データをアサイン、つまり実行する制御回路を半導体記憶装置1の入力制御部3に組み込むことで、半導体記憶装置1は1段目の検索終了後に次のデータのワード検索を開始することができる。

【0052】

これにより、半導体記憶装置1の速度は従来のCAMのようにワードのビット長には依存せず、1段目の小さなワードのビット長による部分遅延に依存した高速動作が可能となる。

【0053】

(位相オーバラップ処理)

次に、半導体記憶装置1のワードブロック4中の自律制御に基づく位相オーバラップ処理(Phase Overlapped Processing、以下、POPと略称する。)について説明する。 10

図5～8は、NAND型セルのワード回路20のブロック図を示し、図5はプリチャージのブロック図、図6は一致の場合のブロック図、図7は不一致の場合のブロック図、図8は、NAND型のBCAMセル30の回路図である。

図5に示すように、NAND型のワード回路20は、NAND型セル中に直列接続されたパストランジスタ21を使用して構成されている。NAND型のワード回路20は、ダイナミック論理により事前充電相(プリチャージ)及び評価相(エバリュエイト)という二つの相で動作する。事前充電相では、ML(マッチ線とも呼ぶ。)はP型MOSトランジスタ21を介して充電される。

【0054】

評価相では、もしも、図6に示すように検索ワードが記憶されているワードと同じ場合、CAMセル中の全てのパストランジスタ21はオン状態である。CAMセルは、後述する図8に示すメモリセルである。従って、MLラインの容量は放電される。この状態は、「一致」と呼ばれている。なお、図6では、検索ワードを、「101」と3ビットに簡略化して示している。

【0055】

逆に、もしも、図7に示すように検索ワードが記憶されているワードと異なる場合、CAMセル中の全てのパストランジスタ21はオン状態ではない。

従って、MLラインの電圧はハイレベルを維持する。この状態は、「不一致」と呼ばれている。 30

【0056】

MLの容量は、一致した回路だけで放電するので、NAND型のワード回路20は、NOR型のワード回路に比較すると電力消費が減少する。

【0057】

図8に示すように、2値のNAND型のBCAMセル30は、フリップフロップ32と第1～第5個の伝送用トランジスタ33(33a～33e)とから構成されている。伝送用トランジスタは、転送用トランジスタとも呼ばれている。BCAMセル30には、ML、SL、WL(Word Lineの略記、ワード線とも呼ぶ。)が配設されている。MLには、ML信号が印加される。SLには、SL信号が印加される。WLには、WL信号が印加される。 40

【0058】

WLは、セルにワードを書き込みするときだけ活性化され、検索動作ではローレベルに保持されている。書き込み動作では、全てのワードの入力は、ビットラインに印加される相補的な信号であるBLと、BLバー信号により記憶される。データ“0”と“1”は、それぞれ(0, 1)と(1, 0)に対応する。検索操作、つまり、評価相では、検索ワードは、SLに印加される相補的な信号であるSLと、SLバー信号に割り当てられる。

【0059】

一度検索ワードが記憶されているワードと同じになると、MLに接続されているパストランジスタ21はオン状態となる。

【0060】

10

20

30

40

50

図9は、本発明の位相オーバラップ処理(POP)に基づく自律制御によるワード回路40のブロック図である。ワード回路40は3つだけ示している。

図9に示すように、各ワード回路40は、非同期で独立の局所的制御信号(1ctrl)により制御される。局所的制御信号(1ctrl)は、評価相(エバリュエイト)ではハイレベルであり、事前充電相(プリチャージ)ではローレベルである。

#### 【0061】

本発明のワード回路40では、一致したワード回路40のMLだけが、前の評価相(エバリュエイト)の後において、局所的制御信号(1ctrl)により充電される。他の局所的制御信号(1ctrl)はハイレベルであるので、他のワード回路40はまだ評価相の状態に留まっている。

10

#### 【0062】

さらに、WOS(Word Overlapped Searchの略記)方法を使用しているので、後の検索ワードは、使用していない他のワード回路40に割り当てられる。当該使用していない他のワード回路40は、既に充電された状態を保持しているので、入力される検索ワードは、事前充電する時間を使わないで処理される。

#### 【0063】

図10は、図9の自律制御によるワード回路40の動作を説明するタイムチャートである。

図10に示すように、一致操作の後で、一致したワードのMLは、局所的制御信号(1ctrl)により充電される。この事前充電相の間ににおいて、他の検索ワードは使用していない評価相の状態にある他のワード回路40に割り当てられる。これらの相は重複して行われるので、事前充電相の遅延時間 $T_{PA}$ は、サイクルタイム $T_{CA}$ に影響しない。このように、POP動作に基づく自律制御は、事前充電相の遅延時間 $T_{PA}$ を隠蔽するように働く。通常、評価相の遅延時間 $T_{SA}$ は、事前充電相の遅延時間 $T_{PA}$ よりも長い。

20

従って、サイクルタイム $T_{CA}$ は、下記(6)式で与えられる。

#### 【0064】

#### 【数6】

$$T_{CA} = T_{SA} \quad (6)$$

30

#### 【0065】

本発明の半導体記憶装置1では、CAMブロック2のワードブロック4中の自律制御に基づく位相オーバラップ処理(POP)を従来の同期型としてもよい。

図11は、同期型のワード回路42のブロック図であり、図12は、図11の動作を説明するタイムチャートである。

図11に示すように、ワード回路42を同期型とした場合には、各充電用トランジスタ21のゲートには大局的制御信号であるクロック信号が印加される。具体的には、評価相ではハイレベルのクロック信号が印加され、事前充電相ではローレベルのクロック信号が印加される。

このため、ワード回路42を同期型としたCAMのサイクル時間( $T_{CS}$ )は、下記(7)式で与えられる。

40

#### 【0066】

#### 【数7】

$$T_{CS} = T_{SS} + T_{PS} \quad (7)$$

#### 【0067】

ここで、 $T_{SS}$ は(5)式で与えられる検索時間、つまり評価相の遅延時間であり、 $T_{PS}$ は事前充電相の遅延時間である。通常 $T_{SS}$ は $T_{PS}$ よりも長く、そして、これらの遅延時間は同期型CAMでは同じであるので、(7)式は下記(8)式で表される。

50

【0068】

【数8】

$$T_{CS} = 2T_{SS} \quad (8)$$

【0069】

同期式回路におけるクロック信号のデューティ比は50%である。つまり、(7)式に示すようにクロック信号のハイレベル期間(評価相期間)とローレベル期間(事前充電相期間)がそれぞれ等しいため、(8)式に示すようにクロックサイクルは評価相期間の2倍になる。

10

【0070】

本発明の半導体記憶装置1の従来の同期型CAMに対するスループット比は、下記(9)式で与えられる。

【0071】

【数9】

$$\text{Throughput ratio} = \frac{T_{CS}}{T_{CA}} \quad (9)$$

【0072】

20

さらに、上記(2)式、(5)式、(7)式を代入すると、上記(9)式のスループット比は、下記(10)式で与えられる。

【0073】

【数10】

$$\text{Throughput ratio} \cong \frac{2(T_{reg} + T_{1st} + T_{2nd})}{T_{1st}} \quad (10)$$

【0074】

30

ここで、第1のサブワードのビット数kを8としたときには、評価相の遅延時間 $T_{SA}$ は、おおむね $T_{1st}$ に等しい。本発明のワードブロック4を自律制御で動作させると、半導体記憶装置1のサイクル時間は、事前充電の遅延時間の影響がなくなる。このため、自律制御で動作させるワードブロック4を従来の同期型のCAMと比較すると、遅延時間は著しく減少する、つまり、スループットが大きくなる。

【0075】

次に、WOSとPOPとを含んだ半導体記憶装置1Aについて説明する。

図13は、WOSとPOPとを含んだワード回路50を示す回路図である。

図13に示すように、本発明のワード回路50は、8ビットの第1段サブワード回路54aと、セグメント化回路55と、自律事前充電回路56と、136ビットの第2段サブワード回路54bとを含んで構成されている。

40

図13(a)に示すように、8ビットの第1段サブワード回路54aは、8個のNANDセル58と、自律事前充電用のP型MOSトランジスタ60と、弱いフィードバック用P型MOSトランジスタ62とから構成されている。

【0076】

入力制御部3からの8ビットのサブワードがこの8個のNANDセル58に入力されると、記憶されている8ビットのサブワードと比較される。セグメント化回路55の出力であるML1<sub>0</sub>は、入力されたサブワードが一致したときはハイレベルとなり、入力されたサブワードが不一致のときは、ローレベルとなる。

【0077】

50

M L は、自律事前充電回路 5 6 により制御される自律事前充電用の P 型 M O S トランジスタ 6 0 で充電される。弱いフィードバック用 P 型 M O S トランジスタ 6 2 は、N A N D セル 5 8 による M L の電荷分配の問題を解消するために使用されている（非特許文献 1 4 、1 5 、2 4 参照）。M L 1<sub>0</sub> は、自律事前充電回路 5 6 に接続されると共に、1 3 6 ビットの第 2 段サブワード回路 5 4 b に接続されている。

【0 0 7 8】

1 3 6 ビットの第 2 段サブワード回路 5 4 b は、1 7 個のローカル一致回路 7 0 とグローバル一致回路 7 2 とを含んで構成されている。一致回路とは、検索するワードと記憶されているワードの一一致を判定する回路である。この操作を行う回路が一致回路である。このような階層的な設計は、ワード回路 5 0 をローカル一致回路 7 0 とグローバル一致回路 7 2 とに分割する（非特許文献 2 5 参照）。

10

【0 0 7 9】

図 1 3 ( b ) に示すように、各ローカル一致回路 7 0 は、インバータ 7 1 と、自律事前充電用の P 型 M O S トランジスタ 6 0 と、弱いフィードバック用 P 型 M O S トランジスタ 6 2 と、8 個の N A N D セル 5 8 と、ゲートにセグメント化回路 5 5 の出力 M L 1<sub>0</sub> が出入される N 型 M O S トランジスタ 7 4 とから構成されている。一度 M L 1<sub>0</sub> がアサート、つまり有効にされると、1 7 個のローカル一致回路 7 0 が動作する。それ以外の場合には、8 ビットの第 1 段サブワード回路 5 4 a が不一致であるので、1 7 個のローカル一致回路 7 0 は動作しない。

【0 0 8 0】

20

残りの 1 3 6 ビットのサブワード 5 4 b は、入力制御部 3 から並列に送出され、8 ビットずつ 1 7 個のサブ - サブワードに分割される。各サブ - サブワードは、ローカル一致回路 7 0 により処理される。

【0 0 8 1】

ローカル一致回路 7 0 の出力 ( L M L 1<sub>i</sub> ( 0 ≤ i < 1 7 ) ) は、入力されたサブ - サブワードが一致したときはハイレベルとなり、入力されたサブ - サブワードが不一致のときは、ローレベルとなる。M L 1<sub>0</sub> から L M L 1<sub>i</sub> の遅延時間は、T<sub>2ndL</sub> で定義される。

【0 0 8 2】

L M L 1<sub>i</sub> の全ての出力は、グローバル一致回路 7 2 に接続されている。

30

図 1 3 ( d ) に示すように、グローバル一致回路 7 2 は、1 7 個の直列接続された N 型 M O S トランジスタ 7 4 と、自律事前充電用の P 型 M O S トランジスタ 6 0 と、弱いフィードバック用 P 型 M O S トランジスタ 6 2 と、インバータ 7 1 とを含んで構成されている。L M L 1<sub>i</sub> の各出力は、グローバル一致回路 7 2 の 1 7 個の直列接続された N 型 M O S トランジスタ 7 4 の各ゲートに入力される。

【0 0 8 3】

全ての L M L 1<sub>i</sub> の出力がアサート、つまり有効にされると、グローバル一致回路 7 2 の出力 M L 2<sub>0</sub> が有効、つまりハイレベルが出力される。この状態は、検索ワードが記憶されているワードと一致したことを意味している。これ以外の状態では、M L 2<sub>0</sub> はローレベルである。

40

【0 0 8 4】

L M L 1<sub>i</sub> から M L 2<sub>0</sub> の遅延時間は、T<sub>2ndG</sub> で定義される。これから、2 段目のセグメント 5 4 b における遅延時間 T<sub>2nd</sub> は、下記 ( 1 1 ) 式で与えられる。

【0 0 8 5】

【数 1 1】

$$T_{2nd} = T_{2ndL} + T_{2ndG} \quad (11)$$

【0 0 8 6】

2 段目のセグメントが動作している間に、図 1 3 ( c ) に示す自律事前充電回路 5 6 も

50

動作している。図13(c)に示すように、自律事前充電回路56は、ANDゲート78が直列接続された回路である。ML1<sub>0</sub>がアサート、つまり有効にされると、遅延時間T<sub>delay</sub>が定義される。

【0087】

自律事前充電回路56の出力は、遅延時間T<sub>delay</sub>の後で無効となる。それから、自律事前充電回路56がワード回路50の全てのMLを充電する。

【0088】

図14は、図13のワード回路50の動作を示すタイムチャートである。

図14に示すように、検索ワードは8ビットのサブワード54aと136ビットのサブワード54bに分割され、これらが、T<sub>CA</sub>という周期に基づく速度で入力制御部3から送出される。8ビットのサブワード54aが第1のセグメント中で一致したとき、残りの136ビットのサブワード54bが後段で処理される。サーチワードは、T<sub>CA</sub>という周期に基づいて変化するので、136ビットのサブワードはT<sub>CA</sub>の範囲内でローカル一致回路70にアサイン、つまり有効とされる必要がある。このため、ローカル一致回路70の遅延時間は下記(12)式の条件を満足させる必要がある。

【0089】

【数12】

$$T_{2ndL} < T_{CA} \quad (12)$$

20

【0090】

各サブ-サブワードがローカル一致回路70に一致したとき、グローバル一致回路72は検索ワードが一致するか否かを決定する。これと同時に、自律事前充電回路56が動作する。

【0091】

グローバル一致回路72の動作の後で全てのMLを充電する必要があるので、遅延時間T<sub>delay</sub>は、下記(13)式の条件を満足させる必要がある。

【0092】

【数13】

$$T_{delay} > T_{2nd} \quad (13)$$

30

【0093】

次に検索をするワードは、一致したワード回路70においてT<sub>s1w</sub>の後で有効となる。このため、T<sub>s1w</sub>は、下記(14)式の条件を満足させる必要がある。

【0094】

【数14】

$$T_{slow} > T_{reg} + T_{1st} + T_{delay} + T_{prec} \quad (14)$$

40

【0095】

ここで、T<sub>prec</sub>は、全てのMLの事前充電の遅延時間である。

上記(3)式、(4)式、(14)式から、比較される後段のサブワード54bの数(m)は下記(15)式で決定される。

【0096】

【数15】

$$m = \frac{(T_{reg} + T_{delay} + T_{prec})}{T_{1st}} \quad (15)$$

50

## 【0097】

ここで、図10及び14に示されているサイクルタイム $T_{CA}$ は、おおむね $T_{1st}$ である。

## 【0098】

## (256×144ビットの半導体記憶装置)

本発明の256×144ビットの半導体記憶装置1、1Aについて説明する。

本発明の256×144ビットの半導体記憶装置1、1Aを、セグメント法を用いた従来の同期型CAMと比較する。比較例の従来の同期型CAMは、1段目のサブワードのビット数は $k = 8$ であり、2段目のサブワードのビット数( $n - k$ )は136ビットである。本発明の半導体記憶装置1、1Aも同じワード構成である。本発明の半導体記憶装置1、1Aにおける2段目のサブワードの構成は、階層型である(階層型のサブワードは非特許文献25参照)。

10

## 【0099】

本発明と比較例の半導体記憶装置1、1Aは、90nmのCMOS技術に基づいて評価されている。記憶させるワードは、一様乱数分布を有している。90nmは、用いたCMOS製造工程の最小加工寸法である。

## 【0100】

## (遅延時間の評価)

表1は、本発明の半導体記憶装置1の各回路の遅延時間を示す表である。具体的には、本発明の半導体記憶装置1を、ソフトウェアとしてHSPICE(シノブシス社製のSPICE(Simulation Program with Integrated Circuit Emphasis))を用いて評価した。MOSトランジスタのドレイン電圧は、 $V_{DD} = 1V$ とし、温度は室温とした。

20

自律事前充電回路56は、(13)式を満足するように設計した。(15)式を使用して、mを3に設定した。これから、(2)式及び(8)式から $T_{CA}$ が261ps(1ps = 10<sup>-12</sup>s)になった。製造工程の変動により、 $T_{2nd}$ は $T_{delay}$ よりも大きくなる可能性があり、この場合は(13)式を満足しなくなる。しかしながら、(15)式を満足させるために、mを3よりも大きくすることにより対処が可能である。これにより、入力制御部3の面積に影響を与えるが、サイクル時間 $T_{CA}$ には直接影響しない。

表1に示すように、 $T_{reg}$ は51ps、 $T_{1st}$ は259ps、 $T_{2ndL}$ は225ps、 $T_{2ndG}$ は243ps、 $T_{delay}$ は500ps、 $T_{prec}$ は81psである。

30

## 【表1】

	$T_{reg}$	$T_{1st}$	$T_{2ndL}$	$T_{2ndG}$	$T_{delay}$	$T_{prec}$
遅延時間(ps)	51	259	225	243	500	81

## 【0101】

図15は、本発明の90nmのCMOSプロセスでの半導体記憶装置1、1Aについて、シミュレーションの結果を示すタイミングチャートである。

40

図15に示すように、後に続く検索ワードが使用しないで異なるワード回路に割り当てられるので、本発明の半導体記憶装置1、1Aは、短い周期遅延に基づく $T_{CA}$ で動作する。

## 【0102】

## (サイクル時間)

図16は、本発明の自律制御をした半導体記憶装置1、1Aと比較例のCAMのサイクル時間を比較した図である。

図16に示すように、比較例のCAMのサイクル時間は、(7)式で決まり、1454psである。本発明のWOSを用いた半導体記憶装置1のサイクル時間は、1段目のサブ

50

ワード回路の遅延時間で動作する。このため、本発明のWOSを用いた半導体記憶装置1のサイクル時間は、従来のCAMに比較して64.1%減少し、555psである。

【0103】

さらに、本発明のWOSとPOPを用いた半導体記憶装置1Aのサイクル時間は、事前充電の遅延時間の影響がなくなるので、従来のCAMに比較して82%減少し、約261psの遅延時間で動作する。

【0104】

(消費電力)

次に、半導体記憶装置1、1Aの消費電力について説明する。

半導体記憶装置1、1Aの消費電力は下記(16)で与えられる。

10

【0105】

【数16】

$$E_{total} = E_{match} + E_{search} + E_{ctrl} \quad (16)$$

【0106】

ここで、 $E_{match}$ 、 $E_{search}$ 、 $E_{ctrl}$ は、それぞれML、SL、制御信号の消費電力である。

【0107】

入力の第1の8ビットのサブワード54aが、第1段のサブワード回路において、不一致の場合には、ローカル一致回路70は動作しない。さらに、グローバル一致回路72は、各サブ-サブワードがローカル一致回路70と一致したときだけ動作する。このため、MLの消費電力は、下記(17)式で与えられる。

20

【0108】

【数17】

$$E_{match} = E_{1st} \left( \frac{1}{2} \right)^k + 17 E_{2ndL} \left( \frac{1}{2} \right)^{16} + E_{2ndG} \left( \frac{1}{2} \right)^{144} \quad (17)$$

【0109】

30

ここで、 $E_{1st}$ 、 $E_{2ndL}$ 、 $E_{2ndG}$ は、それぞれ1段目のサブワード回路54a、ローカル一致回路70、グローバル一致回路72の消費電力である。

【0110】

MLのスイッチング確率は非常に低いと同時に、SLは新しい検索ワードがアサインされたときに変化する。

【0111】

(従来型のCAMの消費電力)

制御信号の消費電力である $E_{ctrl}$ は、従来の同期式のCAMにおいては、大局的制御信号であるクロック信号に関係している。

クロック信号は、全ての自律事前充電用のP型MOSトランジスタ60をオンにする(図10参照)。このため、従来の同期式のCAMの制御信号の消費電力である $E_{ctrl}$ は、下記(18)式で与えられる。

40

【0112】

【数18】

$$E_{ctrl(sync)} = E_{clk\_buffer} + E_{prec} \quad (18)$$

【0113】

ここで、 $E_{clk\_buffer}$ はクロックバッファの消費電力であり、 $E_{prec}$ は全ての自律事前充電用のP型MOSトランジスタ60の消費電力である。

50

## 【0114】

(本発明の半導体記憶装置の消費電力)

従来の同期型 C A M に対して、本発明の半導体記憶装置 1 A の入力信号の消費電力  $E_{ctrl(self)}$  は、自律制御による半導体記憶装置 1 A の局所的制御信号 (  $ctrl$  ) に関係している。一致したワード回路における事前充電用トランジスタだけが  $prec$  信号 ( 事前充電信号 ) でオンするので、事前充電用の P 型 M O S F E T 6 0 を充電する消費電力が低減する。さらに、事前充電回路 5 6 は 1 段目のセグメントが一致したときだけ動作する。このため、本発明の半導体記憶装置 1 A の制御信号の消費電力である  $E_{ctrl(self)}$  は、下記 ( 19 ) 式で与えられる。

## 【0115】

## 【数 19】

$$E_{ctrl(self)} = (E_{prec} + E_{self\_precharge}) \left( \frac{1}{2} \right)^8 \quad (19)$$

## 【0116】

ここで、  $E_{self\_precharge}$  は、事前充電回路の消費電力である。

## 【0117】

(本発明の半導体記憶装置の消費電力)

表 2 は、本発明の半導体記憶装置 1 A と比較例の C A M の消費電力を比較した表である。平均サイクル時間及び使用トランジスタ数も一緒に示している。

本発明の半導体記憶装置 1 A の平均サイクル時間は 2 6 1 p s であり、比較例の同期型 C A M の平均サイクル時間は 1 4 5 4 p s である。これから、本発明の半導体記憶装置 1 A のスループットは、比較例の C A M の 5 . 5 7 倍であることが分かる。

## 【表 2】

	本発明のCAM	従来の同期型 CAM
平均サイクル時間 (ps)	261	1454
消費エネルギー／検索 (fJ/bit/search)	一致	0.0006
	検索	0.160
	Ctrl	0.001
	合計	0.162
トランジスタ数	408k	372k

## 【0118】

本発明の半導体記憶装置 1 A は局所的制御信号 (  $ctrl$  ) を使用しており制御信号の消費電力が減少するので、全消費電力は、比較例の同期型 C A M の 6 1 . 6 % に減少した。

## 【0119】

本発明の半導体記憶装置 1 A では、ワード回路を局所的に制御するので自律事前充電制御回路が必要となる。このため本発明の C A M の面積はごくわずかであるが、 8 % 増加する。本発明の半導体記憶装置 1 A のトランジスタ数は 4 0 8 k 個 ( 4 0 . 8 万個 ) であり、比較例の同期型 C A M のトランジスタ数は 3 7 2 k 個 ( 3 7 . 2 万個 ) である。

## 【0120】

表 3 は、本発明の半導体記憶装置 1 A を従来例と対比した表である。

ハイブリッド型の利点は、低消費電力と高速動作であり、それぞれ N A N D 型のセルと N O R 型のセルによる。

本発明の半導体記憶装置 1 A は、最小加工寸法が 0 . 1  $\mu$ m のハイブリッド型 C A M に比較すると、サイクルタイムは 8 % に短縮され、 1 検索当たりの消費エネルギー／ビット

10

20

30

40

50

は23%に減少した。さらに、本発明の半導体記憶装置1Aは、最小加工寸法が65nmのNAND型CAMに比較すると、約3倍の速度で動作する。

【表3】

(非特許文献)	本発明	PF-CDPD (14)	電流セーブ (17)	パイプライン (18)	ハイブリッド (21)	Ipv6マクロ (23)
構造	256×144	256×128	256×144	1024×144	1024×144	256×144
CAM	BCAM	BCAM	TCAM	TCAM	TCAM	TCAM
セル	NAND	NAND	NOR	NOR	NAND+NOR	NAND
製造技術	90nm	0.18μm	0.13μm	0.18μm	0.10μm	65nm
サイクル時間 (ns)	0.26	5	4	7	3.3	>0.76
消費エネルギー/ 検索 (fJ/bit/search)	0.162	2.33	1.3	2.89	0.7	0.113

【0121】

(変形例)

次に、本発明の半導体記憶装置1、1Aのメモリセルを、3値を記憶させるTCAMとした場合について説明する。

TCAMでは、「0」、「1」、「X」というように3つの状態を扱う。「X」は、「ドントケア(Don't care)」とも呼ばれている。

図17は、TCAM80の回路図である。

図17に示すように、TCAM80は、図8に示すBCAMのメモリセル30をマッチ線(ML)に対して2つ並列にした構成を有している。つまり、TCAM80は、上段の「0」、「1」を記憶させるNAND型の第1のメモリセル81と、下段の「X」を記憶させるNAND型の第2のメモリセル82と、複数の伝送用トランジスタ84と、ML用伝送用トランジスタ85とを含んで構成されている。NAND型の第1のメモリセル81には、WLと、BL/SLと、BLバー/SLバーとが接続される。NAND型の第2のメモリセル82には、WLとDCL(ドントケアライン)と、DCLバーとが接続される。MLは、ML用伝送用トランジスタ85を介して、NAND型の第1のメモリセル81と、NAND型の第2のメモリセル82に接続される。

【0122】

図1に示す半導体記憶装置1、1AのCAMブロック2を、図17でその一例を示したTCAM80とし、入力制御部3等を2値から3値のデータとすることにより、半導体記憶装置1、1Aは3値のデータの連想メモリとして動作する。

【0123】

本発明は、上記実施の形態に限定されるものではなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

【符号の説明】

【0124】

1、1A：半導体記憶装置

2：CAMブロック

3：入力制御部

4：ワードブロック

4a：kビットのサブワード

4b：(n-k)ビットのサブワード

10

20

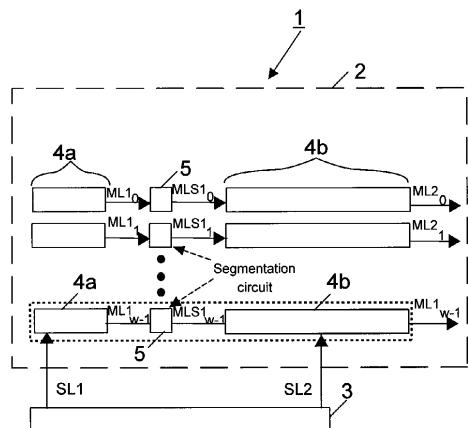
30

40

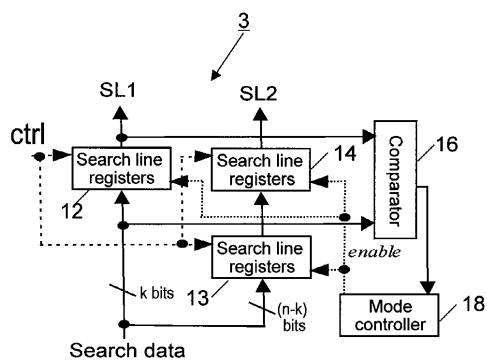
50

5、55：セグメント化回路	
12、13、14：レジスタ	
16：コンパレータ	
18：モード制御部	
20：ワード回路	
21：パストランジスタ	
30：B C A M セル	
32：フリップフロップ	
33、84：伝送用トランジスタ	
40：自律制御によるワード回路	10
50：W O S と P O P とを含んだワード回路	
54a：8ビットの第1段サブワード回路	
54b：136ビットの第2段サブワード回路	
56：自律事前充電回路	
58：N A N D セル	
60、76：自律事前充電用のP型M O S トランジスタ	
62：弱いフィードバック用P型M O S トランジスタ	
70：ローカル一致回路	
71：インバータ	
72：グローバル一致回路	20
74：N型M O S トランジスタ	
78：A N D ゲート	
80：T C A M	
81：N A N D 型の第1のメモリセル	
82：N A N D 型の第2のメモリセル	
85：M L 用伝送用トランジスタ	

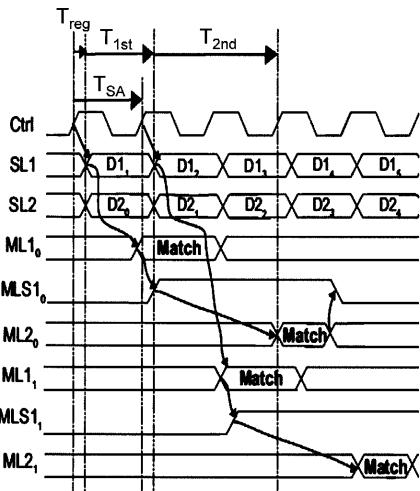
【図1】



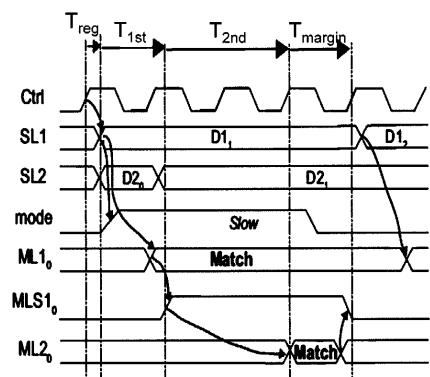
【図2】



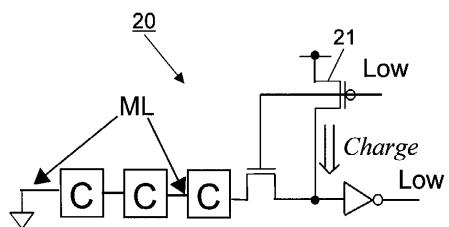
【図3】



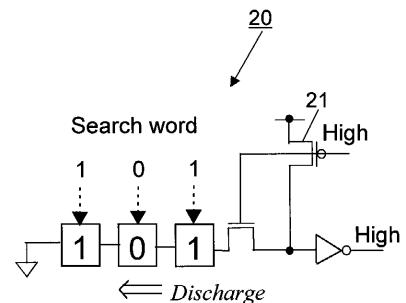
【図4】



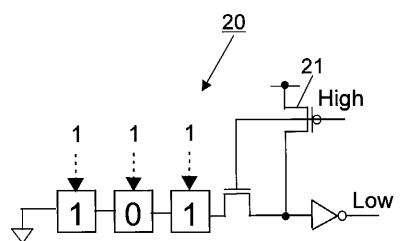
【図5】



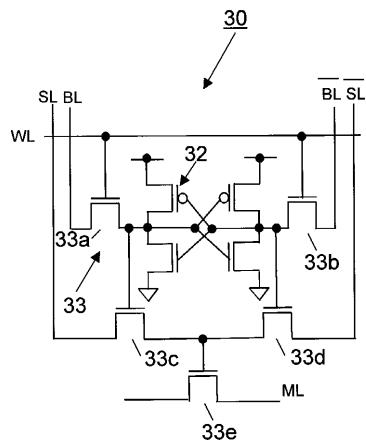
【図6】



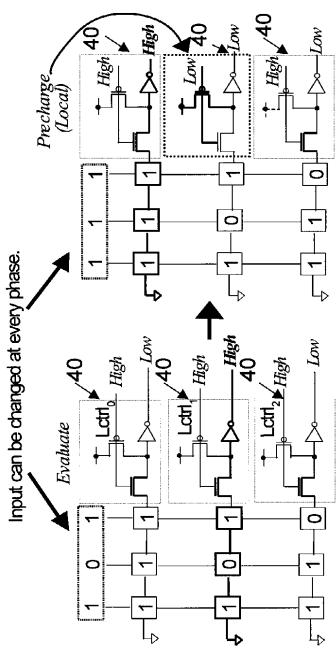
【図7】



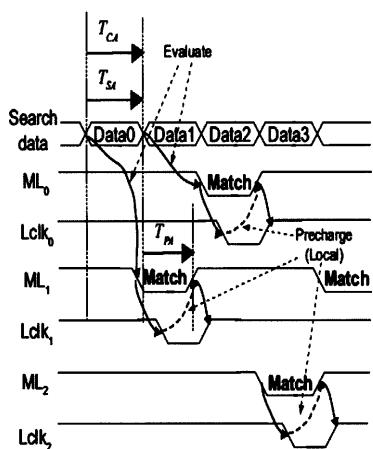
【図8】



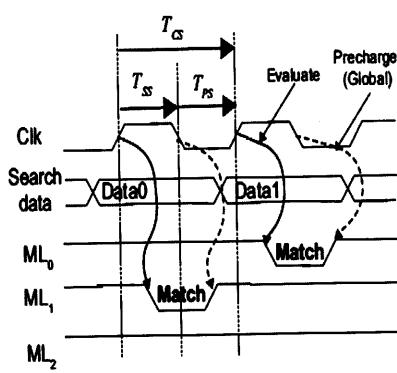
【図9】



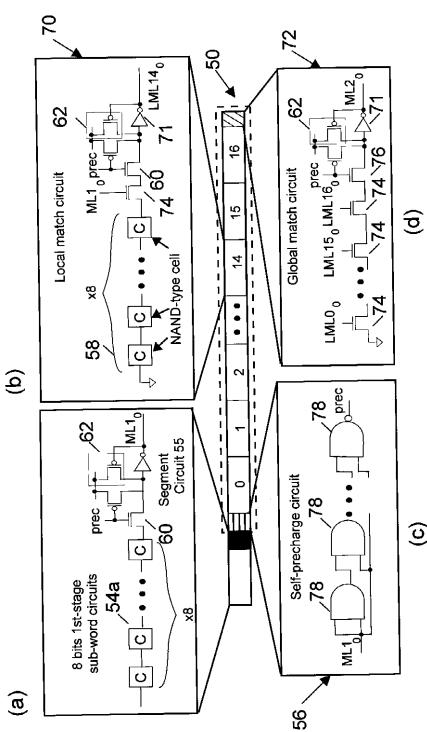
【図10】



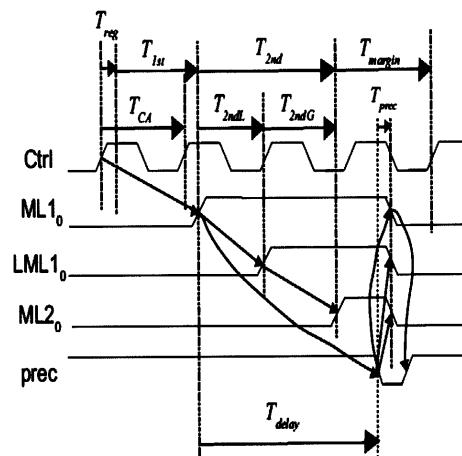
【図12】



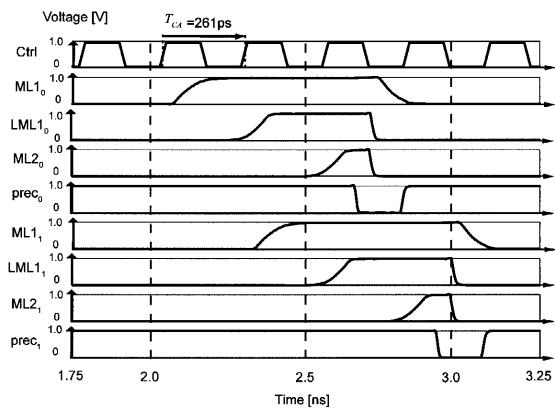
【図13】



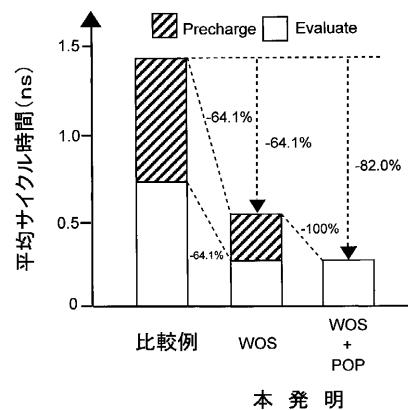
【図14】



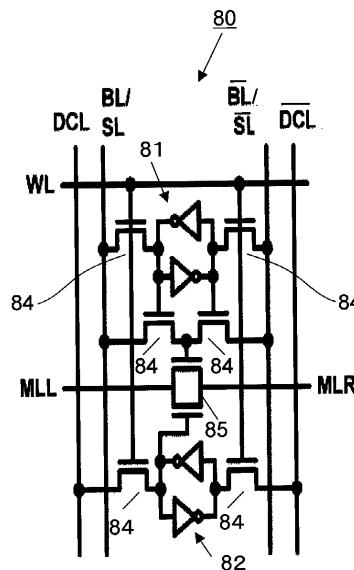
【図15】



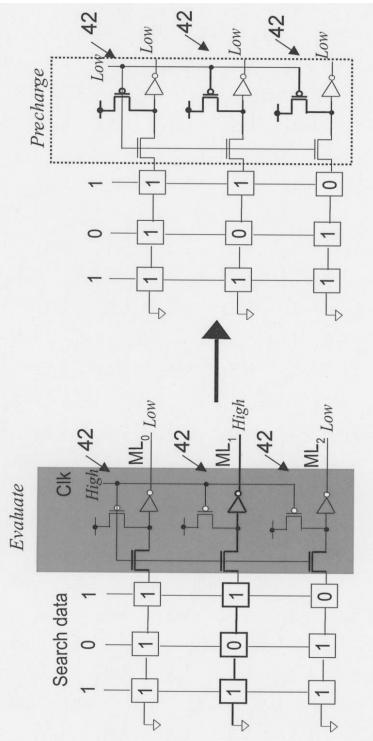
【図16】



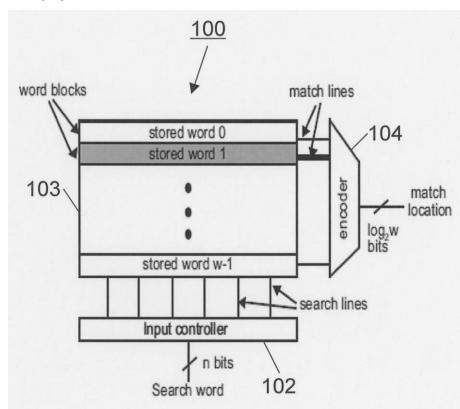
【図17】



【図11】



【図18】



---

フロントページの続き

(72)発明者 ガウデット, ヴィンセント

カナダ国、N 2 L 3 G 1 オンタリオ州ウォータールー、ユニバーシティ・アヴェニュー・ウエスト  
ト 200 ユニバーシティ・オブ・ウォータールー内

審査官 塩澤 如正

(56)参考文献 特開平07-014391(JP, A)

特開平02-308499(JP, A)

特開平03-212896(JP, A)

特開平06-333395(JP, A)

特開2013-037750(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 11 C 15 / 04