

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 25/04

(11) 공개번호 10-2005-0037974
(43) 공개일자 2005년04월25일

(21) 출원번호 10-2004-0083794
(22) 출원일자 2004년10월20일

(30) 우선권주장 JP-P-2003-00358599 2003년10월20일 일본(JP)

(71) 출원인 로무 가부시기가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 코미야쿠니히로
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21 로무 가부시기가이샤 내

(74) 대리인 향의인

심사청구 : 없음

(54) 반도체 장치

요약

복수개의 대용량 파워 소자 간 특성의 상대적인 격차를 저감함과 함께 출력 배선 간의 교차가 없도록 하여 레이아웃 면적의 증대를 억제할 수 있는 반도체 장치를 제공하는 것을 목적으로 한다. 각 반도체 파워 소자를 복수의 분할 소자로 구성하고, 각 분할 소자를 각 반도체 파워 소자에 속하는 분할 소자가 순차적으로 반복하여 정렬하도록 배치하며, 각 분할 소자로 부터의 출력 배선을 각 출력 배선끼리 교차하지 않도록 각각 출력 패드에 접속하고 있는 IC칩 본체를 형성한다. 그 반도체 칩 본체 위에, 각 출력 패드에 대응하여 출력 범프가 배치되어 있고, 같은 파워 소자에 속하는 출력 범프끼리 출력 결합 배선으로 접속되어 출력 외부 전극이 접속되어 있는 재배선층을 설치한다.

대표도

도 2a

명세서

도면의 간단한 설명

- 도 1 은 본 발명의 제 1 실시예의 IC칩 구성을 나타내는 도면.
- 도 2a 는 본 발명의 제 2 실시예의 IC칩 본체의 구성을 나타내는 도면.
- 도 2b 는 제 2 실시예의 IC칩 본체 상에 형성되는 재배선층의 구성도
- 도 3 은 제 2 실시예의 반도체 장치의 구성을 설명하기 위한 모식적인 단면도.
- 도 4 는 본 발명의 제 3 실시예의 IC칩 본체의 구성을 나타내는 도면.
- 도 5a 는 본 발명의 제 4 실시예의 IC칩 본체의 구성을 나타내는 도면.
- 도 5b 는 제 4 실시예의 IC칩 본체 상에 형성되는 재배선층의 구성도.
- 도 6a 는 본 발명의 제 5 실시예의 IC칩 본체의 구성을 나타내는 도면.
- 도 6b 는 제 5 실시예의 IC칩 본체 상에 형성되는 재배선층의 구성도.

도 7a 는 본 발명의 제 6 실시예의 IC칩 본체의 구성을 나타내는 도면.

도 7b 는 제 6 실시예의 IC칩 본체 상에 형성되는 재배선층의 구성도.

도 8 은 종래의 IC칩의 구성도.

<도면의 주요 부분에 대한 부호의 설명>

100 : IC칩 1A-1 내지 1B-2 : 분할 소자

2A, 2B : 제어 회로 3A, 3B : 신호선

4A, 4B : 출력 배선 5A, 5B : 출력 패드

6 : 전원 배선 7 : 전원 패드

10, 10', 30, 50, 70 : IC칩 본체 20, 40, 60, 80 : 재배선층

11A-1 내지 11B-2 : 분할 소자 12A, 12B : 제어 회로

13A, 13B : 신호선 14A-1 내지 14B-2 : 출력 배선

15A-1 내지 15B-2 : 출력 패드 16 : 전원 배선

17 : 전원 패드 21A-1 내지 21B-2 : 출력 범프

22A, 22B : 출력 결합 배선 23 : 전원 범프

24A, 24B : 출력 외부 전극 25 : 전원 범프 전극

26 : 절연층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 파워 트랜지스터 등의 대용량 파워 소자를 복수개 가지고 있는 반도체 장치에 관한 것이다.

반도체 장치에 있어서, 파워 트랜지스터 등의 대용량 파워 소자를 복수개 설치하는 것이 있고, 이들 파워 소자를 서로 인접해서 배치하는 것이 이루어지고 있다(특개평 7-135299 호 참조).

이 경우, 이들 복수개의 대용량 파워 소자 간 특성의 상대적인 격차를 저감할 필요가 있는 경우가 있다. 그 상대적인 격차를 저감하는 방법으로서, 도 8 에 나타낸 방법이 있다.

도 8 은 2 개의 파워 트랜지스터(1A, 1B)를 설치한 반도체 집적회로(200)의 구성을 나타내는 도면이다. 파워 트랜지스터(1A, 1B)는 신호 처리 회로나 프리 드라이브 회로 등을 포함하는 제어 회로(2A, 2B)로부터 각각 신호선(3A, 3B)을 통해 공급된 제어 신호에 따라 그 동작 상태가 제어된다. 파워 트랜지스터(1A)의 출력단은 출력 배선(4A)을 통해 출력 패드(5A)에 접속되고, 파워 트랜지스터(1B)의 출력단은 출력 배선(4B)을 통해 출력 패드(5B)에 접속된다. 또, 파워 트랜지스터(1A, 1B)의 전원단은 전원 배선(6)을 통해 공통으로 전원 패드(7)에 접속된다. 또한, 전원에 대신하여, 그라운드(Ground)인 경우도 있다. 이 경우, 전원단은 그라운드단으로, 전원 배선(6)은 그라운드 배선으로, 전원 패드(7)는 그라운드 패드로 된다. 이하, 마찬가지로 한다.

이 종래의 것으로는, 파워 트랜지스터(1A), 파워 트랜지스터(1B) 등은 가능한 한 근접하도록 인접해서 배치된다. 그러나, 예를 들면, 파워 트랜지스터(1A, 1B)를 인접해서 배치하여도, 파워 트랜지스터(1A, 1B) 자체의 면적이 크게 되므로 양 파워 트랜지스터(1A, 1B)의 대응하는 곳(도 8 에서, Xa 와 Xb 로 표시하고 있음) 사이의 거리가 멀어지게 된다. 파워 트랜지스터(1A, 1B)가 만들어져 있는 반도체 기판 중에는, 그 제조 상에서 발생하는 불순물에 관한 농도차가 있다. 이 농도차와 거리에 기인하는 파워 트랜지스터(1A, 1B)의 특성의 격차는 피할 수 없다. 또, 마찬가지로, 동작 중의 반도체 기판의 온도차에 의한 특성의 불규칙도 피할 수 없다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은, 파워 트랜지스터 등의 대용량 파워 소자가 복수개 설치된 반도체 장치에 있어서, 이들 복수개의 대용량 파워 소자 간 특성의 상대적인 격차를 저감할 수 있는 반도체 장치를 제공하는 것을 목적으로 한다.

또, 파워 트랜지스터 등의 대용량 파워 소자가 복수개 설치된 반도체 장치에 있어서, 이들 복수개의 대용량 파워 소자 간 특성의 상대적인 격차를 저감함과 함께 출력 배선 간의 교차가 없도록 하여 레이아웃 면적의 증대를 억제할 수 있는 반도체 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

청구항 1의 반도체 장치는, 복수 $N(N \geq 2)$ 개의 상이한 동작을 하는 반도체 파워 소자를 갖는 반도체 장치에 있어서, 상기 각 반도체 파워 소자를 복수 $M(M \geq 2)$ 개의 분할 소자로 구성하고, $N \times M$ 개의 분할 소자를 다른 반도체 파워 소자에 속하는 분할 소자가 순차적으로 반복하여 정렬하도록 배치하고, 상기 복수 N 개의 반도체 파워 소자에 대응하여, 복수 N 개의 출력 패드를 설치하며, 상기 각 반도체 파워 소자에 속하는 분할 소자로부터의 출력 배선을 상기 각 반도체 파워 소자에 대응하는 상기 출력 패드에 접속하는 것을 특징으로 한다.

청구항 2의 반도체 장치는, 청구항 1 기재의 반도체 장치에 있어서, 상기 $N \times M$ 개의 분할 소자를 적어도 1 개의 전원 패드 또는 그라운드 패드에 접속한 전원 배선 또는 그라운드 배선을 가지고 있으며, 상기 전원 배선 또는 그라운드 배선은, 상기 출력 배선의 배선층과는 다른 배선층에 의해 형성되어 있는 것을 특징으로 한다.

청구항 3의 반도체 장치는, 복수 $N(N \geq 2)$ 개의 상이한 동작을 하는 반도체 파워 소자를 가진 반도체 장치에 있어서, 상기 각 반도체 파워 소자를 복수 $M(M \geq 2)$ 개의 분할 소자로 구성하고, $N \times M$ 개의 분할 소자를 다른 반도체 파워 소자에 속하는 분할 소자가 순차적으로 반복하여 정렬하도록 배치하고, 상기 $N \times M$ 개의 분할 소자로부터의 출력 배선을 각 출력 배선끼리 교차하지 않도록 $N \times M$ 개의 출력 패드에 접속하고 있는 반도체 집적회로 본체; 및 상기 반도체 집적회로 본체 상에, 상기 $N \times M$ 개의 출력 패드에 전기적으로 접속하여 각 출력을 출력하는 출력 범프가 배치되어 있고, 상기 N 개의 반도체 파워 소자 중 같은 파워 소자에 속하는 상기 출력 범프를 상기 반도체 집적회로 본체와의 사이에 절연층을 통해 설치된 출력 결합 배선으로 접속하고, 외부에 접속하기 위한 출력 외부 전극에 접속하는 재배선층을 구비하는 것을 특징으로 한다.

청구항 4의 반도체 장치는, 청구항 3 기재의 반도체 장치에 있어서, 상기 반도체 집적회로 본체에는, 상기 $N \times M$ 개의 분할 소자를 적어도 1 개의 전원 패드 또는 그라운드 패드에 접속하는 전원 배선 또는 그라운드 배선을 가지고 있고, 상기 전원 배선 또는 그라운드 배선은, 상기 출력 배선의 배선층과는 다른 배선층에 의해 형성되어 있는 것을 특징으로 한다.

청구항 5의 반도체 장치는, 청구항 3 기재의 반도체 장치에 있어서, 상기 반도체 집적회로 본체에는, 상기 $N \times M$ 개의 분할 소자를 적어도 1 개의 전원 패드 또는 그라운드 패드에 접속하는 전원 배선 또는 그라운드 배선을 가지고 있고, 상기 재배선층에는, 상기 전원 패드 또는 그라운드 패드에 전기적으로 접속하도록 전원 범프 또는 그라운드 범프가 배치되어 있고, 상기 전원 범프 또는 그라운드 범프에 전원 외부 전극 또는 그라운드 외부 전극이 접속되어 있는 것을 특징으로 한다.

청구항 6의 반도체 장치는, 청구항 5 기재의 반도체 장치에 있어서, 상기 전원 배선 또는 그라운드 배선은 상기 출력 배선 중 어느 것과도 동일 평면 상에서 교차하지 않도록 배치되어 있는 것을 특징으로 한다.

청구항 7의 반도체 장치는, 청구항 5 기재의 반도체 장치에 있어서, 상기 $N \times M$ 개의 출력 패드가, 각 반도체 파워 소자에 속하는 분할 소자군 마다, 각 분할 소자에 대하여 다른 방향으로 배치되어 있는 것을 특징으로 한다.

청구항 8의 반도체 장치는, 청구항 7 기재의 반도체 장치에 있어서, 상기 $N \times M$ 개의 전원 패드 또는 그라운드 패드가, 각 반도체 파워 소자에 속하는 분할 소자군 마다, 각 분할 소자에 대하여 상기 출력 패드와는 더욱 다른 방향으로 배치되어 있는 것을 특징으로 한다.

청구항 9의 반도체 장치는, 청구항 3 내지 청구항 8 중 어느 하나에 기재된 반도체 장치에 있어서, 상기 출력 결합 배선은, 상기 출력 범프와 상기 절연층이 형성된 후에, 상기 출력 범프와 같은 재료로 형성되어 있는 것을 특징으로 한다.

청구항 10의 반도체 장치는, 청구항 3 내지 청구항 8 중 어느 하나에 기재된 반도체 장치에 있어서, 상기 출력 외부 전극은 볼 전극인 것을 특징으로 한다.

본 발명에 의하면, 파워 트랜지스터 등의 대용량 파워 소자를 복수개 설치한 반도체 장치에 있어서, 이들 복수개의 대용량 파워 소자 각각을 복수의 분할 소자로부터 구성한다. 그리고, 이들 분할 소자를 다른 파워 소자에 속하는 것이 순차적으로 인접하도록 배치한다. 이로써, 파워 소자 간 특성의 상대적인 격차를 저감할 수 있다.

또, 파워 트랜지스터 등의 대용량 파워 소자를 복수개 마련하는 반도체 장치에 있어서, 이들 복수개의 대용량 파워 소자 각각을 복수의 분할 소자로부터 구성한다. 그리고, 이들 분할 소자를 다른 파워 소자에 속하는 것이 순차적으로 인접하도록 배치하면서 출력 배선 간의 교차가 없도록 하고 있다. 이로써, 파워 소자 간 특성의 상대적인 격차를 줄일 수 있으면서 레이아웃 면적의 증대를 억제할 수 있다.

또, 복수의 반도체 파워 소자를 가지고 있는 반도체 집적회로 본체에, 분할 소자를 파워 소자마다에 출력 결합 배선으로 접속하고 있는 재배선층을 형성한다. 따라서, 본 발명의 반도체 장치를 통상의 반도체 집적회로로서 사용할 수 있다.

이하, 본 발명의 반도체 장치의 실시형태에 대해 도면을 참조하여 설명한다.

도 1 은 본 발명의 제 1 실시예에 관한 반도체 장치의 구성을 나타내는 도면이며, 파워 소자 간의 상대적인 격차를 저감한다. 이 때문에, 대상으로 되는 각 파워 소자를 복수의 분할 소자로 구성한다. 그리고, 이들 분할 소자를 다른 파워 소자에 속하는 것이 순차적으로 인접하도록 배치하고 있다. 각 파워 소자는 각각 출력을 가지며, 다른 동작을 한다. 물론, 동시에 동작하는 것이라도 좋다. 이러한 점은 다른 실시예에서도 마찬가지이다.

도 1 에는, 분할 소자에 의한 2 개의 파워 트랜지스터(1A, 1B)를 설치한 반도체 집적회로(이하, IC칩: 100)의 구성이 나타나 있다. 파워 트랜지스터(1A, 1B)의 요소로 되는 복수의 분할 소자(1A-1, 1B-1, 1A-2, 1B-2)를 순차적으로 인접하도록 배치하고 있다.

그리고, 2 개의 분할 소자(1A-1, 1A-2)를 신호선(3A), 출력 배선(4A)으로 서로 접속하여 파워 트랜지스터(1A)로 한다. 다른 2 개의 분할 소자(1B-1, 1B-2)를 신호선(3B), 출력 배선(4B)으로 서로 접속하여 다른 파워 트랜지스터(1B)로 한다. 전원 배선(6)은 과선으로 나타낸 바와 같이, 출력 배선(4A, 4B)의 배선층과는 다른 배선층에 의해 형성되어 있고, 또, 모든 분할 소자(1A-1 내지 1B-2)에 공통으로 접속해 있다. 출력 배선(4A, 4B)을 각각 출력 패드(5A, 5B)에 접속하고, 전원 배선(6)을 전원 패드(7)에 접속한다. 또한, 그 이외에는 도 8 과 마찬가지이다. 또, 다른 실시예에서도, 과선으로 나타내고 있는 전원 배선은 출력 배선의 배선층과는 다른 배선층에서 형성되어 있는 것을 나타낸다.

이 IC칩(100)에 의하면, 파워 트랜지스터(1A)에 속하는 분할 소자(1A-1) 혹은 분할 소자(1A-2) 및 파워 트랜지스터(1B)에 속하는 분할 소자(1B-1) 혹은 분할 소자(1B-2)가 접근해서 배치된다. 따라서, 그 대응하는 곳(도 1 에서, Xa-1 과 Xb-1 및 Xa-2 와 Xb-2 로 표시함) 사이의 거리도 종래의 반 정도에 가깝게 된다. 또, 대응하는 곳의 상대성은 「Xa-1 과 Xb-1」 또는 「Xa-2 와 Xb-2」로 비교되게 된다. 이로써, 파워 트랜지스터(1A, 1B) 간의 특성의 격차는 저감된다.

다만, 제 1 실시예에서는 특성의 격차는 개선되지만, 다음과 같은 점으로 충분하다고는 말할 수 없다. 즉, 이 제 1 실시예에서는, 분할 소자(1A-1 내지 1B-2)로부터의 출력 배선(4A, 4B)을 출력 패드(5A, 5B)에 배선 저항의 격차를 작게 하여 접속하는 것이 바람직하다. 그와 같이 하기 위해 출력 배선(4A, 4B)을 동일한 배선층을 이용하여 동일 방향의 패드에 접속하려고 하면, 출력 배선(4A, 4B)끼리 교차시키게 된다. 또, 전원 배선(6)도 동일한 배선층을 이용하는 경우에는 출력 배선(4A, 4B)과 교차한다. 이들 파워 소자로부터의 출력 배선(4A, 4B) 또는 전원 배선(6)은 파워 소자의 온 저항을 줄이기 위해서 그 배선폭을 굵게 할 필요가 있다. 또, 배선끼리의 교차에 수반해 배선의 설치 거리가 길어지기 때문에, 온 저항을 작게 유지하기 위해서 그 배선폭도 굵게 할 필요가 있다. 또, 분할 소자(1A-1 내지 1B-2)와 출력 패드(5A, 5B) 또는 전원 패드(7) 사이의 영역에 출력 배선(4A, 4B)이나 전원 배선(6)을 도 1 과 같이 배치하는 경우에는, 그 영역의 배선에 필요한 배선 면적이 커지므로, 그 만큼 레이아웃 효율이 저하된다.

도 2a 및 도 2b 는 본 발명의 제 2 실시예에 관한 반도체 장치의 구성을 나타내는 도면이다. 이 제 2 실시예에서는, 파워 소자 간 특성의 상대적인 격차를 저감함과 함께 레이아웃 면적의 증대를 억제한다. 도 3 은 본 발명의 제 2 실시예에 관한 반도체 장치의 구성을 설명하기 위한 모식적인 단면도이다.

도 2a 는 본 발명의 반도체 집적회로 본체(이하, IC칩 본체)의 구성을 나타내는 도면이고, 도 2b 는 IC칩 본체 상에 형성되는 재배선층의 구성을 나타내는 도이다. 이하의 각 실시예에서는, 파워 소자로서, 파워 트랜지스터를 예로 하여 설명한다. 파워 트랜지스터 이외에도, 특성의 상대적인 격차를 저감하고 싶은 다른 파워 소자에도 마찬가지로 적용 가능하다.

도 2a 에서는, 2 개의 파워 트랜지스터(11A, 11B: 즉, N = 2)를 각각 2 개의 분할 소자(즉, M = 2)로 구성하는 예를 나타내고 있다. 파워 트랜지스터(11A, 11B)의 요소로 되는 복수의 분할 소자(11A-1, 11B-1, 11A-2, 11B-2)를 차례로 인접하도록 배치한다. 2 개의 분할 소자(11A-1, 11A-2)는 제어 회로(12A)로부터 신호선(13A)을 통해 공급되는 제어 신호에 따라 그 동작 상태가 제어된다. 즉, 분할 소자(11A-1, 11A-2)는 파워 트랜지스터(11A)로서 동시에 구동된다. 또, 2 개의 분할 소자(11B-1, 11B-2)는 제어 회로(12B)로부터 신호선(13B)을 통해 공급되는 제어 신호에 따라 그 동작 상태가 제어된다. 즉, 분할 소자(11B-1, 11B-2)는 파워 트랜지스터(11B)로서 동시에 구동된다.

각 분할 소자(11A-1 내지 11B-2)로부터의 출력 배선(14A-1, 14B-1, 14A-2, 14B-2)를 각각 출력 패드(15A-1, 15B-1, 15A-2, 15B-2)에 접속한다.

또, 각 분할 소자(11A-1 내지 11B-2)로부터의 전원 배선(16)을 출력 배선(14A-1 내지 14B-2)과는 다른 배선층에서 공통으로 접속하여 전원 패드(17)에 접속한다. 또, 「전원」은 「그라운드」로 하여도 된다. 이 때, 전원 패드(17)에 공급되는 전압이 그라운드 전압인 경우에는, 전원 배선(16)은 그라운드 배선(16)으로 바뀌고, 전원 패드(17)는 그라운드 패드(17)로 바뀌게 된다. 이 점은, 다른 실시예에서도 마찬가지이다.

이 IC칩 본체(10)에서는, 파워 트랜지스터(11A)에 속하는 분할 소자(11A-1)와 분할 소자(11A-2) 및 파워 트랜지스터(11B)에 속하는 분할 소자(11B-1)와 분할 소자(11B-2)가 접근해서 배치된다. 그 대응하는 곳(도 2a 에서, Xa-1 과 Xb-1 및 Xa-2 와 Xb-2 로 표시함) 사이의 거리도 가깝게 된다. 즉, 대응하는 곳의 상대성은 「Xa-1 과 Xb-1」이나 「Xa-2 와 Xb-2」로 비교되게 된다. 이로써, 파워 트랜지스터(11A, 11B) 간의 특성의 격차는 상당히 저감된다.

또, 이 IC칩 본체(10)에서는, 분할 소자(11A-1 내지 11B-2)로부터의 출력 배선(14A-1 내지 14B-2)을 출력 패드(15A-1 내지 15B-2)에 바로 접속한다. 즉, 출력 배선(14A-1 내지 14B-2)끼리 교차하지 않는다. 따라서, 배선 저항을 포함한 파워 트랜지스터(11A, 11B)의 온 저항을 작게 할 수 있다.

또, 출력 배선(14A-1 내지 14B-2)이 전원 배선(6)과 교차한다. 그러나, IC칩 본체(10)에서는, 출력 배선을 위한 도전층과 전원 배선을 위한 도전층은 다른 배선층에서 형성되어 있기 때문에, 특별히 문제되지 않는다.

도 2b 의 IC칩 본체 상에 형성되는 재배선층(20)에 있어서, 출력 범프(또는 출력 포스트, 이하 동일: 21A-1, 21B-1, 21A-2, 21B-2) 및 전원 범프(또는 전원 포스트, 이하 동일: 23)가 IC칩 본체(10) 상의 대응하는 출력 패드(15A-1, 15B-1,

15A-2, 15B-2) 및 전원 패드(17)에 전기적으로 접속하도록 설치된다. 그리고, IC칩 본체(10) 상의 다른 부분에 폴리이미드 수지 등의 절연층이 설치된다. 이 절연층은 거의 출력 범프(21A-1 내지 21B-2) 또는 전원 범프(23)의 높이와 같은 정도의 두께로 하는 것이 좋다.

파워 트랜지스터(11A)에 대응하는 출력 범프(21A-1)와 출력 범프(21A-2)를 출력 결합 배선(22A)으로 접속하고, 그 출력 결합 배선(22A)을 외부로 접속하고 싶은 위치까지 배설한다. 그리고, 출력 외부 전극(24A)을 그 출력 결합 배선(22A)에 접속한다. 또, 파워 트랜지스터(11B)에 대응하는 범프(21B-1)와 범프(21B-2)를 출력 결합 배선(22B)으로 접속하고, 그 출력 결합 배선(22B)을 외부로 접속하고 싶은 위치까지 배설한다. 그리고, 출력 외부 전극(24B)을 그 출력 결합 배선(22B)에 접속한다. 또, 전원 범프(23)에 전원 범프 전극(25)을 접속한다. 이 재배선층(20)에 있어서, 출력 결합 배선(22A, 22B)끼리의 교차는 없으며, 다른 배선도 없다. 따라서, 출력 결합 배선을 1 개의 층에서 충분히 폭넓게 형성하고, 그 배선 저항을 작게 할 수 있다.

또한, 출력 외부 전극(24A, 24B)을 범프(21A-1)나 범프(21A-2) 혹은 범프(21B-1)나 범프(21B-2)에 직접 설치하도록 해도 된다.

출력 결합 배선(22A, 22B)은 출력 범프(21A 내지 21B)와 절연층이 형성된 후에 형성된다. 출력 결합 배선(22A, 22B)은 이들 범프와 같은 재료로 형성되는 것이 바람직하며, 같은 굵기와 같은 길이로 형성되는 것이 바람직하다. 출력 외부 전극(24A, 24B)이나 전원 범프 전극(25)은 볼 전극, 범프 전극 등으로 구성된다.

도 3 은 도 2a 및 도 2b 의 반도체 장치의 구성을 설명하기 위한 모식적인 단면도이며, A 와 B 의 기호는 생략되어 있다.

도 3 에서, IC칩 본체(10)의 내부에 도 2a 에 나타난 각 구성 요소가 만들어져 있다. 그 IC칩 본체(10)의 표면에 출력 패드(15)가 형성된다. 그 출력 패드(15)에 범프(또는, 포스트: 21)를 전기적으로 접속하도록 형성한다. 그리고, IC칩 본체(10) 상의 다른 부분에는 절연층(26)을 형성한다. 다음으로, 소정 범프(21)끼리 출력 결합 배선(22)으로 접속되고, 출력 외부 전극(24)이 출력 결합 배선(22)에 접속된다.

이 제 2 실시예에 의하면, 복수개의 파워 소자(11A, 11B) 각각을 복수의 분할 소자(11A-1 내지 11B-2)로부터 구성하고, 이들 분할 소자를 다른 파워 소자에 속하는 것이 차례로 인접하도록 배치하고 있다. 따라서, 파워 소자 간의 특성의 상대적 인 격차를 저감할 수 있다. 또, 출력 배선(14A-1 내지 14B-2) 사이의 동일 평면 상에서의 교차가 없도록 하고 있으므로, 레이아웃 면적의 증대를 억제할 수 있다. 또, 재배선층(20)에 있어서, 출력 결합 배선(22A, 22B)끼리 교차가 없도록, 출력 결합 배선을 1 개의 층에서 실현하고 있다. 또한, 복수의 반도체 파워 소자(11A, 11B)가 설치되어 있는 IC칩 본체(10)에, 분할 소자를 파워 소자마다에 출력 결합 배선(22A, 22B)으로 접속하고 있는 재배선층(20)을 형성하기 때문에, 본 발명의 반도체 장치를 통상의 IC칩으로서 사용할 수 있다.

도 4 는 본 발명의 제 3 실시예에 관한 반도체 장치의 IC칩 본체(10')의 구성을 나타내는 도면이다. 도 4 에서, IC칩 본체(10')에는 분할 소자(11A-1 내지 11B-2)를 전원 패드(17')에 접속하는 전원 배선(16')이 동일 평면 상에서 출력 배선(14A-1 내지 14B-2)의 어느 것보다도 교차하지 않도록 배치되어 있다. 따라서, 출력 배선(14A-1 내지 14B-2)과 전원 배선(16')을 동일 배선층에서 형성할 수 있다. 그 다른 점은, 도 2a 의 IC칩 본체(10)와 마찬가지로이다.

이 IC칩 본체(10') 상에는, 도 2b 에서 나타난 재배선층(20)이 형성된다.

이 제 3 실시예에 의하면, 제 2 실시예에 비해 전원 배선(16')의 배선 길이는 길어지지만, 출력 배선(14A-1 내지 14B-2) 및 전원 배선(16')을 같은 배선층에서 형성할 수 있다. 또, 그 외에, 제 2 실시예와 같은 효과를 얻을 수 있다.

도 5a 및 도 5b 는 본 발명의 제 4 실시예에 관한 반도체 장치의 구성을 나타내는 도면이다. 도 5a 는 IC칩 본체(30)의 구성을 나타내는 도면이며, 도 5b 는 IC칩 본체 상에 형성되는 재배선층(40)의 구성을 나타내는 도면이다.

도 5a 에서, IC칩 본체(30)에는 2 개의 파워 트랜지스터(31A, 31B: 즉, N = 2)를 각각 2 개의 분할 소자(즉, M = 2)로 구성하는 예를 나타내고 있다. 파워 트랜지스터(31A, 31B)의 요소로 되는 복수의 분할 소자(31A-1, 31B-1, 31A-2, 31B-2)를 차례로 인접하도록 배치한다. 2 개의 분할 소자(31A-1, 31A-2)는 제어 회로(32A)로부터 신호선(33A)을 통해 공급되는 제어 신호에 따라 그 동작 상태가 제어된다.

파워 트랜지스터(31A)를 구성하는 분할 소자(31A-1, 31A-2)로부터의 출력 패드(35A-1, 35A-2)는 도면에 나타난 바와 같이 그 분할 소자의 상측에 접근해서 설치되어 있다. 또, 전원 패드(37-1, 37-3)는 도면에 나타난 바와 같이 그 분할 소자의 하측에 접근해서 설치되어 있다. 또, 파워 트랜지스터(31B)를 구성하는 분할 소자(31B-1, 31B-2)로부터의 출력 패드(35B-1, 35B-2)는 도면에 나타난 바와 같이 그 분할 소자의 하측에 접근해서 설치되어 있다. 또, 전원 패드(37-2, 37-4)는 도면에 나타난 바와 같이 그 분할 소자의 상측에 접근해서 설치되어 있다. 2 개의 분할 소자(31A-1, 31A-2) 및 2 개의 분할 소자(31B-1, 31B-2)는 제어 회로(32A, 32B)로부터 신호선(33A, 33B)을 통해 공급되는 제어 신호에 따라 그 동작 상태가 제어된다. 즉, 분할 소자(31A-1, 31A-2) 및 분할 소자(31B-1, 31B-2)는 파워 트랜지스터(31A, 31B)로서 동시에 구동된다.

이와 같이, 4(N×M) 개의 분할 소자(31A-1 내지 31B-2) 각각에 대하여, 출력 배선(도 5a 에서는, 기호를 생략하고 있음)에 의해 접속된 출력 패드(31A-1 내지 31B-2) 및 전원 배선(도 5a 에서는, 기호를 생략하고 있음)에 의해 접속된 전원 패드(37-1 내지 37-4)가 각각에 설치되어 있다.

그리고, 4(N×M) 개의 출력 패드(35A-1 내지 35B-2)가, 반도체 파워 소자에 속하는 분할 소자군 마다, 즉 반도체 파워 소자(31A)에 속하는 분할 소자군(31A-1, 31A-2)에 대해서 도면의 위 방향에 배치되고, 반도체 파워 소자(31B)에 속하는 분할 소자군(31B-1, 31B-2)에 대해서 다른 방향(아래 방향)에 배치되어 있다. 또, 4(N×M) 개의 전원 패드(37-1 내지

37-4)가, 반도체 파워 소자에 속하는 분할 소자군 마다, 즉 반도체 파워 소자(31A)에 속하는 분할 소자군(31A-1, 31A-2)에 대해서 도면의 아래 방향에 배치되고, 반도체 파워 소자(31B)에 속하는 분할 소자군(31B-1, 31B-2)에 대해서 다른 방향(윗 방향)에 배치되어 있다.

이와 같이, 출력 패드(35A-1 내지 35B-2) 및 전원 패드(37-1 내지 37-4)를 배치함으로써 출력 배선 및 전원 배선이 서로 교차되지 않도록 하고, 출력 배선 및 전원 배선의 길이를 매우 짧게 할 수 있다.

도 5b 의 IC칩 본체 상에 형성된 재배선층(40)에 있어서, 출력 범프(41A-1, 41B-1, 41A-2, 41B-2) 및 전원 범프(43-1 내지 43-4)가 IC칩 본체(30) 상의 대응하는 출력 패드(35A-1, 35B-1, 35A-2, 35B-2) 및 전원 패드(37-1 내지 37-4)에 전기적으로 접촉하도록 설치된다. 그리고, IC칩 본체(30) 상의 다른 부분에 절연층이 설치된다.

파워 트랜지스터(31A)에 대응하는 출력 범프(41A-1)와 출력 범프(41A-2)를 출력 결합 배선(42A)으로 접속하고, 그 출력 결합 배선(42A)을 외부에 접속하고 싶은 위치까지 배설한다. 그리고, 출력 외부 전극(44A)을 출력 결합 배선(42A)에, 이 예에서는, 출력 범프(41A-2)의 포인트에서 접속한다. 또, 파워 트랜지스터(31B)에 대응하는 범프(41B-1)와 범프(41B-2)를 출력 결합 배선(42B)으로 접속하고, 그 출력 결합 배선(42B)을 외부에 접속하고 싶은 위치까지 배설한다. 그리고, 출력 외부 전극(44B)을 출력 결합 배선(42B)에, 이 예에서는, 출력 범프(41B-1)의 포인트에서 접속한다. 또, 전원 범프(43-1 내지 43-4)를 전원 결합 배선(46)으로 접속하고, 그 전원 결합 배선(46)을 외부로 접속하고 싶은 위치까지 배설한다.

그리고, 전원 전극(45-1, 45-2)을 전원 결합 배선(46)에, 이 예에서는, 전원 범프(43-1, 43-4)의 2 개의 포인트에서 접속한다. 이 재배선층(40)에 있어서, 출력 결합 배선(42A, 42B)끼리의 교차는 없다. 또, 전원 결합 배선(46)과의 교차도 없다. 따라서, 출력 결합 배선(42A, 42B), 전원 결합 배선(46)을 1 개의 도전층에서 실현할 수 있다. 이 반도체 장치의 그 다른 점은, 제 2 내지 제 3 실시예에서와 마찬가지로이다.

이 제 4 실시예에 의하면, 출력 배선 및 전원 배선이 완전히 교차하지 않으며, 출력 배선 및 전원 배선의 길이를 아주 짧게 할 수 있다. 또, 그 외에 제 2 실시예와 같은 효과를 얻을 수 있다.

도 6a 및 도 6b 는 본 발명의 제 5 실시예에 관한 반도체 장치의 구성을 나타내는 도면이다. 도 6a 는 IC칩 본체(50)의 구성을 나타내는 도면이며, 도 6b 는 IC칩 본체 상에 형성되는 재배선층(60)의 구성을 나타내는 도면이다.

도 6a 에서, IC칩 본체(50)에는, 2 개의 파워 트랜지스터(51A, 51B: 즉, $N = 2$)를 각각 3 개의 분할 소자(즉, $M = 3$)로 구성하는 예를 나타내고 있다. 도 6b 의 IC칩 본체 상에 형성되는 재배선층(60)에서는, IC칩 본체(50)에서의 파워 트랜지스터의 3 분할 구성에 대응한 구성으로 되어 있다. 이 도 6a 의 IC칩 본체(50) 및 도 6b 의 재배선층(60)에서, 각 파워 트랜지스터가 3 분할 구성으로 되어 있는 것 외에는, 도 5a 및 도 5b 에서 설명한 제 4 실시예와 동일하다. 다만, 각 구성 요소의 기호가 도 6a 에서는 50 번대로, 도 6b 에서는 60 번대로 되어 있다.

즉, 51A-1 내지 51B-3 은 파워 트랜지스터(51A, 51B)의 각 분할 소자, 52A 및 52B 는 제어 회로, 53A 및 53B 는 신호선, 55A-1 내지 55B-3 은 출력 패드, 57-1 내지 57-6 은 전원 패드이다. 또, 61A-1 내지 61B-3 은 출력 범프, 62A 및 62B 는 출력 결합 배선, 63-1 내지 63-6 은 전원 범프, 64A 및 64B 는 출력 외부 전극, 65-1 및 65-2 는 전원 외부 전극, 66 은 전원 결합 배선이다.

이 제 5 실시예에서는, 1 개의 파워 소자당 분할 소자수 M 을 증가시킬 수 있고, 이 경우에도 제 4 실시예와 같은 효과를 얻을 수 있다.

도 7a 및 도 7b 는 본 발명의 제 6 실시예에 관한 반도체 장치의 구성을 나타내는 도면이다. 도 7a 는 IC칩 본체(70)의 구성을 나타내는 도면이며, 도 7b 는 IC칩 본체 상에 형성되는 재배선층(80)의 구성을 나타내는 도면이다.

도 7a 에 있어서, IC칩 본체(70)에는, 3 개의 파워 트랜지스터(71A, 71B, 71C: 즉, $N = 3$)를 각각 2 개의 분할 소자(즉, $M = 2$)로 구성하는 예를 나타내고 있다. 도 7b 의 IC칩 본체 상에 형성되는 재배선층(80)에서는, IC칩 본체(70)로의 3 개의 파워 트랜지스터의 2 분할 구성에 대응한 구성으로 되어 있다. 이 도 7a 의 IC칩 본체(70) 및 도 7b 의 재배선층(80)에서, 3 개의 파워 트랜지스터가 2 분할 구성으로 되어 있는 것 외에는, 도 2a 및 도 2b 에서 설명한 제 2 실시예와 같다. 다만, 각 구성요소의 기호가, 도 7a 에서는 70 번대로, 도 7b 에서는 80 번대로 되어 있다.

즉, 71A-1 내지 71C-2 는 파워 트랜지스터(71A, 71B, 71C)의 각 분할 소자, 72A 및 72B 및 72C 는 제어 회로, 73A 및 73B 및 73C 는 신호선, 74A-1 내지 74C-2 는 출력 배선, 75A-1 내지 75C-2 는 출력 패드, 76 은 전원 배선, 77 은 전원 패드이다. 또, 81A-1 내지 81C-2 는 출력 범프, 82A 및 82B 및 82C 는 출력 결합 배선, 83 은 전원 범프, 84A 및 84B 및 84C 는 출력 외부 전극, 85 는 전원 외부 전극이다.

이 제 6 실시예에서는, 파워 소자수 N 을 늘린 경우에서도 출력 배선을 동일 평면 상에서 교차하는 일 없이 각 블록을 접속하는 것을 용이하게 할 수 있어, 제 2 실시예나 다른 실시예와 같은 효과를 얻을 수 있다.

이상의 설명에서는 $M = 2$ 또는 $N = 2$ 까지의 경우에 대해서만 설명했지만, $M \geq 3$, $N \geq 3$ 에서도 마찬가지로이며, 보다 용이하게 배선 저항을 작게 하여 배선 공간을 줄일 수 있다.

발명의 효과

본 발명에 의하면, 파워 트랜지스터 등의 대용량 파워 소자가 복수개 설치된 반도체 장치에 있어서, 이들 복수개의 대용량 파워 소자 간 특성의 상대적인 격차를 저감할 수 있는 반도체 장치를 구현할 수 있다.

또, 본 발명에 따르면, 파워 트랜지스터 등의 대용량 파워 소자가 복수개 설치된 반도체 장치에 있어서, 이들 복수개의 대용량 파워 소자 간 특성의 상대적인 격차를 저감함과 함께 출력 배선 간의 교차가 없도록 하여 레이아웃 면적의 증대를 억제할 수 있는 반도체 장치를 구현할 수도 있다.

(57) 청구의 범위

청구항 1.

복수 $N(N \geq 2)$ 개의 반도체 파워 소자를 가진 반도체 장치에 있어서,

상기 각 반도체 파워 소자를 복수 $M(M \geq 2)$ 개의 분할 소자로 구성하고, $N \times M$ 개의 분할 소자를 다른 반도체 파워 소자에 속하는 분할 소자가 순차적으로 반복하여 정렬하도록 배치하고,

상기 복수 N 개의 반도체 파워 소자에 대응하여, 복수 N 개의 출력 패드를 설치하며,

상기 각 반도체 파워 소자에 속하는 분할 소자로부터의 출력 배선을 상기 각 반도체 파워 소자에 대응하는 상기 출력 패드에 접속하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 $N \times M$ 개의 분할 소자를 적어도 1 개의 전원 패드 또는 그라운드 패드에 접속한 전원 배선 또는 그라운드 배선을 가지고 있으며,

상기 전원 배선 또는 그라운드 배선은, 상기 출력 배선의 배선층과는 다른 배선층에 의해 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

복수 $N(N \geq 2)$ 개의 반도체 파워 소자를 가진 반도체 장치에 있어서,

상기 각 반도체 파워 소자를 복수 $M(M \geq 2)$ 개의 분할 소자로 구성하고, $N \times M$ 개의 분할 소자를 다른 반도체 파워 소자에 속하는 분할 소자가 순차적으로 반복하여 정렬하도록 배치하고, 상기 $N \times M$ 개의 분할 소자로부터의 출력 배선을 각 출력 배선끼리 교차하지 않도록 $N \times M$ 개의 출력 패드에 접속하고 있는 반도체 집적회로 본체; 및

상기 반도체 집적회로 본체 상에, 상기 $N \times M$ 개의 출력 패드에 전기적으로 접속하여 각 출력을 출력하는 출력 범프가 배치되어 있고, 상기 N 개의 반도체 파워 소자 중 같은 파워 소자에 속하는 상기 출력 범프를 상기 반도체 집적회로 본체와의 사이에 절연층을 통해 설치된 출력 결합 배선으로 접속하고, 외부에 접속하기 위한 출력 외부 전극에 접속하는 재배선층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제 3 항에 있어서,

상기 반도체 집적회로 본체에는, 상기 $N \times M$ 개의 분할 소자를 적어도 1 개의 전원 패드 또는 그라운드 패드에 접속하는 전원 배선 또는 그라운드 배선을 가지고 있고,

상기 전원 배선 또는 그라운드 배선은, 상기 출력 배선의 배선층과는 다른 배선층에 의해 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5.

제 3 항에 있어서,

상기 반도체 집적회로 본체에는, 상기 $N \times M$ 개의 분할 소자를 적어도 1 개의 전원 패드 또는 그라운드 패드에 접속하는 전원 배선 또는 그라운드 배선을 가지고 있고,

상기 재배선층에는, 상기 전원 패드 또는 그라운드 패드에 전기적으로 접촉하도록 전원 범프 또는 그라운드 범프가 배치되어 있고, 상기 전원 범프 또는 그라운드 범프에 전원 외부 전극 또는 그라운드 외부 전극이 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6.

제 5 항에 있어서,

상기 전원 배선 또는 그라운드 배선은 상기 출력 배선 중 어느 것보다 동일 평면 상에서 교차하지 않도록 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7.

제 5 항에 있어서,

상기 $N \times M$ 개의 출력 패드가, 각 반도체 파워 소자에 속하는 분할 소자군 마다, 각 분할 소자에 대하여 다른 방향으로 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8.

제 7 항에 있어서,

상기 $N \times M$ 개의 전원 패드 또는 그라운드 패드가, 각 반도체 파워 소자에 속하는 분할 소자군 마다, 각 분할 소자에 대하여 상기 출력 패드와는 더욱 다른 방향으로 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9.

제 3 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 출력 결합 배선은, 상기 출력 범프와 상기 절연층이 형성된 후에, 상기 출력 범프와 같은 재료로 형성되어 있는 것을 특징으로 하는 반도체 장치.

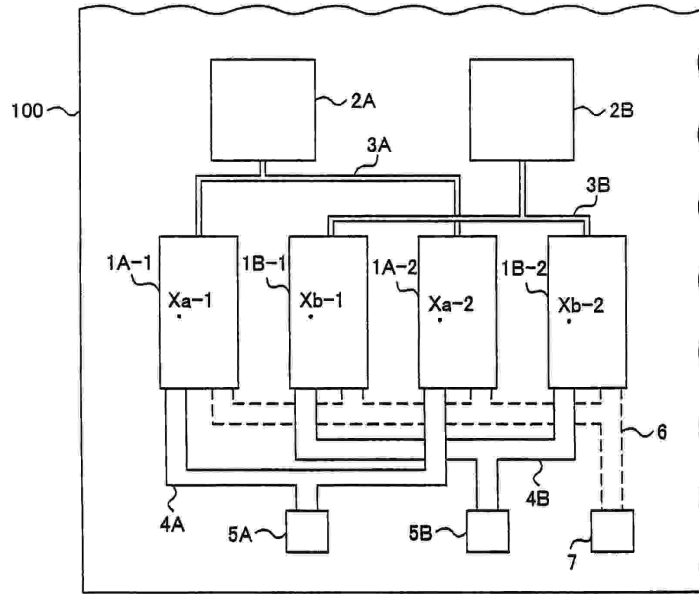
청구항 10.

제 3 항 내지 제 8 항 중 어느 한 항에 있어서,

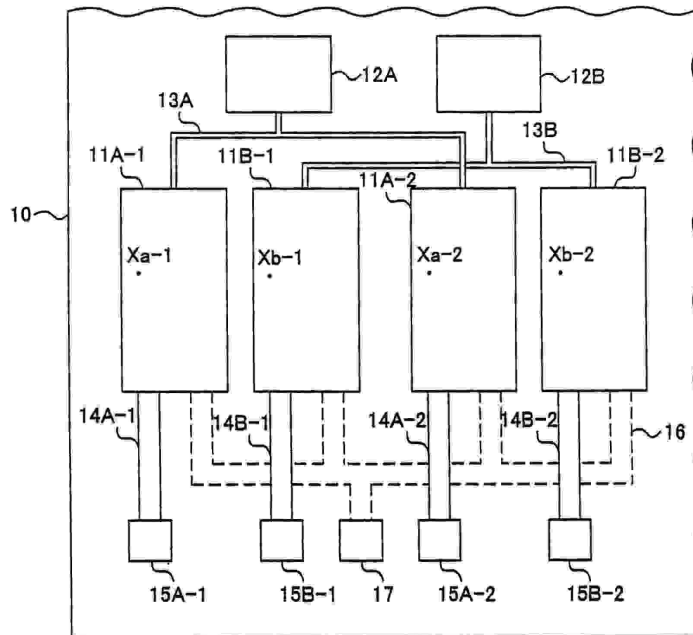
상기 출력 외부 전극은 불 전극인 것을 특징으로 하는 반도체 장치.

도면

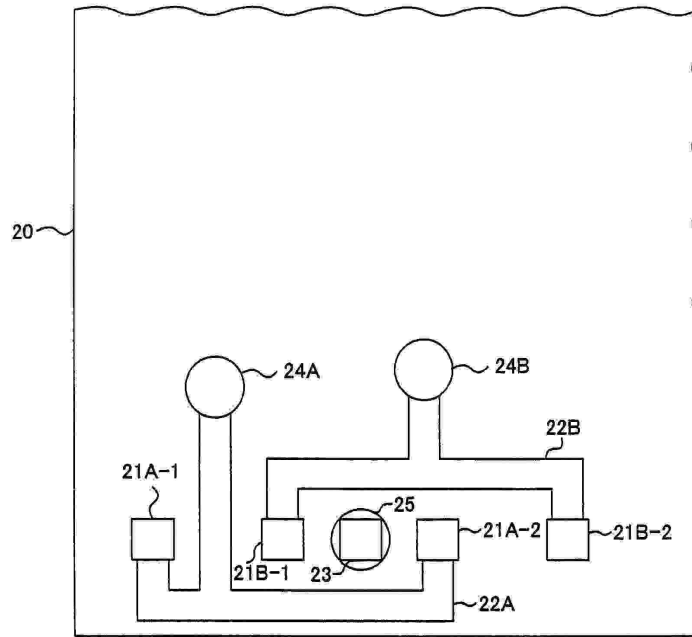
도면1



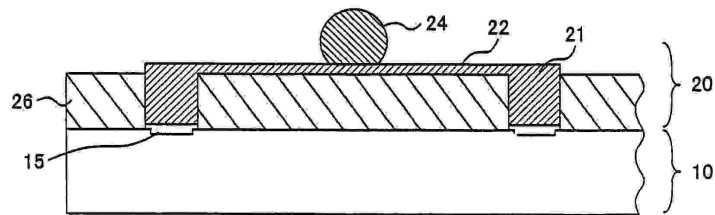
도면2a



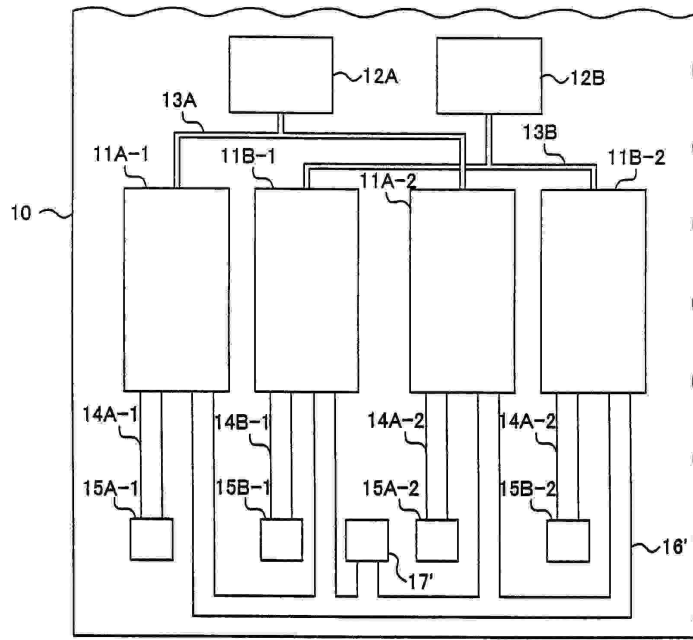
도면2b



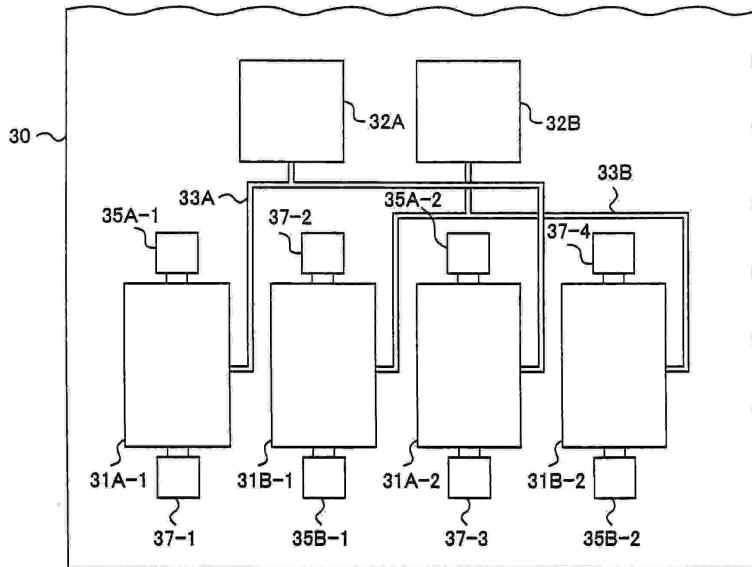
도면3



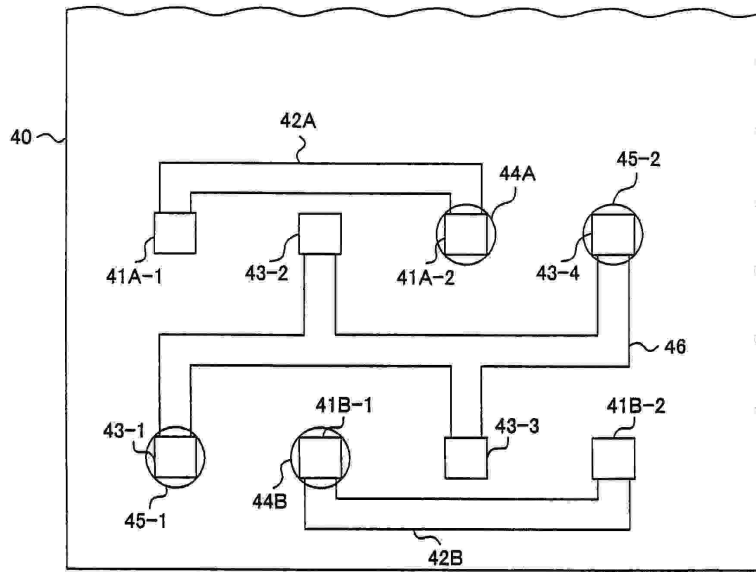
도면4



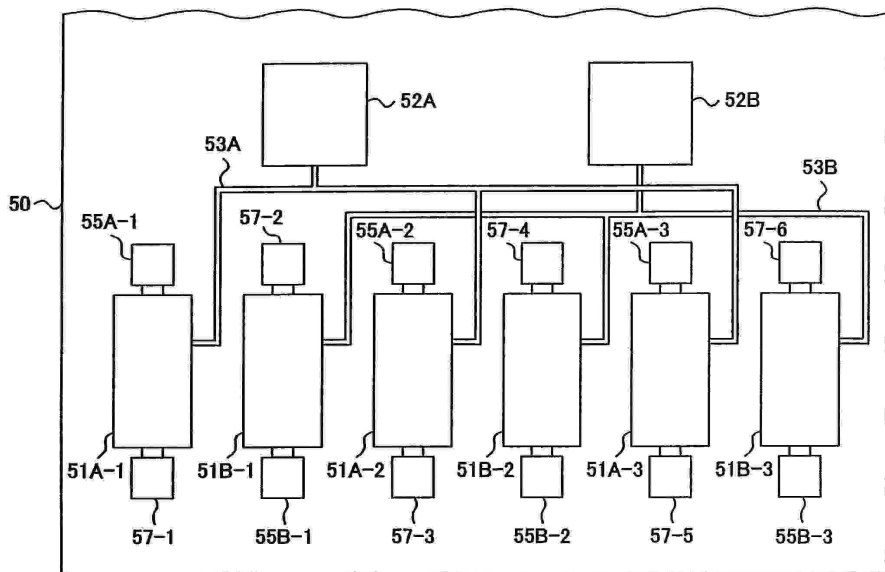
도면5a



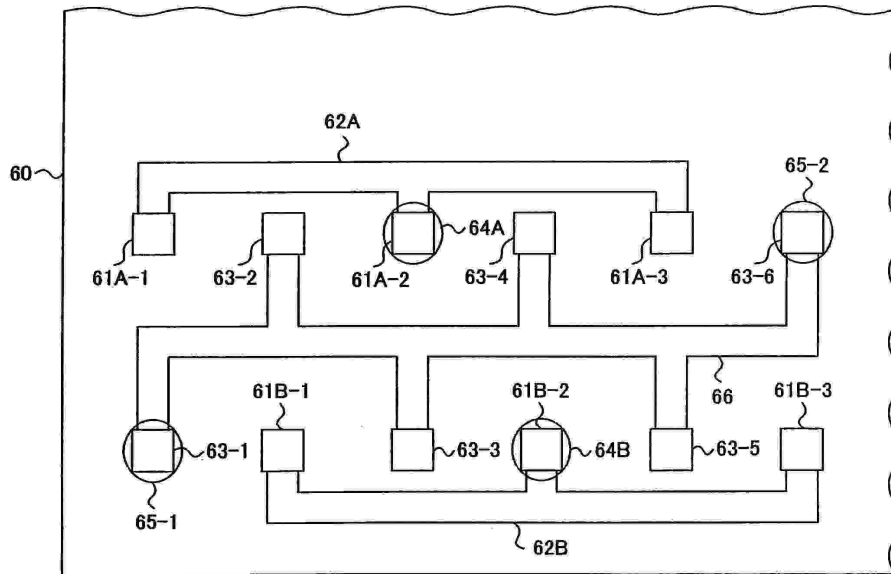
도면5b



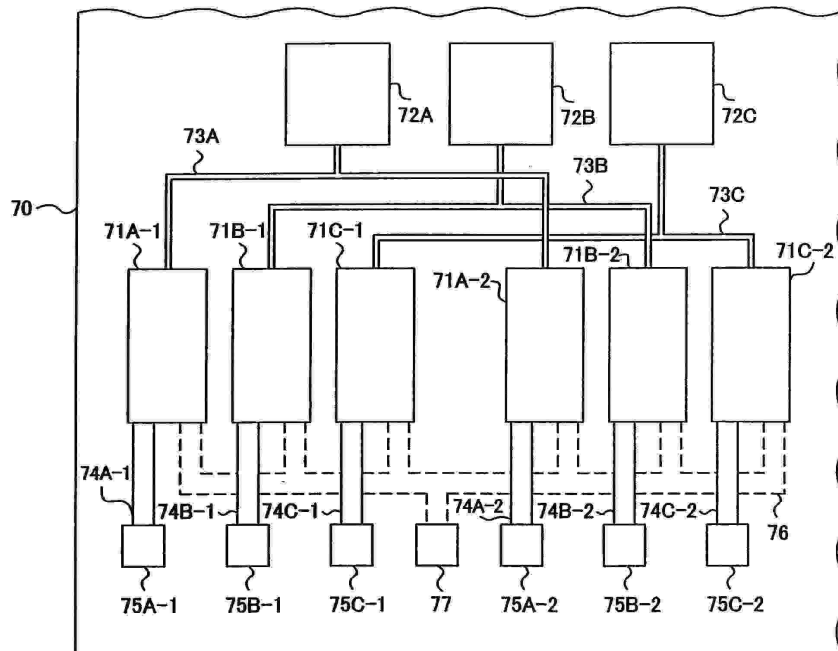
도면6a



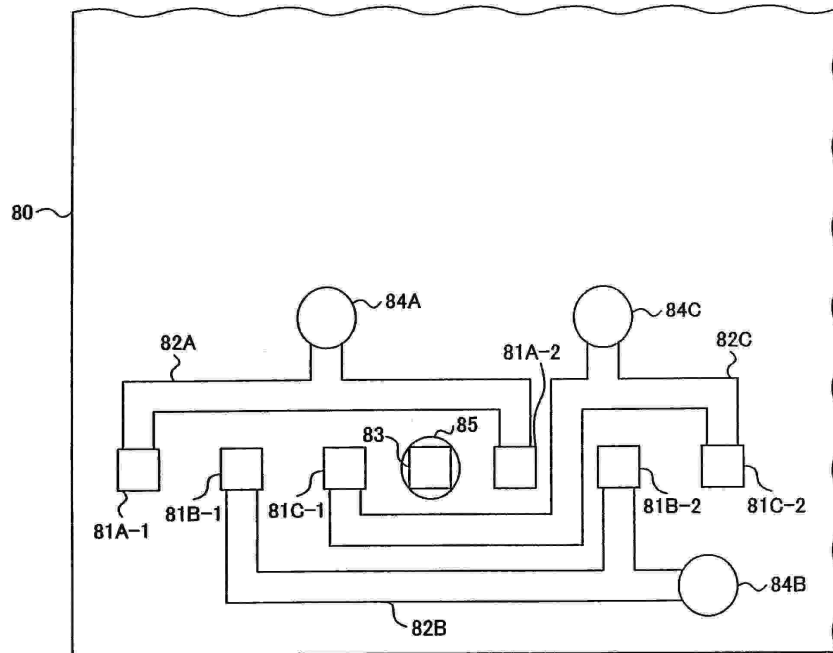
도면6b



도면7a



도면7b



도면8

