

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月15日(15.02.2018)



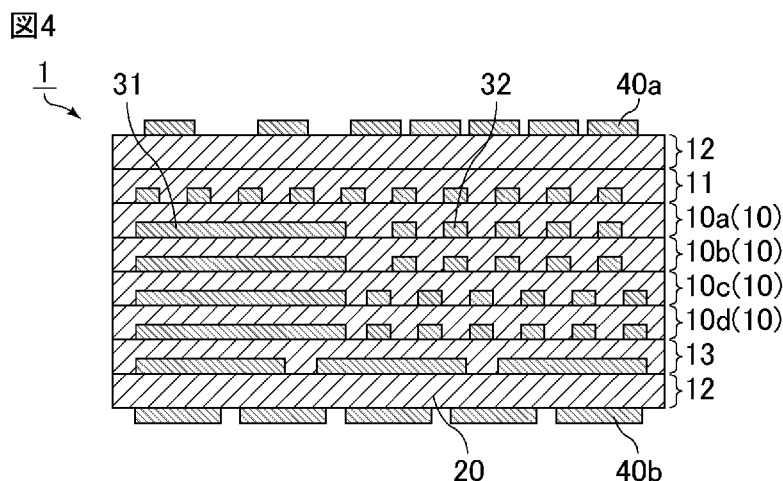
(10) 国際公開番号

WO 2018/030192 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01) *H05K 1/03* (2006.01)
H05K 1/02 (2006.01)
- (21) 国際出願番号: PCT/JP2017/027647
- (22) 国際出願日: 2017年7月31日(31.07.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-157812 2016年8月10日(10.08.2016) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 山元 一生 (YAMAMOTO, Issei);
〒6178555 京都府長岡京市東神足 1 丁目 10
番 1 号 株式会社村田製作所内 Kyoto (JP). 松
下 洋介(MATSUSHITA, Yosuke); 〒6178555 京
- 都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 安富国際特許事
務所(YASUTOMI & ASSOCIATES); 〒5320003
大阪府大阪市淀川区宮原 3 丁目 5
番 36 号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: セラミック電子部品



(57) **Abstract:** This ceramic electronic component is provided with a wiring formed layer having: a ceramic insulating layer containing a low-temperature sintering ceramic material; and a wiring pattern formed on the ceramic insulating layer. The ceramic electronic component is characterized in that, in the wiring formed layer: a plurality of dummy patterns are also formed in a region where the wiring pattern is not formed, said region being on the ceramic insulating layer; and the wiring width of the dummy patterns is smaller than the minimum value of the wiring width of the wiring pattern.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本発明のセラミック電子部品は、低温焼結セラミック材料を含有するセラミック絶縁層と、上記セラミック絶縁層の上に形成された配線パターンとを有する配線形成層を備えたセラミック電子部品であって、上記配線形成層では、セラミック絶縁層の上で上記配線パターンが形成されていない場所に複数のダミーパターンがさらに形成されており、上記ダミーパターンの配線幅は、上記配線パターンの配線幅の最小値よりも小さいことを特徴とする。

明 細 書

発明の名称：セラミック電子部品

技術分野

[0001] 本発明は、セラミック電子部品に関する。

背景技術

[0002] 多層セラミック基板及び積層セラミックコンデンサ等のセラミック電子部品は、セラミックグリーンシートを用いて製造される。

[0003] 特許文献1では、グリーンシートを用いて多層セラミック基板を作製するプロセスにおいて、集合基板の製品部と耳部の電極密度の違いから発生する基板の歪みを解消するために、耳部にも製品パターンを配置することが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-200073号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載された技術では、集合基板の製品部と耳部における電極密度のミスマッチの解消を課題としているが、製品設計によっては、製品部内においても電極密度の偏りが発生する場合がある。

[0006] グリーンシートを用いた多層セラミック基板の作製工程において、グリーンシートを積層した積層体を焼成すると、セラミック部分は焼成により収縮するが、電極部分は収縮しにくい。そのため、電極部分が多い箇所では全体としての収縮量が少なく、電極部分が少ない箇所では全体としての収縮量が多い。

そして、積層体の焼成時における収縮量の違いから層間の剥離や形状の歪みが生じることがある。また、製品の表裏面での凹凸が増大する（コプラナリティが悪化する）という問題が生じることがある。

[0007] また、近年需要が高まっている高密度配線、高密度実装を満足するために、主面方向には収縮しない無収縮セラミック基板が実用化されている。無収縮セラミック基板の中でも拘束層と呼ばれる収縮を抑制する層をセラミック層に配置する基板があるが、セラミック層同士よりもセラミック層と拘束層の間の密着力は弱いために、製品内で電極密度に偏りがあると焼成時の層間の剥離が顕在化する問題がある。

[0008] 本発明は上記の問題を解決するためになされたものであり、焼成時のセラミック部分及び電極部分の収縮に起因する構造欠陥が生じにくいセラミック電子部品を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するため、本発明のセラミック電子部品は、低温焼結セラミック材料を含有するセラミック絶縁層と、上記セラミック絶縁層の上に形成された配線パターンとを有する配線形成層を備えたセラミック電子部品であって、上記配線形成層では、セラミック絶縁層の上で上記配線パターンが形成されていない場所に複数のダミーパターンがさらに形成されており、上記ダミーパターンの配線幅は、上記配線パターンの配線幅の最小値よりも小さいことを特徴とする。

[0010] 本発明のセラミック電子部品では、セラミック絶縁層の上に配線パターンを有する配線形成層において、セラミック絶縁層の上で配線パターンが形成されていない場所に複数のダミーパターンが形成されている。

ダミーパターンの配線幅は、配線パターンの配線幅の最小値よりも小さくなっている。ダミーパターンが小さいパターンであることにより、電子部品における電気特性（特性インピーダンス及び静電容量）に影響を与えないようになっている。

製品部内において電極密度を調整する場合、製品部と製品部外の電極密度の違いを調整する場合とは異なり、製品の電気特性に影響を与えないように電極密度を調整する必要がある。そのため、配線パターンと同じ形状のパターンを形成するのではなく、配線パターンよりも小さいパターンを形成する必

要がある。

当業者であればパターンの配置位置、他の配線との接続の態様、及び、パターンの形状等から配線パターンとダミーパターンの区別をすることは可能である。

配線パターンが形成されていない場所にダミーパターンが形成されていることにより、1層の配線形成層において電極部分が多い箇所と少ない箇所の区別がなくなり、電極密度の偏りが解消される。

このような構成であると、電極密度の偏りに起因する焼成時の構造欠陥の発生を防止することができる。

[0011] 本発明のセラミック電子部品では、1層ごとに電極密度の偏りを解消する。

本発明のセラミック電子部品が多層セラミック基板である場合には、電極密度の偏りが解消された配線形成層を複数層積層することにより、多層セラミック基板全体として構造欠陥の発生を防止することができる。

[0012] 本発明のセラミック電子部品は、上記低温焼結セラミック材料の焼結温度では実質的に焼結しない金属酸化物を含有する拘束層をさらに備えており、上記ダミーパターンは上記セラミック絶縁層と上記拘束層の間に位置していることが好ましい。

拘束層が存在するセラミック電子部品では、拘束層とセラミック絶縁層の間での密着力が弱いことから焼成時に拘束層とセラミック絶縁層との間で層間剥離が生じることが懸念される。しかしながら、ダミーパターンが形成されることによって電極密度の偏りが解消されると、拘束層とセラミック絶縁層との間に加わる応力の偏りが少なくなり、結果として拘束層とセラミック絶縁層との間での層間剥離の発生を防止することができる。

[0013] 本発明のセラミック電子部品では、上記ダミーパターンの形成密度が10個/mm²以上、400個/mm²以下であることが好ましい。

ダミーパターンの形成密度が上記範囲であるということは、微細なダミーパターンであることを意味しており、微細なダミーパターンであれば、電気特性（特性インピーダンス及び静電容量）に影響を与えることがない。また、

コプラナリティにも影響を与えることがない。

[0014] 本発明のセラミック電子部品では、上記ダミーパターンを構成する材料の組成が、上記配線パターンを構成する材料の組成と同じであることが好ましい。

ダミーパターンを構成する材料の組成が配線パターンを構成する材料の組成と同じであると、配線パターンの形成と同時にダミーパターンを形成することができるため製造工程上有利である。

[0015] 本発明のセラミック電子部品では、上記ダミーパターンを構成する材料の組成が、上記配線パターンを構成する材料の組成と異なることが好ましい。

ダミーパターンを構成する材料の組成を調整することにより、焼成時におけるダミーパターン部分の収縮量の調整をすることができる。これにより、焼成時の構造欠陥の発生がより確実に防止されるセラミック電子部品とすることができる。

[0016] 本発明のセラミック電子部品では、上記ダミーパターンが、一定ピッチで配置されたパターンであることが好ましい。

ダミーパターンが一定ピッチで配置されていると、焼成時に低温焼結セラミック材料の収縮により発生する応力が均等に緩和されるため、焼成時の構造欠陥の発生がより確実に防止されるセラミック電子部品とすることができる。

[0017] 本発明のセラミック電子部品では、上記配線形成層が複数層設けられており、上記ダミーパターンの形成位置が各配線形成層において同じであることが好ましい。

ダミーパターンの形成位置を各配線形成層において同じにすると、同じスクリーン印刷版を用いてダミーパターンを印刷することができ、製造コストを削減することができる。

また、フォトリソ工法によりダミーパターンを形成する場合も同じマスクを使用することができ、製造コストを削減することができる。

[0018] 本発明のセラミック電子部品では、上記配線形成層が複数層設けられており

、上記ダミーパターンの形成位置が各配線形成層において異なることが好ましい。

ダミーパターンの形成位置が各配線層において異なる場合、焼成時の収縮によりかかる応力の発生位置を各層で分散することができるので、構造欠陥の発生を更に抑制することができる。

[0019] 本発明のセラミック電子部品では、同一の上記セラミック絶縁層の上に形成された上記複数のダミーパターンの形状がそれぞれ同じであることが好ましい。

ダミーパターンの形状がそれぞれ同じであると、ダミーパターンが形成された場所において焼成時の収縮によりかかる応力が均等に緩和されるため、構造欠陥の発生をさらに抑制することができる。

発明の効果

[0020] 本発明によれば、焼成時のセラミック部分及び電極部分の収縮に起因する構造欠陥が生じにくいセラミック電子部品を提供することができる。

図面の簡単な説明

[0021] [図1]図1は、セラミック電子部品を構成する配線形成層の一例を模式的に示す断面図である。

[図2]図2は、配線形成層の一例を模式的に示す平面図である。

[図3]図3(a)、図3(b)、図3(c)、図3(d)及び図3(e)は、ダミーパターンの形状の一例を模式的に示す平面図である。

[図4]図4は、配線形成層を備える多層セラミック基板の一例を模式的に示す断面図である。

[図5]図5(a)はダミーパターンの形成位置が各配線形成層において同じである場合のダミーパターンの形成位置を模式的に示す断面図であり、図5(b)はダミーパターンの形成位置が各配線形成層において異なる場合のダミーパターンの形成位置を模式的に示す断面図である。

[図6]図6は、拘束層を備える多層セラミック基板の一例を模式的に示す断面図である。

発明を実施するための形態

[0022] 以下、本発明のセラミック電子部品について説明する。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。

以下において記載する本発明の個々の望ましい構成を2つ以上組み合わせたものもまた本発明である。

以下に示す各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。

[0023] 本発明のセラミック電子部品の一実施形態として、多層セラミック基板を例にとって説明する。

[0024] 図1は、セラミック電子部品を構成する配線形成層の一例を模式的に示す断面図である。

配線形成層10は、低温焼結セラミック材料を含有するセラミック絶縁層20と、セラミック絶縁層20の上に形成された配線パターン31を備えている。図1において配線パターン31はセラミック絶縁層20の上で左側に形成されており、セラミック絶縁層20の上で右側には配線パターン31が形成されていない。

セラミック絶縁層20の上で配線パターン31が形成されていない場所にはダミーパターン32が複数形成されている。

[0025] 図2は、配線形成層の一例を模式的に示す平面図である。

図2には、セラミック絶縁層20の上に配線パターン31と複数のダミーパターン32が形成されている様子を示している。ダミーパターン32の形状はそれぞれ十字状であり、十字状のダミーパターン32が一定ピッチで配置されている。また、複数のダミーパターン32の形状はそれぞれ同じである。

ダミーパターン32は配線パターン31の配線幅の最小値（図2には両矢印 W_1 で示す）よりも小さな配線幅（図2には両矢印 W_2 で示す）を有するパターンである。

なお、配線パターン及びダミーパターンの形状により配線幅として考えられる部位が複数ある場合には、それぞれ最も小さな配線幅と考える部分の幅を配線幅として、ダミーパターンと配線パターンの関係を定めることができる。

ダミーパターンの配線幅を定める具体例については後で詳しく説明する。

[0026] ダミーパターンは、配線パターンに対して電極密度の偏りを緩和するように配置される。

電極密度を調整するためのパラメータとして、ダミーパターンの形成密度、ピッチ、形状、サイズ、厚みといったものが挙げられる。

[0027] ダミーパターンの形成密度は、 $10\text{個}/\text{mm}^2$ 以上、 $400\text{個}/\text{mm}^2$ 以下であることが好ましい。パターンの形成密度がこのような範囲であるダミーパターンは微細なパターンと呼べる小ささであり、このような微細なダミーパターンは電気特性に影響を及ぼすことがない。

[0028] ダミーパターンのピッチを小さくしてダミーパターンの形成密度を高めると電極密度を稼ぐことができるが、ピッチが小さすぎると電気特性に影響を及ぼすことがあるため、あまりピッチを小さくしないことが好ましい。

ダミーパターンのピッチは隣接するダミーパターンの中心間の距離として定められる。

適切なピッチは $50\mu\text{m}$ 以上、 $400\mu\text{m}$ 以下である。

なお、複数のダミーパターン間のピッチは一定であることが好ましい。

[0029] 図3(a)、図3(b)、図3(c)、図3(d)及び図3(e)は、ダミーパターンの形状の一例を模式的に示す平面図である。

図3(a)は平面視正方形のダミーパターン32aを示しており、ダミーパターン32aの配線幅は両矢印 W_a で示す長さ（正方形の一辺の長さ）である。

図3(b)は平面視長方形のダミーパターン32bを示しており、ダミーパターン32bの配線幅は両矢印 W_{b1} で示す長さ（長方形の短辺の長さ）である。

図3(c)は平面視円形のダミーパターン32cを示しており、ダミーパターン32cの配線幅は両矢印 W_c で示す長さ(円の直径)である。

図3(d)は平面視楕円形のダミーパターン32dを示しており、ダミーパターン32dの配線幅は両矢印 W_{d1} で示す長さ(楕円の短径)である。

図3(e)は平面視十字状のダミーパターン32eを示しており、ダミーパターン32eの配線幅は両矢印 W_{e1} で示す長さ(十字の線の幅)である。

これらの形状の中では十字状が好ましい。

ダミーパターンの形状が十字状の場合、電極のある四方向について、特に応力を調整することができる。そのため面内で応力バランスに偏りがある場合、十字を回転することで調整することができる。

[0030] ダミーパターンのサイズを大きくすると電極密度を稼ぐことができるが、サイズが大きいと電気特性に影響を及ぼすことがあるため、あまり大きくしないことが好ましい。

適切なサイズは最大幅が $1\mu\text{m}$ 以上、 $30\mu\text{m}$ 以下になるようなダミーパターンである。

ダミーパターンの最大幅は、図3(a)の正方形及び図3(c)の円形ではそれぞれ配線幅 W_a 、 W_c と同じである。

ダミーパターンの最大幅は、図3(b)の長方形では両矢印 W_{b2} で示す長さ(長方形の長辺の長さ)であり、図3(d)の楕円形では両矢印 W_{d2} で示す長さ(楕円の長径)であり、図3(e)の十字状では両矢印 W_{e2} で示す長さ(十字の線の長さ)である。

[0031] 本発明のセラミック電子部品では、セラミック絶縁層上に上記したような形状のダミーパターンが複数設けられている。ダミーパターンとして異なる形状のものが含まれていてもよく、同一の形状のパターンのみを有していてもよいが、同一のセラミック絶縁層の上に形成された複数のダミーパターンの形状がそれぞれ同じであることが好ましい。

[0032] ダミーパターンの厚さは特に限定されるものではないが、 $1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下であることが好ましい。ダミーパターンを厚くすることによって電

極密度を稼ぐことができるが、厚くしすぎると層間ショートが発生することがある。

[0033] ダミーパターンを構成する材料の組成としては、低温焼結セラミック材料を用いたセラミック電子部品に用いられる導体材料が好適に用いられる。

導体材料としては、金属材料を含むことが好ましい。また、セラミック材料やガラス材料が添加されていてもよい。

金属材料としては、Au、Ag又はCuを含むことが好ましく、Ag又はCuを含むことがより好ましい。

また、セラミック材料としては、アルミナ、チタニア、シリカ等が挙げられる。

ガラス材料としては、石英ガラス、硼珪酸ガラス等が挙げられる。

[0034] 上記したようなダミーパターンを構成する材料の組成が、配線パターンを構成する材料の組成と同じであってもよく、異なってもよい。

配線パターンを構成する材料としても、ダミーパターンを構成する材料と同様に、低温焼結セラミック材料を用いたセラミック電子部品に用いられる導体材料が好適に用いられる。導体材料としては、金属材料を含むことが好ましい。また、セラミック材料やガラス材料が添加されていてもよい。

金属材料としては、Au、Ag又はCuを含むことが好ましく、Ag又はCuを含むことがより好ましい。Au、Ag及びCuは低抵抗であるため、特に、セラミック電子部品が高周波用途である場合に適している。

また、セラミック材料としては、アルミナ、チタニア、シリカ等が挙げられる。

ガラス材料としては、石英ガラス、硼珪酸ガラス等が挙げられる。

[0035] セラミック絶縁層は低温焼結セラミック材料を含有している。

低温焼結セラミック材料としては、例えば、クォーツやアルミナ、フォスフェイト等のセラミック材料にホウ珪酸ガラスを混合してなるガラス複合系低温焼結セラミック材料、 $ZnO-MgO-Al_2O_3-SiO_2$ 系の結晶化ガラスを用いた結晶化ガラス系低温焼結セラミック材料、 $BaO-Al_2O_3-$

SiO_2 系セラミック材料や $\text{Al}_2\text{O}_3-\text{CaO}-\text{SiO}_2-\text{MgO}-\text{B}_2\text{O}_3$ 系セラミック材料等を用いた非ガラス系低温焼結セラミック材料等が挙げられる。

[0036] セラミック電子部品を構成することのできる、配線形成層以外の層としては、セラミック絶縁層の上にダミーパターン層のみが電極密度の偏りが無いように均等に形成されているダミーパターン層や、セラミック絶縁層の上にダミーパターンも配線パターンも形成されていない非パターン層や、セラミック絶縁層の上に配線パターンのみが電極密度の偏りが無いように均等に形成されている均等配線層といった層が挙げられる。

なお、ダミーパターン層においてダミーパターンを形成する好ましい態様は配線形成層におけるダミーパターンと同様にすることができる。

これらの層はいずれもセラミック絶縁層の上に電極密度の偏りが無い層である。

本発明のセラミック電子部品が配線形成層以外の層としてこのような層を備える場合、各層に電極密度の偏りが無い製品とすることができる。このような製品には全体として電極密度の偏りはないので焼成時の収縮による構造欠陥の発生を防止することができる。

また、セラミック電子部品を構成する、配線形成層を含めた各層には、層間接続のためのビア導体がそれぞれ設けられていてもよい。

[0037] 図4は、配線形成層を備える多層セラミック基板の一例を模式的に示す断面図である。

多層セラミック基板1は、図1に示す配線形成層10（配線形成層10a、配線形成層10b、配線形成層10c及び配線形成層10d）を備えており、配線形成層10が複数層形成されている。

配線形成層10は、セラミック絶縁層20の上に配線パターン31とダミーパターン32がともに形成されたものである。しかし、本発明のセラミック電子部品が多層セラミック基板である場合、すべての層が配線形成層10のような構成の層である必要はない。

図４には、配線形成層以外の層の例として、ダミーパターン層１１、非パターン層１２及び均等配線層１３といった層がともに積層された様子を示している。

[0038] 図４においては、配線パターン３１とダミーパターン３２と、配線パターン３１及びダミーパターン３２が埋め込まれているセラミック絶縁層２０により形成された配線形成層１０を示している。すなわち、図１とは上下方向が逆になっておりセラミック絶縁層２０が上側、配線パターン３１及びダミーパターン３２が下側になるように示している。ダミーパターン層１１、非パターン層１２及び均等配線層１３についても図示の方向は同様でありセラミック絶縁層を各層の上側に示している。

[0039] また、多層セラミック基板１の最表面には、外部導体４０ａ（図４の上側に示す外部導体）及び外部導体４０ｂ（図４の下側に示す外部導体）が設けられている。

外部導体４０ａには、チップ部品（図示せず）としての積層セラミックコンデンサやＩＣ等を搭載することができる。チップ部品の外部導体４０ａへの搭載には半田等の接合材を使用してもよい。また、外部導体４０ｂは、チップ部品が搭載された多層セラミック基板１をマザーボード（図示せず）上に実装する際の電氣的接続手段として用いられる。

[0040] 本発明のセラミック電子部品では、ダミーパターンの形成位置が各配線形成層において同じであってもよく、ダミーパターンの形成位置が各配線形成層において異なってもよい。

[0041] 図４には、配線形成層が複数層形成されている多層セラミック基板１を示しているが、配線形成層におけるダミーパターンの形成位置が同じである層と異なる層を合わせて示している。具体的には、配線形成層１０ａと配線形成層１０ｂはダミーパターンの形成位置が同じ配線形成層であり、また、配線形成層１０ｃと配線形成層１０ｄはダミーパターンの形成位置が同じ配線形成層である。

一方、配線形成層１０ａ及び配線形成層１０ｂのダミーパターンの形成位置

と、配線形成層 10c 及び配線形成層 10d のダミーパターンの形成位置とは異なる。

[0042] 本発明において「セラミック電子部品に配線形成層が複数層設けられており、ダミーパターンの形成位置が各配線形成層において同じである」とは、すべての配線形成層においてダミーパターンの形成位置が同じであることを意味するのではなく、ダミーパターンの形成位置が同じ配線形成層が少なくとも 2 層存在すればよいことを意味する。

図 4 に示す多層セラミック基板 1 は、配線形成層 10a と配線形成層 10b がダミーパターンの形成位置が同じ配線形成層であるので、他の配線形成層（配線形成層 10c や配線形成層 10d）のダミーパターンの形成位置に関係なく、「セラミック電子部品に配線形成層が複数層設けられており、ダミーパターンの形成位置が各配線形成層において同じである」の要件を満足する。

[0043] 本発明において「セラミック電子部品に配線形成層が複数層設けられており、ダミーパターンの形成位置が各配線形成層において異なる」とは、すべての配線形成層においてダミーパターンの形成位置が異なることを意味するのではなく、ダミーパターンの形成位置が異なる配線形成層が少なくとも 2 層存在すればよいことを意味する。

図 4 に示す多層セラミック基板 1 は、配線形成層 10b と配線形成層 10c がダミーパターンの形成位置が異なる配線形成層であるので、他の配線形成層（配線形成層 10a や配線形成層 10d）のダミーパターンの形成位置に関係なく、「セラミック電子部品に配線形成層が複数層設けられており、ダミーパターンの形成位置が各配線形成層において異なる」の要件を満足する。

[0044] ダミーパターンの形成位置が各配線形成層において同じである場合、ダミーパターンの形成位置が各配線形成層において異なる場合にそれぞれ発揮される技術的効果につき図 5（a）及び図 5（b）を参照して説明する。

図 5（a）はダミーパターンの形成位置が各配線形成層において同じである

場合のダミーパターンの形成位置を模式的に示す断面図である。

図5（a）ではダミーパターン32が形成された配線形成層10eとダミーパターン32が形成された配線形成層10fが積層されている様子を示している。

配線形成層10eと配線形成層10fにおいて、ダミーパターンの形成位置は縦方向において同じであることが分かる。

このようにダミーパターンの形成位置を各配線形成層において同じにすると、同じスクリーン印刷版を用いてダミーパターンを印刷することができ、製造コストを削減することができる。

なお、ダミーパターンの形成位置を同じにすることで得られる効果を発揮させるためには、同じスクリーン印刷版を用いて配線パターンも印刷することから、配線パターンの形成位置も当該配線形成層において同じとなる。

[0045] 図5（b）はダミーパターンの形成位置が各配線形成層において異なる場合のダミーパターンの形成位置を模式的に示す断面図である。

図5（b）ではダミーパターン32が形成された配線形成層10gとダミーパターン32が形成された配線形成層10hが積層されている様子を示している。

配線形成層10gと配線形成層10hにおいて、ダミーパターンの形成位置は縦方向において異なっていることが分かる。

ダミーパターンの形成位置が各配線層において異なる場合、焼成時の収縮によりかかる応力の発生位置を各層で分散することができるので、構造欠陥の発生を更に抑制することができる。

[0046] 本発明のセラミック電子部品は、低温焼結セラミック材料の焼結温度では実質的に焼結しない金属酸化物を含有する拘束層をさらに備えていてもよく、ダミーパターンがセラミック絶縁層と拘束層の間に位置していてもよい。

図6は、拘束層を備える多層セラミック基板の一例を模式的に示す断面図である。

図6に示す多層セラミック基板2は、図4に示す多層セラミック基板1と同

様に配線形成層 10 を備えている。セラミック絶縁層 20 の間に拘束層 50 が設けられている点で図 4 に示す多層セラミック基板 1 とは異なるが、そのほかの構成は同様である。

[0047] 拘束層 50 は、低温焼結セラミック材料の焼結温度では実質的に焼結しない金属酸化物を含有する層である。

低温焼結セラミック材料の焼結温度では実質的に焼結しない金属酸化物としては、例えば、アルミナ、シリカ、ジルコニア、チタニア、シリカ、五酸化ニオブ、五酸化タンタル、マグネシア等が挙げられ、中でもアルミナ及びシリカが好ましい。これらの金属酸化物は、セラミック部品の高周波特性を考慮して、1 種のみを用いることもできるし、2 種以上を混合して用いることもできる。

拘束層は、上記金属酸化物に加えて、ガラスを含有することが好ましい。拘束層に含有されるガラスとしては、例えば、B-Si-M (M はアルカリ金属又はアルカリ土類金属) 系ガラス等が挙げられる。

なお、拘束層は、すべてのセラミック絶縁層の間に設けられていなくてもよい。

[0048] 拘束層が存在するセラミック電子部品では、拘束層とセラミック絶縁層の間での密着力が弱いことから焼成時に拘束層とセラミック絶縁層との間で層間剥離が生じることが懸念される。しかしながら、ダミーパターンが形成されることによって電極密度の偏りが解消されると、拘束層とセラミック絶縁層との間に加わる応力の偏りが少なくなり、結果として拘束層とセラミック絶縁層との間での層間剥離の発生を防止することができる。

[0049] ここまで、本発明のセラミック電子部品の一実施形態として、多層セラミック基板を例にとって説明してきたが、本発明のセラミック電子部品は、チップ部品であってもよい。

チップ部品としては、多層セラミック基板に搭載するチップ部品、例えば、積層セラミックコンデンサ、積層インダクタ、積層フィルタ等の積層セラミック電子部品があげられる。また、積層セラミック電子部品以外の種々のセ

ラミック電子部品に対して適用することも可能である。

[0050] 本発明のセラミック電子部品では、構造欠陥が生じにくいセラミック電子部品となるので、コプラナリティが良好なセラミック電子部品とすることができる。

多層セラミック基板の場合、そのコプラナリティが $20\mu\text{m}$ 以下であることが好ましく、チップ部品の場合、そのコプラナリティが $50\mu\text{m}$ 以下であることが好ましい。

[0051] 続いて、本発明のセラミック電子部品の製造方法の一例につき説明する。

以下には、図4に示す多層セラミック基板1を製造する方法として説明する。

[0052] (1) 低温焼結セラミック材料を含むグリーンシートを作製する。

低温焼結セラミック材料を含有するセラミック粉末、バインダー、可塑剤を任意の量で混合しセラミックスラリーを作製する。

このセラミックスラリーをキャリアフィルム上に塗布してシート成形する。スラリー塗布にはリップコーター、ドクターブレード等の装置を用いることができる。

作製するセラミックグリーンシートの厚さは任意であるが厚さ $5\mu\text{m}$ 以上、 $100\mu\text{m}$ 以下とすることが好ましい。

[0053] (2) グリーンシートの所定の箇所に層間接続部を形成する。

配線パターンの形状により、必要に応じてメカパンチ、 CO_2 レーザー、UVレーザー等でグリーンシートに穴加工する。穴径は任意であるが $20\mu\text{m}$ 以上、 $200\mu\text{m}$ 以下とすることが好ましい。

続いて、穴に導電性ペーストを充填する。導電性ペーストとしては、導電性粉末、可塑剤、バインダーからなる組成の導電性ペーストを使用することができる。

導電性ペーストには収縮率調整用の共素地（セラミック粉末）を添加しても良い。

[0054] (3) 配線パターンを形成する。

グリーンシートに配線パターンを形成する。

配線パターンの形成はスクリーン印刷を用いて行うことができ、導電性粉末、可塑剤、バインダーからなる組成の導電性ペーストを印刷する。

また、グランドとなる配線パターンを形成するための導電性ペーストとしては、さらにセラミックとの収縮量調整用に共素地（セラミック、ガラス）を添加したものを使用することが好ましい。

[0055] 配線パターンの形成はスクリーン印刷のほかに、インクジェット、グラビア印刷、フォトリソ工法等により行ってもよい。

配線パターンの形成をフォトリソ工法で行う場合は、感光性の導電ペーストを使用してベタ印刷を行い、露光、現像することによって行うことができる。感光性の導電ペーストとしては金属材料と感光性有機成分（アルカリ可溶ポリマー、感光性モノマー及び光重合開始剤）を含むものを使用することができる。

[0056] （４）ダミーパターンを形成する。

ダミーパターンの形成もスクリーン印刷を用いて行うことができる。ダミーパターンの印刷は配線パターンの印刷と同時に行ってもよいし、別工程として行ってもよい。

[0057] 導電性ペーストとしては配線パターンの形成に使用したものと同一ものを使用してもよく、異なるものを使用してもよい。

同じ導電性ペーストを使用する場合には配線パターンの印刷とダミーパターンの印刷を同時に行うことができて工程上有利である。

[0058] ダミーパターンの形成も、インクジェット、グラビア印刷、フォトリソ工法等により行うことができる。

配線パターンの形成方法とダミーパターンの形成方法は異なる方法にしてもよい。

ダミーパターンの形成をフォトリソ工法で行う場合は、感光性の導電ペーストをベタ印刷した後、ダミーパターンを残すように露光・現像することにより行うことができる。

また、配線パターンの形成時のエッチング条件を調整してベタ印刷部分をわずかに残すようにエッチングすることで微細なダミーパターンを形成することもできる。エッチング条件の調整は、エッチング時間の調整、エッチング液の組成や濃度の調整、温度条件の調整等により行うことができる。

[0059] (5) グリーンシートを積層して積層体とする。

上記工程により配線パターンとダミーパターンが形成されたグリーンシートは配線形成層となるグリーンシートである。このグリーンシートと、他の層（ダミーパターン層、非パターン層、均等配線層等）となるべきグリーンシートを必要に応じて準備して積層する。積層枚数は任意である。

なお、グリーンシートを積層する際に配線パターンとダミーパターンが形成された面を下にして積層し、圧着することにより図4に示すような位置関係になる積層体とすることができる。

[0060] (6) 積層体を圧着する。

積層体を金型に入れて圧着する。圧力と温度は任意に設定することができる。

[0061] (7) 圧着した積層体を焼成する。

焼成用サヤに積層体を設置して焼成する。焼成炉としてはバッチ炉又はベルト炉を用いることができる。

配線パターン及びダミーパターンを構成する導体材料として銅を使用する場合は還元性雰囲気中で焼成することが好ましい。

[0062] 必要に応じて、焼成後の外部導体にメッキを行うことが好ましい。メッキとしてはNi-Snメッキ、無電解Auメッキ等を選択することが出来る。

[0063] なお、必要に応じて焼成前にブレイクラインを形成しておくことが好ましい。ブレイクラインの形成方法としてはレーザーやギロチンカット（ハーフカット）、ダイサー（ハーフカット）等を選択することができる。

[0064] 上述した工程により、セラミック電子部品としての多層セラミック基板を製造することができる。

製造した多層セラミック基板にはICやSMD（表面実装デバイス）を実装

することができ、実装後に樹脂封止を行うことができる。

[0065] 図6に示す多層セラミック基板2のように拘束層を備えるセラミック電子部品を製造する場合には、拘束層用スラリーを用いて拘束層付きグリーンシートを作製する。

拘束層用スラリーは、上記(1)で説明したセラミックスラリーを構成する低温焼結セラミック材料の焼結温度よりも焼結温度が高くなるように組成を調整したセラミック粉末、バインダー、可塑剤を任意の量で混合したスラリーである。

焼結温度を高くするためにはガラス成分の量を減らす方法やアルミナ等のセラミック成分の混合比率を高める方法が挙げられる。

[0066] キャリアフィルム上に拘束層用スラリー、セラミックスラリーを順次塗布してシート成形して拘束層付きグリーンシートを作製する。

拘束層の厚さは0.1 μm 以上、5 μm 以下とすることが好ましい。

[0067] 拘束層付きグリーンシートを用いて以後の工程を同様に行うことにより、拘束層を備えるセラミック電子部品を製造することができる。

[0068] なお、拘束層付きグリーンシートを作製する際には、先にセラミックスラリーを塗布し、後に拘束層用スラリーを塗布して拘束層付きグリーンシートを作製してもよい。

符号の説明

[0069] 1、2 多層セラミック基板（セラミック電子部品）

10、10a、10b、10c、10d、10e、10f、10g、10h

配線形成層

20 セラミック絶縁層

31 配線パターン

32、32a、32b、32c、32d、32e ダミーパターン

50 拘束層

請求の範囲

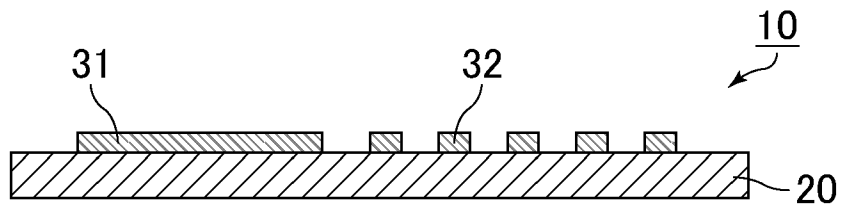
- [請求項1] 低温焼結セラミック材料を含有するセラミック絶縁層と、前記セラミック絶縁層の上に形成された配線パターンとを有する配線形成層を備えたセラミック電子部品であって、
前記配線形成層では、セラミック絶縁層の上で前記配線パターンが形成されていない場所に複数のダミーパターンがさらに形成されており、
前記ダミーパターンの配線幅は、前記配線パターンの配線幅の最小値よりも小さいことを特徴とするセラミック電子部品。
- [請求項2] 前記低温焼結セラミック材料の焼結温度では実質的に焼結しない金属酸化物を含有する拘束層をさらに備えており、
前記ダミーパターンは前記セラミック絶縁層と前記拘束層の間に位置している請求項1に記載のセラミック電子部品。
- [請求項3] 前記ダミーパターンの形成密度が10個/mm²以上、400個/mm²以下である請求項1又は2に記載のセラミック電子部品。
- [請求項4] 前記ダミーパターンを構成する材料の組成が、前記配線パターンを構成する材料の組成と同じである請求項1～3のいずれかに記載のセラミック電子部品。
- [請求項5] 前記ダミーパターンを構成する材料の組成が、前記配線パターンを構成する材料の組成と異なる請求項1～3のいずれかに記載のセラミック電子部品。
- [請求項6] 前記ダミーパターンが、一定ピッチで配置されたパターンである請求項1～5のいずれかに記載のセラミック電子部品。
- [請求項7] 前記配線形成層が複数層設けられており、
前記ダミーパターンの形成位置が各配線形成層において同じである請求項1～6のいずれかに記載のセラミック電子部品。
- [請求項8] 前記配線形成層が複数層設けられており、
前記ダミーパターンの形成位置が各配線形成層において異なる請求項

1～6のいずれかに記載のセラミック電子部品。

[請求項9] 同一の前記セラミック絶縁層の上に形成された前記複数のダミーパターンの形状がそれぞれ同じである請求項1～8のいずれかに記載のセラミック電子部品。

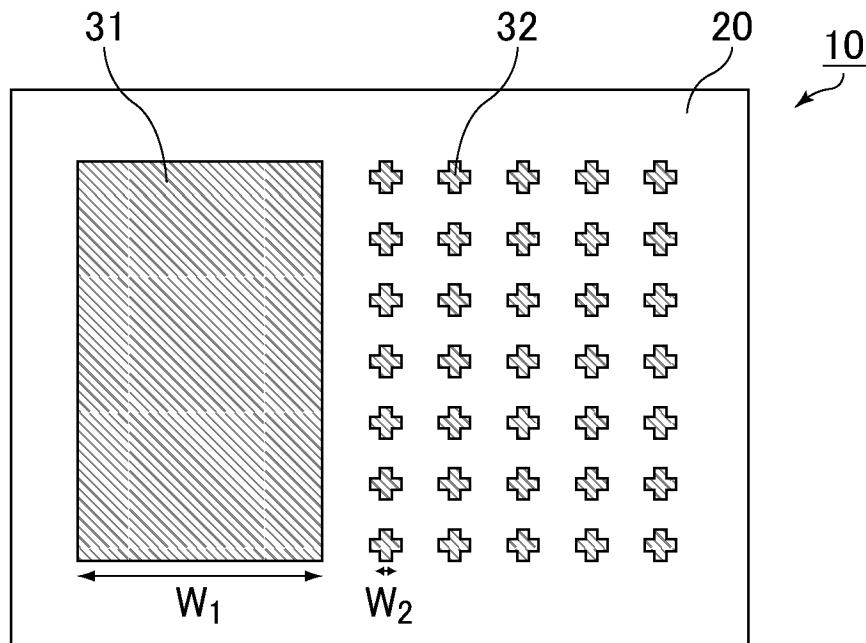
[図1]

図1



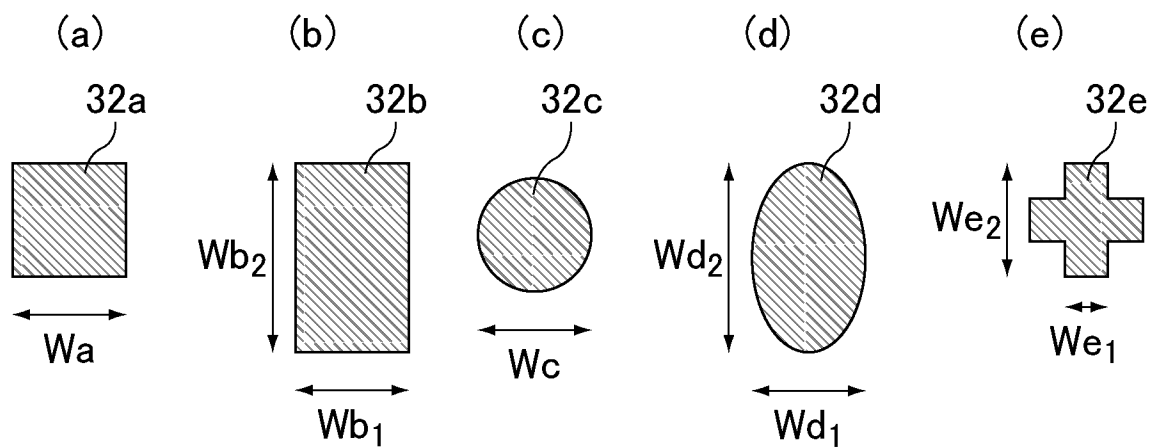
[図2]

図2



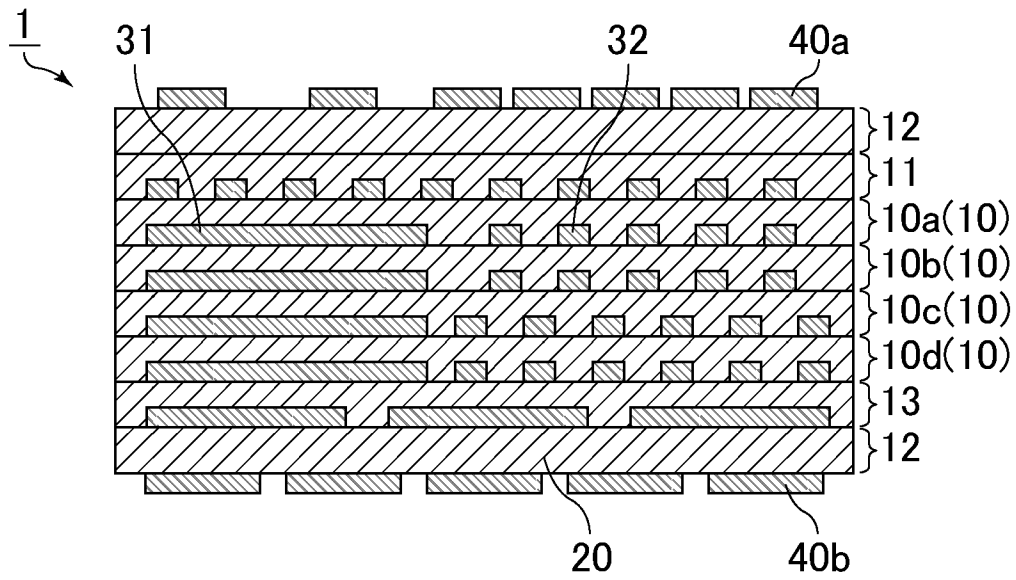
[図3]

図3



[図4]

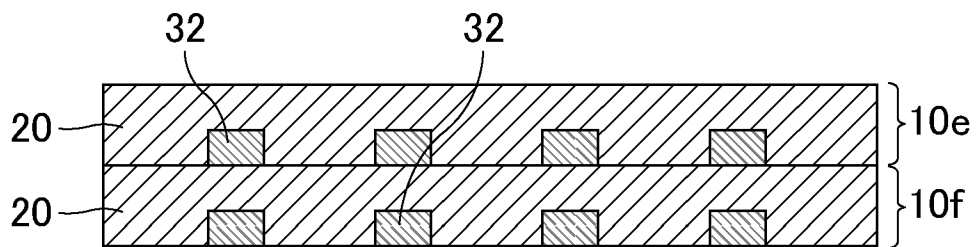
図4



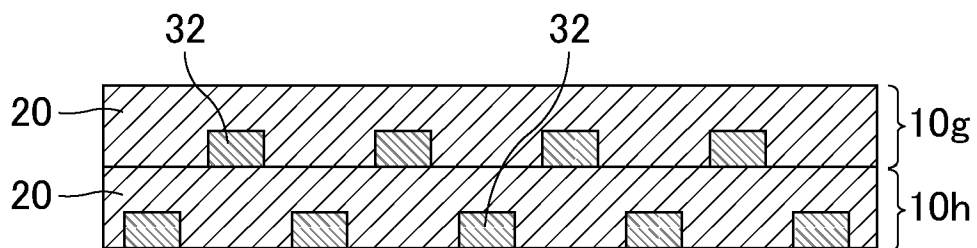
[図5]

図5

(a)

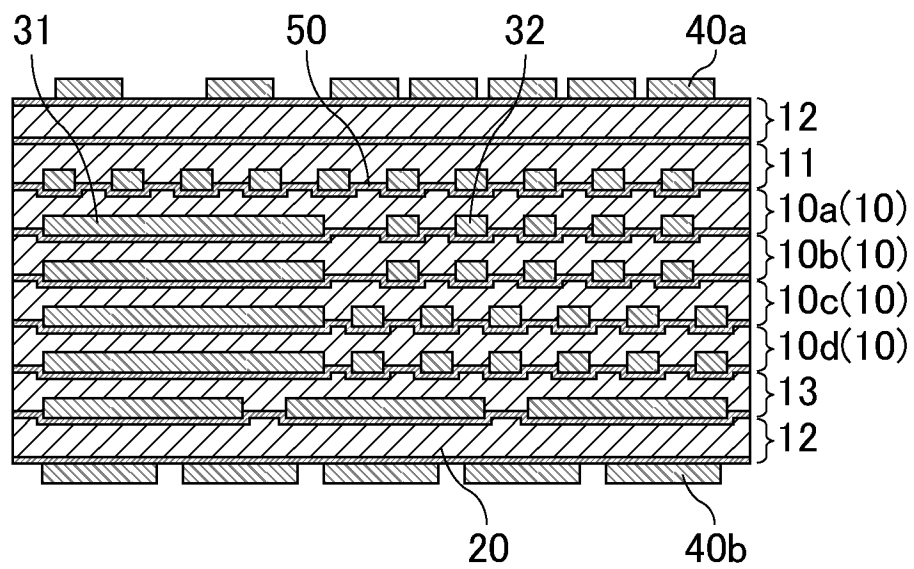


(b)



[図6]

図6

2
→

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/027647

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01)i, H05K1/02(2006.01)i, H05K1/03(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/00-3/46, H01G4/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 58-171896 A (Hitachi, Ltd.), 08 October 1983 (08.10.1983), page 2, upper left, line 18 to page 4, upper right, line 11; fig. 2, 3 (Family: none)	1-9
Y	JP 2000-315864 A (Murata Mfg. Co., Ltd.), 14 November 2000 (14.11.2000), paragraphs [0038], [0055] to [0056], [0074]; fig. 17 & US 2002/0157760 A1 & US 2003/0211302 A1 & EP 1033749 A2 & US 6432239 B1 column 7, lines 16 to 33; column 9, lines 43 to 63; column 12, lines 42 to 49; fig. 19	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 September 2017 (27.09.17)

Date of mailing of the international search report
10 October 2017 (10.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/027647

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-229093 A (TDK Corp.), 31 August 2006 (31.08.2006), paragraphs [0003], [0031] (Family: none)	1-9
Y	US 2003/0041947 A1 (INTERNATIONAL BUSINESS MACHINES CORP.), 06 March 2003 (06.03.2003), fig. 3A to 4B; paragraph [0033] (Family: none)	5-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H05K3/46(2006.01)i, H05K1/02(2006.01)i, H05K1/03(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H05K1/00-3/46, H01G4/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 58-171896 A (株式会社日立製作所) 1983.10.08, 公報2ページ左上18行から4ページ右上11行, 第2図, 第3図. (ファミリなし)	1-9
Y	J P 2000-315864 A (株式会社村田製作所) 2000.11.14, 段落0038, 段落0055から0056, 段落0074, 図17, &US 2002/0157760 A1, &US 2003/0211302 A1, &EP 1033749 A2, &US 6432239 B1 [7欄16行から33行, 9欄43行から63行, 12欄42行から49行, 図19].	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.09.2017

国際調査報告の発送日

10.10.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齊藤 健一

5 D

9742

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2006-229093 A (TDK株式会社) 2006.08.31, 段落0003, 段落0031. (ファミリーなし)	1-9
Y	US 2003/0041947 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2003.03.06, 図3Aから図4B, 段落0033. (ファミリーなし)	5-9