

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04L 12/56 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910091229.X

[43] 公开日 2010年1月6日

[11] 公开号 CN 101621469A

[22] 申请日 2009.8.13

[21] 申请号 200910091229.X

[71] 申请人 杭州华三通信技术有限公司

地址 310053 浙江省杭州市高新技术产业开发区之江科技工业园六和路310号华为杭州生产基地

[72] 发明人 任 凯

[74] 专利代理机构 北京德琦知识产权代理有限公司

代理人 王一斌 王 琦

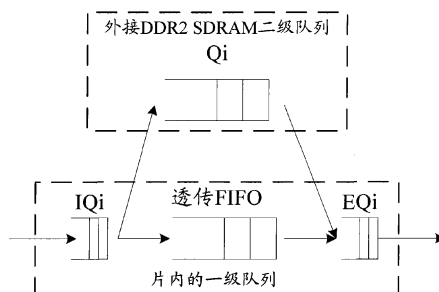
权利要求书 5 页 说明书 28 页 附图 10 页

[54] 发明名称

数据报文存取控制装置和方法

[57] 摘要

本发明公开了一种数据报文存取控制装置和方法。本发明利用数据报文处理芯片内的 RAM 资源实现一透传 FIFO，该透传 FIFO 用作小数据量的一级缓存，而数据报文处理芯片外接的 RAM 则仅用作大数据量的二级缓存，这样，由于有部分数据报文在片内存取、而非所有数据报文均通过外接 RAM 实现存取，因而减少了外接 RAM 总线利用率低对数据报文的传输效率的影响，从而提高数据报文传输效率。本发明还可以 BANK 交错 (Interleave) 方式对外接 RAM 进行数据报文的读写操作，从而提高了外接 RAM 总线利用率、进一步提高了数据报文传输效率。



1、一种数据报文存取控制装置，其特征在于，包括：

入方向管理模块，内部设有若干入方向队列；

出方向管理模块，内部设有若干出方向队列；

存储器控制模块，可将任一入方向队列的数据报文存放至外部随机存储器内的对应外部队列中，可从外部随机存储器内的对应外部队列中读取应存放至任一出方向队列的数据报文；

透传 FIFO，可将任一入方向队列中的数据报文缓存后向对应出方向队列传递；

入方向控制模块，在有入方向队列非空时，如果对应外部队列中有数据报文、且非满，则将该入方向队列中的数据报文提供给存储器控制模块；如果对应外部队列为空、且透传 FIFO 和对应出方向队列均非满，则将该入方向队列中的数据报文写入至透传 FIFO；如果透传 FIFO 或对应出方向队列将满或已满，则将该入方向队列中的数据报文提供给存储器控制模块；否则，暂不针对该入方向队列进行读写操作；

出方向控制模块，在透传 FIFO 非空时，从透传 FIFO 读取数据报文并存放至对应出方向队列；在透传 FIFO 为空时，如果有出方向队列非满、且外部随机存储器中对应外部队列非空，则向存储器控制模块请求从外部存储器中的对应外部队列读取数据报文、并存放至该出方向队列；否则，暂不针对该非满出方向队列进行读写操作。

2、如权利要求 1 所述的数据报文存取控制装置，其特征在于，

入方向管理模块中进一步设有多路输入、一路输出的入方向选择器，入方向选择器的每一路输入连接一个入方向队列、一路输出连接至入方向控制模块；

入方向控制模块进一步向入方向选择器的控制端输出一入方向轮寻控制信号，用于以轮寻方式控制入方向选择器连接入方向队列的每一路输入依

次与入方向选择器的一路输出导通；

出方向管理模块中进一步设有一路输入、多路输出的出方向选择器，出方向选择器的每一路输出连接一个出方向队列、一路输入连接自出方向控制模块；

出方向控制模块进一步向出方向选择器的控制端输出一出方向轮寻控制信号，用于以轮寻方式控制出方向选择器连接出方向队列的每一路输出与出方向选择器的一路输入导通。

3、如权利要求 1 所述的数据报文存取控制装置，其特征在于，

每一入方向队列进一步向入方向控制模块输出表示该入方向队列空满状态的状态信号，以供入方向控制模块判断是否有入方向队列非空；

每一出方向队列进一步向出方向控制模块和入方向控制模块输出表示该出方向队列空满状态的状态信号，以供出方向控制模块判断是否有出方向队列非满、入方向控制模块判断对应出方向队列是否非满。

4、如权利要求 1 所述的数据报文存取控制装置，其特征在于，

入方向控制模块进一步维护一外部存储器写指针列表、并进一步通过一写数据输出队列、以及一写地址输出队列与存储器控制模块相连；入方向控制模块将数据报文存放至写数据输出队列，同时将外部存储器写指针列表中，与该数据报文所属入方向队列对应的当前写指针存放至写地址输出队列、并更新该写指针；

出方向控制模块进一步维护一外部存储器读指针列表、并进一步通过一读数据输入队列、以及一读地址输出队列与存储器控制模块相连；出方向控制模块将外部存储器读指针列表中，与非满状态出方向队列对应的读指针存放至读地址输出队列，然后从读数据输入队列中读取对应的数据报文、并更新该对应的读指针；

且，入方向控制模块和出方向控制模块依据外部存储器写指针列表和外部存储器读指针列表，判断外部随机存储器中的各外部队列的空满状态。

5、如权利要求 1 至 4 中任一项所述的数据缓存控制装置，其特征在于，

存储器控制模块以信元 Cell 为单位向外部随机存储器中的对应外部队列写入数据报文、同一 Cell 的各部分写入至不同 BANK、每部分位于一个 BANK 中的同一行，且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的写命令、用以消除向外部随机存储器写入各部分之间的总线等待时间；

存储器控制模块以 Cell 为单位从外部随机存储器中的对应外部队列中读取数据报文，且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的读命令、用以消除从外部随机存储器读出各部分之间的总线等待时间。

6、如权利要求 5 所述的数据缓存控制装置，其特征在于，

一个 Cell 小于等于一行的容量与 BANK 数量的乘积、且大于等于对一个 BANK 的读写访问时间与该 BANK 的预充电时间内所能够读写的最大数据量；

所述预设间隔小于等于一行数据占用的外接随机存储器的总线周期长度。

7、一种数据报文存取控制方法，该方法可将芯片接收的数据报文写入至外接随机存储器，还可从外接随机存储器中请求读取数据报文至芯片、并从芯片发出，其特征在于，在芯片内设置若干入方向队列、及对应的若干出方向队列，还在芯片内设置可在片内传输数据报文的透传 FIFO；

且，该数据报文存取控制方法包括：

入方向控制模块，在有入方向队列非空时，如果对应外部队列中有数据报文、且非满，则将该入方向队列中的数据报文提供给存储器控制模块；如果对应外部队列为空、且透传 FIFO 和对应出方向队列均非满，则将该入方向队列中的数据报文写入至透传 FIFO；如果透传 FIFO 或对应出方向队列将满或已满，则将该入方向队列中的数据报文提供给存储器控制模块；否则，暂针对该入方向队列进行读写操作；

在透传 FIFO 非空时，从透传 FIFO 读取数据报文并存放至对应出方向

队列；在透传 FIFO 为空时，如果有出方向队列非满、且外接随机存储器中对应外部队列非空，则从外部随机存储器内的对应外部队列中读取应存放至该出方向队列；否则，暂不针对该非满出方向队列进行读写操作。

8、如权利要求 7 所述的数据报文存取控制方法，其特征在于，该数据报文存取控制方法进一步轮寻每一入方向队列和每一出方向队列。

9、如权利要求 7 所述的数据报文存取控制方法，其特征在于，

每一入方向队列进一步产生表示该入方向队列空满状态的状态信号，用以判断是否有入方向队列非空；

每一出方向队列进一步产生表示该出方向队列空满状态的状态信号，用以判断是否有出方向队列非满。

10、如权利要求 7 所述的数据报文存取控制方法，其特征在于，进一步设置一外部存储器写指针列表和一外部存储器读指针列表；

该数据报文存取控制方法进一步将待存放至外接随机存储器内对应外部队列的数据报文，存放至预先在芯片内设置的写数据输出队列，同时将外部存储器写指针列表中，与该数据报文所属入方向队列对应的当前写指针存放至预先在芯片内设置的写地址输出队列、并更新该写指针；

该数据报文存取控制方法还进一步将预先在芯片内设置的外部存储器读指针列表中，与非满状态出方向队列对应的读指针存放至预先在芯片内设置的读地址输出队列，然后从读数据输入队列中读取对应的数据报文、并更新该对应的读指针；

且，该数据报文存取控制方法依据外部存储器写指针列表和外部存储器读指针列表，判断外接随机存储器中的各外部队列的空满状态。

11、如权利要求 7 至 10 中任一项所述的数据报文存取控制方法，其特征在于，

该数据报文存取控制方法以信元 Cell 为单位向外部随机存储器中的对应外部队列写入数据报文、同一 Cell 的各部分写入至不同 BANK、每部分位于一个 BANK 中的同一行，且存储器控制模块以预设间隔顺序向每个 Cell

各部分所在 BANK 的一行发送激活命令和包含预充电命令的写命令、用以消除向外部随机存储器写入各部分之间的总线等待时间；

该数据报文存取控制方法还以 Cell 为单位从外部随机存储器中的对应外部队列中读取数据报文，且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的读命令、用以消除从外部随机存储器读出各部分之间的总线等待时间。

12、如权利要求 11 所述的数据缓存控制方法，其特征在于，

一个 Cell 小于等于一行的容量与 BANK 数量的乘积、且大于等于对一个 BANK 的读写访问时间与该 BANK 的预充电时间内所能够读写的最大数据量；

所述预设间隔小于等于一行数据占用的外接随机存储器的总线周期长度。

数据报文存取控制装置和方法

技术领域

本发明涉及存储控制技术，特别涉及适用于存储转发机制的一种数据报文存取控制装置、以及适用于存储转发机制的一种数据报文存取控制方法。

背景技术

现今的网络设备大多都是基于存储转发机制的，即数据报文进入网络设备后首先存储，然后由网络设备进行例如“下一跳查找”等操作后，再读取存储的数据报文并转发。

一般来说，一个需要转发的数据报文在网络设备中可能被存取多次，那么网络设备存取数据报文的效率就会在很大程度上影响数据报文传输的效率。例如，数据报文首先存储在入方向线卡板上等待路由转发查找，然后读出该数据报文并通过背板交换网发送到出方向线卡板上，这样，该数据报文再存储在出方向线卡板上等待 QoS 调度，满足 QoS 要求的数据报文被读出并发送出去。因此，为了提高数据报文的传输效率，就需要网络设备对数据报文的存取满足如下要求：

1)、网络设备内部的数据报文存储容量应大于等于 $RTT \times R_{bit}$ ，RTT (round trip time) 为线卡板上的线路环回时间、R 为线卡板上的线路速率，假设 RTT 约为 200ms，对于 1 个 10Gbit 接口的网络设备来说，需要具有 $10Gbit/s \times 0.2s$ 共 2Gbit 的存储容量；

2)、网络设备中需要具备用于存取数据报文的高带宽，假设 1 个 10Gbit 接口的网络设备对每个数据报文需要进行两次存取，则该网络设备需要 20Gbit 带宽的存取能力。

实际应用中，网络设备中的数据报文处理芯片通常为专用集成电路

(Application Specific Integrated Circuit, ASIC) 或 (Field Programmable Gate Arrey, FPGA) 芯片, 其存储容量不足以满足数据报文所需的存储容量, 因而为了满足上述要求, 参见图 1, 现有基于存储转发机制的网络设备中, 通常将带宽较高、存储容量较大的随机存储器 (RAM) 外接于每块线卡板的数据报文处理芯片。参见图 2, 数据报文处理芯片内部设置有控制逻辑, 该控制逻辑可利用先进先出存储器 (FIFO) 的队列管理机制, 将数据报文处理芯片接收到的数据报文依次存入至 RAM 中、并将 RAM 中的数据报文顺序读取后供数据报文处理芯片发出。

在众多类型的 RAM 中, 第 2 代双倍数据速率 (Double Data Rate 2, DDR2) 同步动态随机接入存储器 (Synchronous Dynamic Random Access Memory, SDRAM) 和第 3 代双倍数据速率 (Double Data Rate 3, DDR3) SDRAM 由于容量更大、速度更高、价格更便宜, 因而常被选用。

然而, 即便选用容量更大、速度更高的 DDR2 SDRAM 或 DDR3 SDRAM 来存放数据报文, 但由于 DDR2 SDRAM 和 DDR3 SDRAM 本身的某些特性会限制数据报文的连续读写操作。例如访问 DDR2 SDRAM 同一存储体 (BANK) 的不同行 (ROW) 时, 在连续两行激活 (ACT) 命令之间的延时, 从而使 DDR2 SDRAM 的总线空闲; 访问 DDR2 SDRAM 任意 BANK 的任意行时, 对该行的读操作和预充电 (precharge) 操作等, 也会使 DDR2 SDRAM 的总线空闲。

而现有存取数据报文的控制逻辑并未考虑到如何回避上述限制对数据报文存取效率的影响, 而是采用对 DDR2 SDRAM 和 DDR3 SDRAM 的随机读写操作, 因而无法满足存取数据报文高带宽的要求。

参见图 3, 以突发 (burst) 模式下读数据报文为例, 控制逻辑从外接 DDR2 SDRAM 中同一 BANK 的不同行内读取连续的数据报文:

在 T0 时钟周期, 向外接 DDR2 SDRAM 发送 ACT 命令激活、用以激活外接 DDR2 SDRAM 中该 BANK 内的对应行;

在 T1 时钟周期, 向外接 DDR2 SDRAM 发送 RD 命令, 外接 DDR2

SDRAM 开始对该 BANK 内对应行颗粒进行读操作；

在 T2~T3 时钟周期，外接 DDR2 SDRAM 继续对该 BANK 内对应行颗粒的读操作；

在 T4 时钟周期，等待外接 DDR2 SDRAM 进行 precharge 操作、用以关闭该行；

在 T5~T6 时钟周期内，外接 DDR2 SDRAM 通过总线输出读取的数据报文；

在 T7 时钟周期内，等待连续两行 ACT 命令之间的延时；

在 T8 时钟周期内才能够再次向外接 DDR2 SDRAM 发送 ACT 命令激活、用以激活外接 DDR2 SDRAM 中该 BANK 内下一行。

在上述过程中，T0~T7 共 8 个时钟周期内，DDR2 SDRAM 的总线只有 T5~T6 这 2 个时钟周期被占用，即对于连续读操作的总线利用率只有 25%、连续写操作的总线利用率同理。而且，读写操作间的切换，还会随不同 DDR2 SDRAM 的特性导致总线空闲不同数量的时钟周期，即读写操作交替进行时的总线利用率更低。此外，T0 时钟周期激活对应行后，由于预先设置的 DDR2 SDRAM 参数 tRCD 而延时 0 个时钟周期即可在 T1 时钟周期内对该行颗粒进行读操作，并由于参数 AL 和 CL 而延时 4 个时钟周期通过 DDR2 SDRAM 的总线读出。实际应用中，T0 时钟周期激活对应行后，也有可能由于 DDR2 SDRAM 总线速率高而通过设置参数 tRCD 来延时至少 1 个时钟周期再对该行颗粒进行读操作，或通过设置参数 AL、CL 来进一步延长总线读出数据的延时，那么此时的总线利用率就会进一步降低，写操作同理。

可见，现有基于存储转发机制的网络设备虽然能够利用 RAM 来满足数据报文存储容量大的要求，但其控制逻辑无法满足存取数据报文高带宽的要求，从而影响存储转发机制下的数据报文存取效率。

发明内容

有鉴于此，本发明提供了一种适用于存储转发机制的数据报文存取控制

装置、以及一种适用于存储转发机制的数据报文存取控制方法，能够提高存储转发机制下的报文传输效率。

本发明提供的一种适用于存储转发机制的数据报文存取控制装置，包括：

入方向管理模块，内部设有若干入方向队列；

出方向管理模块，内部设有若干出方向队列；

存储器控制模块，可将任一入方向队列的数据报文存放至外部随机存储器内的对应外部队列中，可从外部随机存储器内的对应外部队列中读取应存放至任一出方向队列的数据报文；

透传 FIFO，可将任一入方向队列中的数据报文缓存后向对应出方向队列传递；

入方向控制模块，在有入方向队列非空时，如果对应外部队列中有数据报文、且非满，则将该入方向队列中的数据报文提供给存储器控制模块；如果对应外部队列为空、且透传 FIFO 和对应出方向队列均非满，则将该入方向队列中的数据报文写入至透传 FIFO；如果透传 FIFO 或对应出方向队列将满或已满，则将该入方向队列中的数据报文提供给存储器控制模块；否则，暂不针对该入方向队列进行读写操作；

出方向控制模块，在透传 FIFO 非空时，从透传 FIFO 读取数据报文并存放至对应出方向队列；在透传 FIFO 为空时，如果有出方向队列非满、且外部随机存储器中对应外部队列非空，则向存储器控制模块请求从外部存储器中的对应外部队列读取数据报文、并存放至该出方向队列；否则，暂不针对该非满出方向队列进行读写操作。

入方向管理模块中进一步设有多个路输入、一路输出的入方向选择器，入方向选择器的每一路输入连接一个入方向队列、一路输出连接至入方向控制模块；

入方向控制模块进一步向入方向选择器的控制端输出一入方向轮寻控制信号，用于以轮寻方式控制入方向选择器连接入方向队列的每一路输入依

次与入方向选择器的一路输出导通；

出方向管理模块中进一步设有一路输入、多路输出的出方向选择器，出方向选择器的每一路输出连接一个出方向队列、一路输入连接自出方向控制模块；

出方向控制模块进一步向出方向选择器的控制端输出一出方向轮寻控制信号，用于以轮寻方式控制出方向选择器连接出方向队列的每一路输出与出方向选择器的一路输入导通。

每一入方向队列进一步向入方向控制模块输出表示该入方向队列空满状态的状态信号，以供入方向控制模块判断是否有入方向队列非空；

每一出方向队列进一步向出方向控制模块和入方向控制模块输出表示该出方向队列空满状态的状态信号，以供出方向控制模块判断是否有出方向队列非满、入方向控制模块判断对应出方向队列是否非满。

入方向控制模块进一步维护一外部存储器写指针列表、并进一步通过一写数据输出队列、以及一写地址输出队列与存储器控制模块相连；入方向控制模块将数据报文存放至写数据输出队列，同时将外部存储器写指针列表中，与该数据报文所属入方向队列对应的当前写指针存放至写地址输出队列、并更新该写指针；

出方向控制模块进一步维护一外部存储器读指针列表、并进一步通过一读数据输入队列、以及一读地址输出队列与存储器控制模块相连；出方向控制模块将外部存储器读指针列表中，与非满状态出方向队列对应的读指针存放至读地址输出队列，然后从读数据输入队列中读取对应的数据报文、并更新该对应的读指针；

且，入方向控制模块和出方向控制模块依据外部存储器写指针列表和外部存储器读指针列表，判断外部随机存储器中的各外部队列的空满状态。

存储器控制模块以信元 Cell 为单位向外部随机存储器中的对应外部队列写入数据报文、同一 Cell 的各部分写入至不同 BANK、每部分位于一个 BANK 中的同一行，且存储器控制模块以预设间隔顺序向每个 Cell 各部分

所在 BANK 的一行发送激活命令和包含预充电命令的写命令、用以消除向外部随机存储器写入各部分之间的总线等待时间；

存储器控制模块以 Cell 为单位从外部随机存储器中的对应外部队列中读取数据报文，且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的读命令、用以消除从外部随机存储器读出各部分之间的总线等待时间。

一个 Cell 小于等于一行的容量与 BANK 数量的乘积、且大于等于对一个 BANK 的读写访问时间与该 BANK 的预充电时间内所能够读写的最大数据量；

所述预设间隔小于等于一行数据占用的外接随机存储器的总线周期长度。

本发明提供的一种适用于存储转发机制的数据报文存取控制方法，该方法可将芯片接收的数据报文写入至外接随机存储器，还可从外接随机存储器中请求读取数据报文至芯片、并从芯片发出，

在芯片内设置若干入方向队列、及对应的若干出方向队列，还在芯片内设置可在片内传输数据报文的透传 FIFO；

且，该数据报文存取控制方法包括：

入方向控制模块，在有入方向队列非空时，如果对应外部队列中有数据报文、且非满，则将该入方向队列中的数据报文提供给存储器控制模块；如果对应外部队列为空、且透传 FIFO 和对应出方向队列均非满，则将该入方向队列中的数据报文写入至透传 FIFO；如果透传 FIFO 或对应出方向队列将满或已满，则将该入方向队列中的数据报文提供给存储器控制模块；否则，暂针对该入方向队列进行读写操作；

在透传 FIFO 非空时，从透传 FIFO 读取数据报文并存放至对应出方向队列；在透传 FIFO 为空时，如果有出方向队列非满、且外接随机存储器中对应外部队列非空，则从外部随机存储器内的对应外部队列中读取应存放至该出方向队列；否则，暂不针对该非满出方向队列进行读写操作。

该数据报文存取控制方法进一步轮寻每一入方向队列和每一出方向队列。

每一入方向队列进一步产生表示该入方向队列空满状态的状态信号,用以判断是否有入方向队列非空;

每一出方向队列进一步产生表示该出方向队列空满状态的状态信号,用以判断是否有出方向队列非满。

进一步设置一外部存储器写指针列表和一外部存储器读指针列表;

该数据报文存取控制方法进一步将待存放至外接随机存储器内对应外部队列的数据报文,存放至预先在芯片内设置的写数据输出队列,同时将外部存储器写指针列表中,与该数据报文所属入方向队列对应的当前写指针存放至预先在芯片内设置的写地址输出队列、并更新该写指针;

该数据报文存取控制方法还进一步将预先在芯片内设置的外部存储器读指针列表中,与非满状态出方向队列对应的读指针存放至预先在芯片内设置的读地址输出队列,然后从读数据输入队列中读取对应的数据报文、并更新该对应的读指针;

且,该数据报文存取控制方法依据外部存储器写指针列表和外部存储器读指针列表,判断外接随机存储器中的各外部队列的空满状态。

该数据报文存取控制方法以信元 Cell 为单位向外部随机存储器中的对应外部队列写入数据报文、同一 Cell 的各部分写入至不同 BANK、每部分位于一个 BANK 中的同一行,且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的写命令、用以消除向外部随机存储器写入各部分之间的总线等待时间;

该数据报文存取控制方法还以 Cell 为单位从外部随机存储器中的对应外部队列中读取数据报文,且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的读命令、用以消除从外部随机存储器读出各部分之间的总线等待时间。

一个 Cell 小于等于一行的容量与 BANK 数量的乘积、且大于等于对一

个 BANK 的读写访问时间与该 BANK 的预充电时间内所能够读写的最大数据量;

所述预设间隔小于等于一行数据占用的外接随机存储器的总线周期长度。

由上述技术方案可见,本发明利用一透传 FIFO,该透传 FIFO 作为小数据量的一级缓存,而外接 RAM 则仅用作大数据量的二级缓存,这样,由于有部分数据报文在片内存取、而非所有数据报文均通过外接 RAM 实现存取,因而减少了外接 RAM 总线利用率低对数据报文的传输效率的影响,从而提高数据报文传输效率。

可选地,本发明还可以单元 Cell 为单位对外接 RAM 进行数据报文的读写操作,并将每个 Cell 分为若干部分、每一部分顺序写入至不同 BANK 的任一行中,并在对外接 RAM 读写数据报文时,以预设间隔连续向每个 Cell 各部分所在 BANK 发送激活命令和包含预充电命令的读命令,从而消除从前述随机存储器读取每个 Cell 各部分之间的等待时间,进而提高外接 RAM 总线利用率、进一步提高数据报文传输效率。

附图说明

图 1 为现有基于存储转发机制的网络设备中的线卡板结构示意图;

图 2 为现有如图 1 所示线卡板中 FIFO 队列管理机制的示意图;

图 3 为现有控制逻辑读取外接 RAM 的时序图;

图 4 为本发明实施例中数据报文存取控制装置的结构示意图;

图 5 为本发明实施例中数据报文存取控制逻辑的逻辑结构示意图;

图 6 为本发明实施例中数据报文存取控制的一实例示意图;

图 7a~图 7b 为本发明实施例中数据报文存取控制的另一实例示意图;

图 8 为本发明实施例中对外接 RAM 读操作实例的时序图;

图 9a~图 9b 为本发明实施例中对外接 RAM 读写操作切换的时序图;

图 10a~图 10b 为本发明实施例中数据报文存取控制方法的流程示意图。

具体实施方式

为使本发明的目的、技术方案及优点更加清楚明白，以下参照附图并举实施例，对本发明进一步详细说明。

在本实施例中，考虑到数据报文处理芯片通常为 ASIC 或 FPGA 芯片，该芯片内又通常会设有可任意配置的 RAM 资源，因而为了使得数据报文传输效率尽可能少地受数据报文处理外接 RAM 的影响，利用数据报文处理芯片内的 RAM 资源实现一透传 FIFO，该透传 FIFO 用作小数据量的一级缓存，而数据报文处理芯片外接的 RAM 则用作大数据量的二级缓存。

其中，上述透传 FIFO 的作用，可看作是将经由外接 RAM 总线的数据报文传输路径旁路（Bypass），因而本文中也可称该透传 FIFO 为 Bypass FIFO。

图 4 为本发明实施例中数据报文存取控制装置的结构示意图。如图 4 所示，以外接 RAM 为 DDR2 SDRAM 为例，本实施例中的数据报文处理芯片作为数据报文存取控制装置，具体包括：

入方向管理（Ingress Queue Uni, IQU）模块，内部设有若干入方向队列 IQ1~IQ255，每个入方向队列 IQ_i 可存放接收自数据报文存取控制装置外部的同一报文中若干数据报文；

出方向管理（Egress Queue Uni, EQU）模块，内部设有若干出方向队列 EQ1~EQ255，每个出方向队列 EQ_i 可存放来自对应入方向队列的同一报文中若干数据报文、等待发送至报文存取控制装置外部；

其中，i 为大于等于 1、且小于等于 255 的正整数，当然，每种队列的总数也可不限于 255 个、而是可以更多；

存储器控制模块（DDR2 SDRAM Controller），基于现有 FIFO 队列管理机制对外接 DDR2 SDRAM 进行数据报文的读写操作；具体说，存储器控制模块可将任一入方向队列 IQ_i 的数据报文存放至外接 DDR2 SDRAM 内的对应外部队列 Q_i 中，并可从外接 DDR2 SDRAM 内的对应外部队列 Q_i 中读

取应存放至任一出方向队列 EQ_i 的数据报文；

透传 FIFO、或称为 Bypass FIFO，可将任一入方向队列 IQ_i 中的数据报文缓存后、向对应出方向队列 EQ_i 传递；

以及入方向控制（Ingress Control）模块和出方向控制模块（Egress Control）。

入方向控制模块在有入方向队列 IQ_i 非空时，先判断外接 DDR2 SDRAM 中的对应外部队列 Qi 中是否已存有数据报文；

如果外接 DDR2 SDRAM 中的对应外部队列 Qi 已存有数据报文、且非满，则表示该入方向队列 IQ_i 所对应的报文流中已有数据报文存放至对应外部队列 Qi、且该对应外部队列能够继续存入数据报文，因而为了保证该入方向队列 IQ_i 所对应的报文流中各数据报文间的顺序不变，将该入方向队列 IQ_i 中的数据报文提供给存储器控制模块，以使 IQ_i 中的数据报文经 IQ_i、外接 DDR2 SDRAM 中的 Qi、EQ_i 的二级缓存路径传输；需要说明的是，本文所述的“非满”，是指未到达“将满（afull）”或“已满（full）”状态；

如果外接 DDR2 SDRAM 中的对应外部队列 Qi 为空，则再判断 Bypass FIFO 及对应出方向队列 EQ_i 是否均非满；

如果外接 DDR2 SDRAM 中的对应外部队列 Qi 为空时、Bypass FIFO 及对应出方向队列 EQ_i 均非满，则表示该入方向队列 IQ_i 所对应的报文流中没有数据报文存放至对应外部队列 Qi、且能够通过 Bypass FIFO 传递数据报文至对应出方向队列 EQ_i，因而将该入方向队列 IQ_i 中的数据报文写入至 Bypass FIFO，以使 IQ_i 中的数据报文经 IQ_i、Bypass FIFO、EQ_i 的一级缓存路径传输；

如果外接 DDR2 SDRAM 中的对应外部队列 Qi 为空时、Bypass FIFO 或对应出方向队列 EQ_i 将满或已满，则将该入方向队列 IQ_i 中的数据报文提供给存储器控制模块，以使 IQ_i 中的数据报文经 IQ_i、外接 DDR2 SDRAM 中的 Qi、EQ_i 的二级缓存路径传输；

否则，对应外部队列 Qi 虽有数据报文、但该外部队列 Qi 已满，因而暂

不针对该入方向队列 IQ_i 进行读写操作。

出方向控制模块在 Bypass FIFO 非空时,从 Bypass FIFO 读取数据报文、并存放至该数据报文所属入方向队列 IQ_i 对应的出方向队列 EQ_i ; 由于 Bypass FIFO 中的数据报文是在外部队列 Q_i 中没有对应报文流中的数据报文、且对应出方向队列 EQ_i 非满时写入的,因而外部队列 Q_i 中没有本应位于该数据报文之前的同一报文流中的其它数据报文,即便从 Bypass FIFO 读取数据报文时外部队列 Q_i 中已存有同一报文流中的数据报文,但由于读取的该数据报文不会在外部队列 Q_i 中有同一报文流中的数据报文时存入至 Bypass FIFO,因而外部队列 Q_i 中此时存放的数据报文一定是位于从 Bypass FIFO 读取的数据报文之后的,从而只要 Bypass FIFO 非空即从其读取数据报文,不会导致对应报文流中的数据报文顺序发生变化;

出方向控制模块在 Bypass FIFO 为空时,如果有出方向队列 EQ_i 非满、且外接 DDR2 SDRAM 中的对应外部队列 Q_i 非空,则表示从对应外部队列 Q_i 读取数据报文不会改变对应报文流中各数据报文间的顺序,因而向存储器控制模块请求从外部存储器中的对应外部队列 Q_i 读取数据报文、并存放至该出方向队列 EQ_i ; 否则, Bypass FIFO 为空、且对应外部队列 Q_i 中没有数据报文,因而暂不针对该出方向队列进行读写操作。

可见,由于有数据报文经数据报文存取控制装置内部的一级缓存路径传输、而非所有数据报文均经外接 DDR2 SDRAM 总线所在的二级缓存路径传输,从而能够减少 DDR2 SDRAM 总线利用率低对数据报文转发效率的影响。

而且,由于在对应外部队列中有数据报文时,不会选择控制装置内部的一级缓存路径传输,因而能够保证报文流中各数据报文间的顺序不会发生变化; 由于在出方向队列 EQ_i 将满或已满时,也不会选择控制装置内部的一级缓存路径传输,因而还能够避免如下情况出现: 入方向控制模块将入方向 FIFO 队列 IQ_i 中的数据报文读取并写入至 Bypass FIFO 后,出方向控制模块即便从 Bypass FIFO 读取该出属于 IQ_i 、并应存入至 EQ_i 的数据报文,但由于 EQ_i 此时将满或已满、不足以写入数据报文,从而导致数据报文丢包。

实际应用中，从 IQ_i 读出的数据报文应当写入至对应的 EQ_i 、而不应当写入至 $EQ_1 \sim EQ_{i-1}$ 以及 $EQ_{i+1} \sim EQ_{255}$ 中的任一出方向队列，因而入方向控制模块还应对从 IQ_i 读出的数据报文中添加表示 IQ_i 的标识，以便出方向控制模块依据该标识判断出数据报文所属 IQ_i 、并存放至 IQ_i 对应的 EQ_i 中。

图 5 为本发明实施例中数据报文存取控制逻辑的逻辑结构示意图。如图 5 所示，在本实施例中，通过 Bypass FIFO 相连通的入方向队列 IQ_i 与对应出方向 EQ_i 构成的一级缓存路径，而外接 DDR2 SDRAM 中的对应外部队列 Q_i 则属于二级缓存路径。

下面，对本实施例中如图 4 所示的数据报文存取控制装置进行再进一步的详细说明。

为了避免入方向管理模块内的若干入方向队列中，有入方向队列中的数据报文长时间不被入方向控制模块读取，本实施例可由入方向控制模块以轮寻方式读取若干入方向队列中的数据报文，具体实现可以为：

参见图 4，入方向管理模块中进一步设有各路输入、一路输出的入方向选择器，入方向选择器的每一路输入连接一个入方向队列、一路输出连接至入方向控制模块，而关于入方向管理模块接收的数据报文如何分配至若干入方向队列，则可以由本领域技术人员通过任意方式来实现，本文并不予以关注；

入方向控制模块进一步向入方向选择器的控制端输出一入方向轮寻控制信号 (I_queue_select)，用于以轮寻方式控制入方向选择器连接入方向队列的每一路输入依次与入方向选择器的一路输出导通，从而实现以轮寻方式读取若干入方向队列中的数据报文。

相应地，为了使得出方向控制模块能够将获取的数据报文均匀分配至出方向管理模块内的若干出方向队列中，以避免数据报文堆积在某几个出方向队列、降低数据报文外发效率，本实施例可由出方向控制模块以轮寻方式向若干出方向 FIFO 队列写入数据报文，具体实现可以为：

出方向管理模块中进一步设有一路输入、多路输出的出方向选择器，出

方向选择器的每一路输出连接一个出方向队列、一路输入连接自出方向控制模块，而关于出方向管理模块如何从若干出方向队列中选择外发数据报文，则可以由本领域技术人员通过任意方式来实现，本文并不予以关注；

出方向控制模块进一步向出方向选择器的控制端输出一出方向轮寻控制信号（E_queue_select），用于以轮寻方式控制出方向选择器连接出方向队列的每一路输出与出方向选择器的一路输入导通，从而实现以轮寻方式向若干出方向队列写入数据报文。

仍参见图 4，为了实现入方向控制模块能够判断出是否有入方向 FIFO 队列非空，每一入方向队列可进一步向入方向控制模块输出表示该入方向队列空满状态的状态信号（I_queue_status）；而为了出方向控制模块能够判断出是否有出方向队列非满、入方向控制模块能够判断出对应出方向队列是否非满，每一出方向队列还可进一步向出方向控制模块和入方向控制模块输出表示该出方向队列空满状态的状态信号（E_queue_status）。

此外，仍参见图 4，为了入方向控制模块和出方向控制模块能够判断出外接 DDR2 SDRAM 中各外部队列的空满状态、入方向控制模块能够使存储器控制模块将数据报文写入至对应外部队列、以及出方向控制模块能够使存储器控制模块准确读取对应外部队列中的数据报文，本实施例中进一步由入方向控制模块维护一外部存储器写指针列表（WPTR List）、由出方向控制模块维护一外部存储器读指针列表（RPTR List）。

这样，入方向控制模块进一步通过一写数据输出队列（WRQ）、以及一写地址输出队列（WADDR）与存储器控制模块相连，且入方向控制模块将需提供给存储器控制模块的数据报文存放至写数据输出队列，同时将外部存储器写指针列表中，与该数据报文所属入方向队列 IQ_i 对应的当前写指针 $WPTR_i$ 存放至写地址输出队列、并更新该写指针 $WPTR_i$ ；其中，更新写指针的方式，可以按照对应外部队列 Q_i 在外接 DDR2 SDRAM 中顺序占用的相邻实际地址间差值与写入的数据报文所占地址总数的乘积，依次对写指针的值进行累加操作；

而出方向控制模块进一步通过一读数据输入队列 (RDQ)、以及一读地址输出队列 (RADDR) 与存储器控制模块相连, 且出方向控制模块将外部存储器读指针列表中, 与非满状态出方向队列 EQ_i 对应的读指针 $RPTR_i$ 存放至读地址输出队列、并更新该读指针 $RPTR_i$, 然后即可从读数据输入队列中读取对应的数据报文; 其中, 更新读指针的方式可以按照对应外部队列 Q_i 在外接 DDR2 SDRAM 中顺序占用的相邻实际地址间差值与读取的数据报文所占地址总数的乘积, 依次对读指针的值进行累加操作;

入方向控制模块和出方向控制模块, 还可依据外部存储器写指针列表和外部存储器读指针列表, 并按照现有任一种方式比对每一外部队列的读写指针, 来判断外部随机存储器中的各外部队列的空满状态。

下面, 结合实例对上述如图 4 所示的数据报文存取控制装置的工作原理进行进一步说明。

参见图 6, 图 6 中省略了各模块的信号传递关系、数据报文传递路径如虚线箭头所示, 入方向控制模块通过循环罗宾 (Round Robin, RR) 轮寻调度到若干入方向队列中的 IQ_0 , 当 IQ_0 有数据报文时, 对应外部队列 Q_0 中没有数据报文, 若干出方向 FIFO 队列中对应的 EQ_0 未到达将满阈值、且 Bypass FIFO 也未到达将满或满状态, 则表示 IQ_0 、Bypass FIFO、 EQ_0 顺序构成的片内数据报文传递路径未阻塞, 且通过该路径传递数据报文不会导致数据报文在其所属报文流中的顺序发生变化, 因而入方向控制模块读取 IQ_0 中的数据报文写入至 Bypass FIFO、并为数据报文添加表示 IQ_0 的标识。此后, 出方向控制模块在从 Bypass FIFO 读取出标识 IQ_0 的数据报文后, 即可写入至未到达将满或已满状态的对应 EQ_0 。

参见图 7a, 图 7a 中省略了各模块的信号传递关系、数据报文传递路径如虚线箭头所示, 入方向控制模块通过 RR 轮寻调度到若干入方向队列中的 IQ_0 , IQ_0 有数据报文, 但对应外部队列 Q_0 中有同一报文流中的数据报文, 且若干出方向队列中对应的 EQ_0 到达将满阈值, 导致 IQ_0 、Bypass FIFO、 EQ_0 顺序构成的片内数据报文传递路径阻塞, 此时, 由于外接 DDR2 SDRAM

的对应外部队列 Q0 中虽然有数据报文但处于非满状态，因而入方向控制模块读取 IQ0 中的数据报文，并将表示 IQ0 的标识添加至该数据报文后、存放至连接存储器控制模块的写数据输出队列 WRQ 中，同时还将外部存储器写指针列表中对应 IQ0 的写指针 WPTR0 存放至写地址输出队列 WADDR 中，然后将 Q0 在外接 DDR2 SDRAM 中顺序占用的相邻实际地址间差值与 IQ0 中该数据报文的长度之乘积累加至写指针 WPTR0、以实现对写指针 WPTR0 的更新。此后，存储器控制模块即可依据写地址输出队列 WADDR 中的写指针 WPTR0，将写数据输出队列 WRQ 中属于 IQ0 的数据报文写入至外接 DDR2 SDRAM 的对应外部队列 Q0 中。

参见图 7b，图 7b 中省略了各模块的信号传递关系、数据报文传递路径如虚线箭头所示，Bypass FIFO 为空，出方向控制模块通过 RR 调度轮寻到若干出方向队列中的 EQ0，EQ0 未到达将满阈值、且外接 DDR2 SDRAM 中对应外部队列 Q0 非空，出方向控制模块从外部存储器读指针列表中读出 EQ0 对应的读指针 RPTR0、并存放至读指针输出队列 RADDR。此后，存储器控制模块即可依据读指针输出队列 RADDR 中的读指针 RPTR0，从外接 DDR2 SDRAM 的对应外部队列 Q0 中读取数据报文并存放至读数据输入队列 RDQ，出方向控制模块从读数据输入队列 RDQ 读出携带标识 IQ0 的数据报文、并存放至 EQ0，然后将 Q0 在外接 DDR2 SDRAM 中顺序占用的相邻实际地址间差值与从读数据输入队列 RDQ 读出的携带标识 IQ0 的数据报文长度之乘积累加至写指针 RPTR0、以实现对读指针 RPTR0 的更新。

基于如图 6、以及图 7a~图 7b 所示的实例，当外部数据报文进入到入方向队列的速率，小于出方向队列发出数据报文的速率时，入方向队列中的数据报文会由于对应出方向队列非满、且 Bypass FIFO 非满，而通过如图 6 所示的数据报文存取控制装置内的 Bypass FIFO 所在的一级缓存路径传输，从而可以减少数据报文在数据报文存取控制装置内的延时。但当进入到入方向队列的数据报文速率大于从出方向队列发出的数据报文速率时，会导致出方向队列将满或已满，此时，入方向队列中的数据报文就需要存储到外接

DDR2 SDRAM 中，即通过如图 7a~图 7b 所示的外接 DDR2 SDRAM 总线所在的二级缓存路径传输，优选地，存储器控制模块对外接 DDR2 SDRAM 的写优先级高于读优先级。

以上，是本实施例数据报文存取控制装置中包含有一级缓存路径的结构所进行的详细说明，除此之外，本实施例还对外接 DDR2 SDRAM 的读写操作方式、也就是控制逻辑进行了改进。

考虑到不同数据报文的大小各异、通常为 64 字节~1500 字节，那么本实施例将每一报文流中的各数据报文，以等大小信元（Cell）为单位对每个入方向队列 IQ_i 进行读操作、对 Bypass FIFO 和外接 DDR2 SDRAM 中的每个外部队列 Qi 进行读写操作、对出方向队列 EQ_i 进行写操作，这样，对于 4 个 BANK、每个 BANK 中的 1 行为 64 字节的 DDR2 SDRAM 来说，可使同一 Cell 被均分至各 BANK 存储、且无需通过 Precharge 命令和 ACT 命令执行换行操作。

实际应用中，每个 Cell 可以包含多个数据报文，也可以多个 Cell 构成一个数据报文。如果存在某个报文流最后剩余的数据报文不足一个 Cell，此时，不足一个 Cell 的剩余数据报文可以在对应外部队列从 DDR2 SDRAM 中读空后，通过片内的 Bypass FIFO 来传输。

此外，本实施例还可利用 BANK 交错(interleave)方式来实现外接 DDR2 SDRAM 的控制逻辑。

具体说，存储器控制模块以 Cell 为单位向外接 DDR2 SDRAM 中的对应外部队列写入数据报文，每个 Cell 被分为若干部分（较佳地分为与 BANK 相同数量的部分）、同一 Cell 的各部分写入至不同 BANK、Cell 的每部分在一个 BANK 中只占用一行内的一小部分、即 Cell 的每部分位于一个 BANK 中的同一行，且存储器控制模块以预设间隔针对每个 Cell 各部分所在 BANK 的一行向外接 DDR2 SDRAM 顺序发送 ACT 命令和包含自动预充电（Auto Precharge）命令的写（WR）命令、用以消除向外部随机存储器写入各部分之间的总线等待时间；

同理,存储器控制模块以 Cell 为单位从外接 DDR2 SDRAM 中的对应外部队列中读取数据报文,且存储器控制模块以预设间隔,针对每个 Cell 各部分所在 BANK 的一行向外接 DDR2 SDRAM 顺序发送 ACT 命令和包含 Auto Precharge 命令的 RD 命令、用以消除从外部随机存储器读出各部分之间的总线等待时间。

进一步说,为了消除向外部随机存储器写入各部分之间的总线等待时间,一个 Cell 需小于等于 BANK 数量与列数量的乘积,即一个 Cell 的大小不会超过一行的容量与 BANK 数量的乘积;此外,由于一个 Cell 会被划分为各部分存储在不同 BANK,因而为了避免在读写访问第一个 BANK 后,对其他 BANK 的读写访问时间不足以第一个 BANK 的 Precharge 时间、即不足以第一个 BANK 完成 Precharge,一个 Cell 也不应小于一个 BANK 的读写访问时间与 Precharge 时间所能够读写的最大数据量、即读写访问第一个 BANK 后对其他 BANK 的读写访问时间足以第一个 BANK 完成 Precharge。

针对上述读写访问方式,外接 DDR2 SDRAM 中的各外部队列要存放 Cell 的各部分数据,每一外部队列的所有连续实际地址就不应仅以列地址逐一递增,而是应当设置每一外部队列的所有连续实际地址划顺序分为与 BANK 数量相同的实际地址段,每个实际地址段中各连续实际地址的列地址逐一递增、BANK 地址和行地址相同,且,每个实际地址段中各连续实际地址的 BANK 地址,区别于该实际地址段所属外部队列的其他实际地址段;每个实际地址段中各连续实际地址的行地址,区别于该实际地址段所属外部队列之外的其他外部队列中,与该实际地址段位于同一 BANK 的实际地址段。

而且,在更新写指针 WPTR_i 和读指针 RPTR_i 时,对于同一 Cell 中一个部分内的数据,对写指针 WPTR_i 和读指针 RPTR_i 累加该部分内数据所占用的列数,当开始写入或读取同一个 Cell 中下一部分的数据时,则需先对写指针 WPTR_i 和读指针 RPTR_i 表示 BANK 地址的次低位加 1,然后再对写指针 WPTR_i 和读指针 RPTR_i 累加该部分内数据所占用的列数。写指针 WPTR_i

和读指针 RPTR_i 的设置方式、以及更新方式，可以由本领域技术人员采用任意方式实现，在此不再一一列举。

参见图 8，以连续读取两个 Cell、每个 Cell 占 256 字节和 16 个时钟周期为例，假设每一个 Cell 均分为 4 个部分 Da、Db、Dc、Dd，并分别被写入在 BANK0、BANK1、BANK2、BANK3 中的一行内（两个 Cell 的 Da 写入在 BANK0 的不同行，Db、Dc、Dd 同理），从存储器控制模块读指针输出队列 RADDR 中读取到该 Cell 所在数据报文所属入方向队列对应的读指针开始：

在 T0 时钟周期，存储器控制模块针对 BANK0 中第一个 Cell 的 Da 所在行，向外接 DDR2 SDRAM 发送 ACT 命令，外接 DDR2 SDRAM 的 BANK0 中第一个 Cell 的 Da 所在行被激活；

在 T1 时钟周期，存储器控制模块针对 BANK0 中第一个 Cell 的 Da 所在行，向外接 DDR2 SDRAM 发送包含 Auto Precharge 命令的 RD 命令；需要说明的是，虽然外接 DDR2 SDRAM 中的参数 tRCD 被设置为 4，即在发送 ACT 命令后、等待 4 个时钟周期才可执行对颗粒的读操作，但为了使得针对每一个 Cell 的 4 个部分的 ACT 命令和包含 Auto Precharge 命令的 RD 命令能够更加紧凑，因而将外接 DDR2 SDRAM 中的现有参数 AL 设置为 3，使包含 Auto Precharge 命令的 RD 命令可提前 3 个时钟周期发送，以使每次发送 ACT 命令后、在下一个时钟周期内即可发送包含 Auto Precharge 命令的 RD 命令，后续发送的包含 Auto Precharge 命令的 RD 命令同理；

在 T2~T3 时钟周期，空闲等待；需要说明的是，虽然包含 Auto Precharge 命令的 RD 命令提前 3 个时钟周期发送，但由于参数 tRCD 被设置为 4，因而外接 DDR2 SDRAM 仍需等到 T4 时钟周期才可开始对激活行的颗粒实际执行读操作；

在 T4 时钟周期，存储器控制模块针对 BANK1 中第一个 Cell 的 Db 所在行，向外接 DDR2 SDRAM 发送 ACT 命令，外接 DDR2 SDRAM 的 BANK1 中第一个 Cell 的 Db 所在行被激活；同时，外接 DDR2 SDRAM 开始对 BANK0

中第一个 Cell 的 Da 所在行的颗粒进行读操作;

在 T5 时钟周期, 存储器控制模块针对 BANK1 中第一个 Cell 的 Db 所在行, 向外接 DDR2 SDRAM 发送包含 Auto Precharge 命令的 RD 命令; 同时, 外接 DDR2 SDRAM 继续对 BANK0 中第一个 Cell 的 Da 所在行的颗粒进行读操作;

在 T6~T7 时钟周期, 外接 DDR2 SDRAM 仍继续对 BANK0 中第一个 Cell 的 Da 所在行的颗粒进行读操作, 且外接 DDR2 SDRAM 针对 BANK1 中第一个 Cell 的 Db 所在行的包含 Auto Precharge 命令的 RD 命令进行空闲等待;

在 T8 时钟周期, 存储器控制模块针对 BANK2 中第一个 Cell 的 Dc 所在行, 向外接 DDR2 SDRAM 发送 ACT 命令, 外接 DDR2 SDRAM 的 BANK2 中第一个 Cell 的 Dc 所在行被激活; 且外接 DDR2 SDRAM 开始通过总线向存储器控制模块输出 BANK0 中第一个 Cell 的 Da, 同时开始通过 Auto Precharge 操作关闭 BANK0 中第一个 Cell 的 Da 所在行, 并开始对 BANK1 中第一个 Cell 的 Db 所在行的颗粒进行读操作;

在 T9 时钟周期, 存储器控制模块针对 BANK2 中第一个 Cell 的 Dc 所在行, 向外接 DDR2 SDRAM 发送包含 Auto Precharge 命令的 RD 命令; 同时, 外接 DDR2 SDRAM 继续通过总线向存储器控制模块输出 BANK0 中第一个 Cell 的 Da, 并继续对 BANK1 中第一个 Cell 的 Db 所在行的颗粒进行读操作;

在 T10~T11 时钟周期, 外接继续通过总线向存储器控制模块输出 BANK0 中第一个 Cell 的 Da, 外接 DDR2 SDRAM 仍继续对 BANK1 中第一个 Cell 的 Db 所在行的颗粒进行读操作, 且外接 DDR2 SDRAM 针对 BANK2 中第一个 Cell 的 Dc 所在行的包含 Auto Precharge 命令的 RD 命令进行空闲等待;

在 T12 时钟周期, 存储器控制模块针对 BANK3 中第一个 Cell 的 Dd 所在行, 向外接 DDR2 SDRAM 发送 ACT 命令, 外接 DDR2 SDRAM 的 BANK3

中第一个 Cell 的 Dd 所在行被激活；且 BANK0 中第一个 Cell 的 Da 已输出完毕，外接 DDR2 SDRAM 开始通过总线向存储器控制模块输出 BANK1 中第一个 Cell 的 Db，同时开始通过 Auto Precharge 操作关闭 BANK1 中第一个 Cell 的 Db 所在行、并开始对 BANK2 中第一个 Cell 的 Dc 所在行的颗粒进行读操作；

在 T13 时钟周期，存储器控制模块针对 BANK3 中第一个 Cell 的 Dd 所在行，向外接 DDR2 SDRAM 发送包含 Auto Precharge 命令的 RD 命令；同时，外接 DDR2 SDRAM 继续通过总线向存储器控制模块输出 BANK1 中第一个 Cell 的 Db、并继续对 BANK2 中第一个 Cell 的 Dc 所在行的颗粒进行读操作；

在 T14~T15 时钟周期，外接继续通过总线向存储器控制模块输出 BANK1 中第一个 Cell 的 Db、外接 DDR2 SDRAM 仍继续对 BANK2 中第一个 Cell 的 Dc 所在行的颗粒进行读操作，且外接 DDR2 SDRAM 针对 BANK3 中第一个 Cell 的 Dd 所在行的包含 Auto Precharge 命令的 RD 命令进行空闲等待；

在 T16 时钟周期，存储器控制模块针对 BANK0 中第二个 Cell 的 Da 所在行，向外接 DDR2 SDRAM 发送 ACT 命令，外接 DDR2 SDRAM 的 BANK0 中第二个 Cell 的 Da 所在行被激活（区别于 T0 时钟周期内激活的第一个 Cell 的 Da 所在行）；且 BANK1 中第一个 Cell 的 Db 已输出完毕，外接 DDR2 SDRAM 开始通过总线向存储器控制模块输出 BANK2 中第一个 Cell 的 Dc，同时开始通过 Auto Precharge 操作关闭 BANK1 中第一个 Cell 的 Db 所在行、并开始对 BANK3 中第一个 Cell 的 Dd 所在行的颗粒进行读操作；

在 T17 时钟周期，存储器控制模块针对 BANK0 中第二个 Cell 的 Da 所在行，向外接 DDR2 SDRAM 发送包含 Auto Precharge 命令的 RD 命令；同时，外接 DDR2 SDRAM 继续通过总线向存储器控制模块输出 BANK2 中第一个 Cell 的 Dc、并继续对 BANK3 中第一个 Cell 的 Dd 所在行的颗粒进行读操作；

在 T18~T19 时钟周期，外接继续通过总线向存储器控制模块输出 BANK2 中第一个 Cell 的 Dc、外接 DDR2 SDRAM 仍继续对 BANK3 中第一个 Cell 的 Dd 所在行的颗粒进行读操作，且外接 DDR2 SDRAM 针对 BANK0 中第二个 Cell 的 Da 所在行的包含 Auto Precharge 命令的 RD 命令进行空闲等待；

在 T20 时钟周期，存储器控制模块针对 BANK1 中第二个 Cell 的 Db 所在行，向外接 DDR2 SDRAM 发送 ACT 命令，外接 DDR2 SDRAM 的 BANK1 中第二个 Cell 的 Db 所在行被激活(区别于 T4 时钟周期内激活的第一个 Cell 的 Db 所在行)；且 BANK2 中第一个 Cell 的 Dc 已输出完毕，外接 DDR2 SDRAM 开始通过总线向存储器控制模块输出 BANK3 中第一个 Cell 的 Dd，同时开始通过 Auto Precharge 操作关闭 BANK2 中第一个 Cell 的 Dc 所在行、并开始对 BANK0 中第二个 Cell 的 Da 所在行的颗粒进行读操作；

在 T21 时钟周期，存储器控制模块针对 BANK1 中第二个 Cell 的 Db 所在行，向外接 DDR2 SDRAM 发送包含 Auto Precharge 命令的 RD 命令；同时，外接 DDR2 SDRAM 继续通过总线向存储器控制模块输出 BANK3 中第一个 Cell 的 Dd、并继续对 BANK0 中第二个 Cell 的 Da 所在行的颗粒进行读操作；

在 T22~T23 时钟周期，外接继续通过总线向存储器控制模块输出 BANK3 中第一个 Cell 的 Dd、外接 DDR2 SDRAM 仍继续对 BANK0 中第二个 Cell 的 Da 所在行的颗粒进行读操作，且外接 DDR2 SDRAM 针对 BANK1 中第二个 Cell 的 Db 所在行的包含 Auto Precharge 命令的 RD 命令进行空闲等待；

在 T24 时钟周期，存储器控制模块针对 BANK2 中第二个 Cell 的 Dc 所在行，向外接 DDR2 SDRAM 发送 ACT 命令，外接 DDR2 SDRAM 的 BANK2 中第二个 Cell 的 Dc 所在行被激活(区别于 T8 时钟周期内激活的第一个 Cell 的 Dc 所在行)；且 BANK3 中第一个 Cell 的 Dd 已输出完毕，外接 DDR2 SDRAM 开始通过总线向存储器控制模块输出 BANK0 中第二个 Cell 的 Da，

同时开始通过 Auto Precharge 操作关闭 BANK3 中第一个 Cell 的 Dd 所在行、并开始对 BANK1 中第二个 Cell 的 Db 所在行的颗粒进行读操作；

在 T25 时钟周期，存储器控制模块针对 BANK2 中第二个 Cell 的 Dc 所在行，向外接 DDR2 SDRAM 发送包含 Auto Precharge 命令的 RD 命令；同时，外接 DDR2 SDRAM 继续通过总线向存储器控制模块输出 BANK0 中第二个 Cell 的 Da、并继续对 BANK1 中第二个 Cell 的 Db 所在行的颗粒进行读操作；

在 T26~T27 时钟周期，外接继续通过总线向存储器控制模块输出 BANK0 中第二个 Cell 的 Da、外接 DDR2 SDRAM 仍继续对 BANK1 中第二个 Cell 的 Db 所在行的颗粒进行读操作，且外接 DDR2 SDRAM 针对 BANK2 中第二个 Cell 的 Dc 所在行的包含 Auto Precharge 命令的 RD 命令进行空闲等待；

此后，按照 T12~T19 相同的原理继续执行即可完成第二个 Cell 中所有部分的输出。

通过上述实例可见，只要保证前述预设间隔的长度，即存储器控制模块针对每个 Cell 各部分所在 BANK 行向外接 DDR2 SDRAM 顺序发送 ACT 命令之间的间隔长度、发送包含 Auto Precharge 命令的 WR 命令之间的间隔长度，小于等于外接 DDR2 SDRAM 总线传输一行数据所占用的时钟周期长度，即可消除从外接 DDR2 SDRAM 读出同一 Cell、以及不同 Cell 的各部分之间的总线等待时间，写入连续的 Cell 时同理。

而且，在上述实例中，可利用 40 个时钟周期完成对两个 Cell 的连续读取，在这 40 个时钟周期内，外接 DDR2 SDRAM 的总线只有 T0~T7 这 8 个时钟周期处于空闲，总线利用率达到了 80%，从而提高了数据报文的存储转发效率。而且，即便连续读取的 Cell 数量增加，外接 DDR2 SDRAM 的总线也仍会只有 8 个时钟周期空闲，从而可随着连续读取的 Cell 数量增加而进一步提高总线利用率，进而进一步提高了数据报文的存储转发效率。

然而，实际应用中，由于数据报文存储后需要转发，因而外接 DDR2

SDRAM 实际上可看作是写入和读出比例 1: 1 的 FIFO, 那么除了连续读和连续写之外, 也就一定会存在读写切换的情况。对于读写之间切换的情况, 存储器控制模块在向外接 DDR2 SDRAM 顺序发送 ACT 命令和包含 Auto Precharge 命令的 RD 命令后, 等待前述预设间隔、或任意数量的时钟周期后, 即发送 ACT 命令 (如果是对之前的 RD 命令对应的行进行写操作则无需再发送 ACT 命令) 和包含 Auto Precharge 命令的 WR。

而通常情况下, 由于 DDR2 SDRAM 本身的特性而会导致读颗粒切换至写颗粒、以及写颗粒切换至读颗粒之间, 均存在预定数量的空闲时钟周期。

参见图 9a, 在同一 BANK 的同一行内先读出数据 Dout, 然后再写入数据 Din, 但即便 WR 在 RD 之后按照预设间隔提前发送, 但外接 DDR2 SDRAM 在总线输出完毕 Dout 后, 仍等待一个时钟周期 T8, 才开始通过总线接收写入数据 Din。在相同或不同 BANK 的不同行内先读出数据 Dout、再写入数据 Din 也是同理。

参见图 9b, 在同一 BANK 的同一行内先写入数据 Din, 然后再读出数据 Dout, 但无论 RD 命令是否提前发送, 外接 DDR2 SDRAM 在总线输入 Din 完毕后, 必须等待 T4~T8 这 5 个时钟周期, 才能够开始通过总线输出 Dout。

上述图 9a 和图 9b 仅仅是以一种型号的 DDR2 SDRAM 为例, 实际应用中, 不同型号的 DDR2 SDRAM 在读颗粒切换至写颗粒、以及写颗粒切换至读颗粒之间的空闲时钟周期数量也有可能不同。

但是, 即便有读颗粒切换至写颗粒、以及写颗粒切换至读颗粒之间的空闲时钟周期存在, 本实施例中的方案相比于现有方案, 仍然是提高了外接 DDR2 SDRAM 的总线利用率。

对于写一个 Cell 与读一个 Cell 交替执行的最坏情况, 总线利用率可参见如下公式:

$$BUS_{Efficiency} = \frac{Write_CLK + Read_CLK}{Write_CLK + Write_to_Read_CLK + Read_CLK + Read_to_Write_CLK}$$

其中， $BUS_{Efficiency}$ 为总线利用率、 $Write_CLK$ 为写一个 Cell 所需的时钟周期数、 $Write_to_Read_CLK$ 为写切换至读占用的空闲时钟周期数、 $Read_CLK$ 为读一个 Cell 所需的时钟周期数、 $Read_to_Write_CLK$ 为读切换至写所占用的空闲时钟周期数。

当 $Write_CLK$ 和 $Read_CLK$ 为 16、 $Write_to_Read_CLK$ 为 1、 $Read_to_Write_CLK$ 为 5 时：

$$BUS_{Efficiency} = \frac{16+16}{16+5+16+1} = 84.21\%$$

如果此时外接 DDR2 SDRAM 的总线速率为 266MHz 时，总线的有效带宽为 $266 \times 64 \times 2 \times 84.21\% = 28.67\text{Gbps}$ ，足够满足用于存取数据报文的 10Gbit（包括 10Gbit 读数据和 10Gbit 写数据）能力。

当然，上述公式中并未考虑在第一次读或写时如图 8 中 T0~T7 时钟周期所示的等待时间，但对于大量 Cell 的连续读写来说，该等待时间可以只出现一次，因而可忽略不计。

以上是对本实施例中数据报文存取控制装置的详细说明。下面，再针对本实施例中数据报文存储控制方法进行说明。

本实施例中的数据报文存取控制方法可基于与数据报文存取控制装置相同的原理，由硬件计算机程序、或软硬结合的计算机程序来实现，并应用于 ASIC 或 FPGA 芯片中。

本实施例中的数据报文存取控制方法可将 ASIC 或 FPGA 芯片接收的数据报文写入至外接随机存储器，还可从外接随机存储器中请求读取数据报文至 ASIC 或 FPGA 芯片、并从 ASIC 或 FPGA 芯片发出。

具体说，本实施例中的数据报文存取控制方法需要在 ASIC 或 FPGA 芯片内设置若干入方向队列、及对应的若干出方向队列，还需要在 ASIC 或 FPGA 芯片内设置可在片内传输数据报文的透传 FIFO。

且，该数据报文存取控制方法包括：

为了对 ASIC 或 FPGA 芯片接收自外部的数据报文实现存储，在有入方向队列非空时，先判断外接 DDR2 SDRAM 中的对应外部队列中是否已存有数据报文，

如果外接 DDR2 SDRAM 中的对应外部队列中已存有数据报文、且非满，则表示该入方向队列所对应的报文流中已有数据报文存放至对应外部队列、且该对应外部队列能够继续存入数据报文，因而为了保证该入方向队列所对应的报文流中各数据报文间的顺序不变，将该入方向队列中的数据报文提供给存储器控制模块，以使中的数据报文经外接 DDR2 SDRAM 数据总线所在的片外二级缓存路径传输；

如果外接 DDR2 SDRAM 中的对应外部队列中没有数据报文，再判断 Bypass FIFO 及对应出方向队列是否均非满；

如果外接 DDR2 SDRAM 中的对应外部队列为空时、透传 FIFO 及对应出方向队列均非满，则表示该入方向队列所对应的报文流中没有数据报文存放至对应外部队列、且能够通过透传 FIFO 传递数据报文至对应出方向队列，因而将该入方向队列中的数据报文写入至透传 FIFO，以使该入方向队列中的数据报文经透传 FIFO 所在的片内一级缓存路径传输；

如果外接 DDR2 SDRAM 中的对应外部队列为空时、片内或对应出方向队列将满或已满，则由于外接 DDR2 SDRAM 中的对应外部队列为空，因而将该入方向队列中的数据报文提供给存储器控制模块，以使该入方向队列中的数据报文可经外接 DDR2 SDRAM 总线所在的片外二级缓存路径传输；

否则，外接 DDR2 SDRAM 中的对应外部队列虽有数据报文、但该外部队列已满，暂不针对该入方向队列进行读写操作。

为了对存储的数据报文实现转发，在透传 FIFO 非空时，从透传 FIFO 读取数据报文并存放至对应出方向队列；在透传 FIFO 为空时，如果有出方向队列非满、且外接 DDR2 SDRAM 中对应外部队列非空，则从外接 DDR2 SDRAM 内的对应外部队列中读取应存放至该出方向队列；否则，Bypass FIFO 为空、且对应外部队列 Q_i 中没有数据报文，因而暂不针对该出方向队

列进行读写操作。

参见图 10a, 为了对 ASIC 或 FPGA 芯片接收自外部的数据报文实现存储的具体流程可以包括:

步骤 1001a, 轮寻下一个入方向队列。

步骤 1002a, 依据当前轮寻到的入方向队列产生的表示该入方向队列空满状态的状态信号, 判断该入方向队列是否非空, 如果是, 则执行步骤 1003a, 否则返回步骤 1001a 继续轮寻。

步骤 1003a, 判断外接 DDR2 SDRAM 中的对应外部队列是否有数据报文, 如果有数据报文, 则执行步骤 1004a, 否则执行步骤 1006a。

本实施例中还可进一步设置一外部存储器写指针列表和一外部存储器读指针列表, 本步骤可按照现有方式, 依据外部存储器写指针列表和外部存储器读指针列表判断外接 DDR2 SDRAM 中对应外部队列是否非空。

步骤 1004a, 判断外接 DDR2 SDRAM 中对应外部队列是否非满, 如果非满, 则执行步骤 1005, 否则返回步骤 1001 继续轮寻。

本步骤中, 可以依据外部存储器写指针列表和外部存储器读指针列表判断外接 DDR2 SDRAM 中对应外部队列是否非满。

步骤 1005a, 将当前轮寻到的入方向队列中的数据报文添加对应标识后, 存放至外接随机存储器内的对应外部队列中, 然后返回步骤 1001a 继续轮寻。

本步骤中, 可以将当前轮寻到的非空入方向队列中待存放至外接 DDR2 SDRAM 内对应外部队列的数据报文, 先存放至预先在 ASIC 或 FPGA 芯片内设置的写数据输出队列, 同时将外部存储器写指针列表中, 与该数据报文所属入方向队列对应的当前写指针存放至预先在 ASIC 或 FPGA 芯片内设置的写地址输出队列, 并更新该写指针。然后依据地址输出队列中的写地址指针, 依次将写数据输出队列中顺序存放的数据报文写入至外接 DDR2 SDRAM 内对应外部队列。

步骤 1006a, 判断透传 FIFO 是否非满, 且对应出方向队列非满, 如果是, 则执行步骤 1007a, 否则跳转至步骤 1004a。

步骤 1007a, 透传 FIFO 非满、可以存入数据报文, 且对应出方向队列非满、不会出现数据报文无法存入对应出方向队列而丢包的情况, 因而将该入方向队列中的数据报文添加对应标识后写入至透传 FIFO, 并返回步骤 1001a。

至此, 上述流程结束。

参见图 10b, 为了对对存储的数据报文实现转发的具体流程可以包括:

步骤 1001b, 判断透传 FIFO 是否非空, 如果是, 则执行步骤 1002b, 否则执行步骤 1003b。

步骤 1002b, 从透传 FIFO 读取数据报文, 并依据该数据报文携带的标识存放至对应的出方向队列, 然后返回步骤 1001b。

步骤 1003b, 轮寻下一个出方向队列。

步骤 1004b, 依据当前轮寻到的出方向队列产生的表示该出方向队列空满状态的状态信号, 判断该出方向队列是否非满, 如果是, 则执行步骤 1005b, 否则返回步骤 1001b。

步骤 1005b, 判断外部随机存储器中对应外部队列是否非空, 如果是, 则执行步骤 1006b, 否则返回步骤 1001b。

本实施例中还可进一步设置一外部存储器写指针列表和一外部存储器读指针列表, 本步骤可按照现有方式, 依据外部存储器写指针列表和外部存储器读指针列表判断外部随机存储器中对应外部队列是否非满。

步骤 1006b, 从外接随机存储器的对应外部队列中请求读取数据报文。

本步骤中, 可以先将预先在 ASIC 或 FPGA 芯片内设置的外部存储器读指针列表中, 与非满状态出方向队列对应的读指针存放至预先在 ASIC 或 FPGA 芯片内设置的读地址输出队列, 然后再从读数据输入队列中读取对应的数据报文、并更新该对应的读指针。

步骤 1007b, 依据读取到的数据报文携带的标识存放至当前轮寻到的非满出方向队列, 然后返回步骤 1001b。

至此, 上述流程结束。

如上述图 10a 和图 10b 所示的流程可见,本实施例中的数据报文存取控制方法利用透传 FIFO 作为小数据量的一级缓存,而外接的 RAM 则仅用作大数据量的二级缓存,这样,由于有部分数据报文在片内存取、而非所有数据报文均通过外接 RAM 实现存取,因而减少了外接 RAM 总线利用率低对数据报文的传输效率的影响,从而提高数据报文传输效率。

此外,在如图 10a 所示流程的步骤 1006a 中,较佳地以 Cell 为单位向外部随机存储器中的对应外部队列写入数据报文、同一 Cell 的各部分写入至不同 BANK、每部分位于一个 BANK 中的同一行,且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的写命令、用以消除向外部随机存储器写入各部分之间的总线等待时间;

在如图 10b 所示流程的步骤 1006b 中,较佳地以 Cell 为单位从外部随机存储器中的对应外部队列中读取数据报文,且存储器控制模块以预设间隔顺序向每个 Cell 各部分所在 BANK 的一行发送激活命令和包含预充电命令的读命令、用以消除从外部随机存储器读出各部分之间的总线等待时间。

这样,即可消除从前述随机存储器读取每个 Cell 各部分之间的等待时间,进而提高外接 RAM 总线利用率、进一步提高数据报文传输效率。

以上所述仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。凡在本发明的精神和原则之内,所作的任何修改、等同替换以及改进等,均应包含在本发明的保护范围之内。

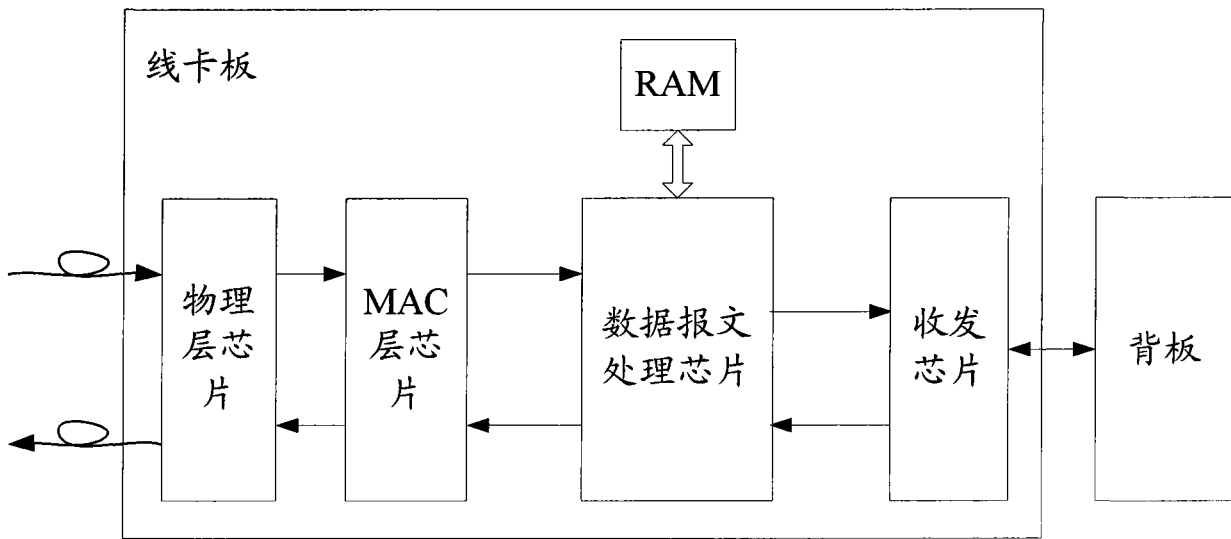


图 1

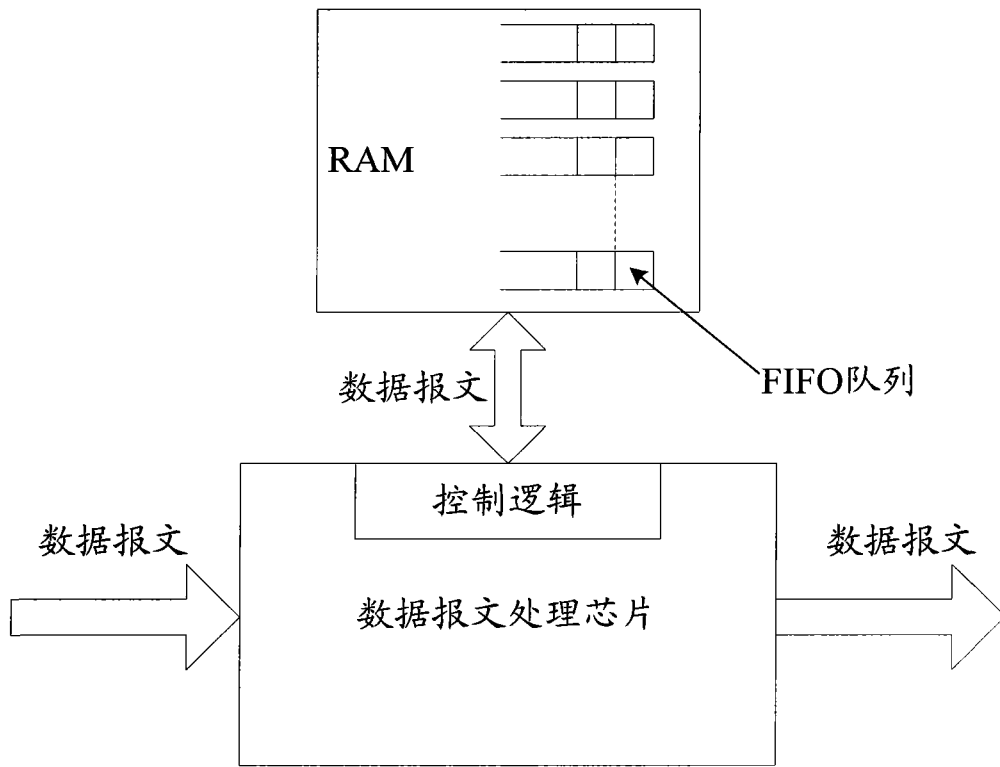


图 2

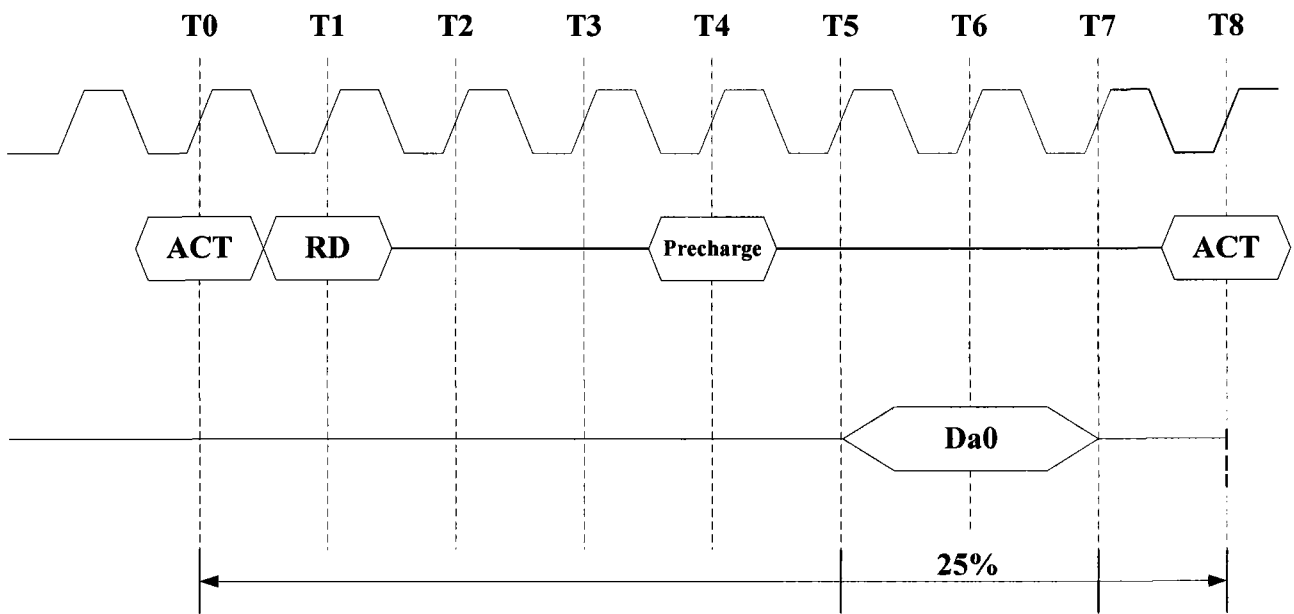


图 3

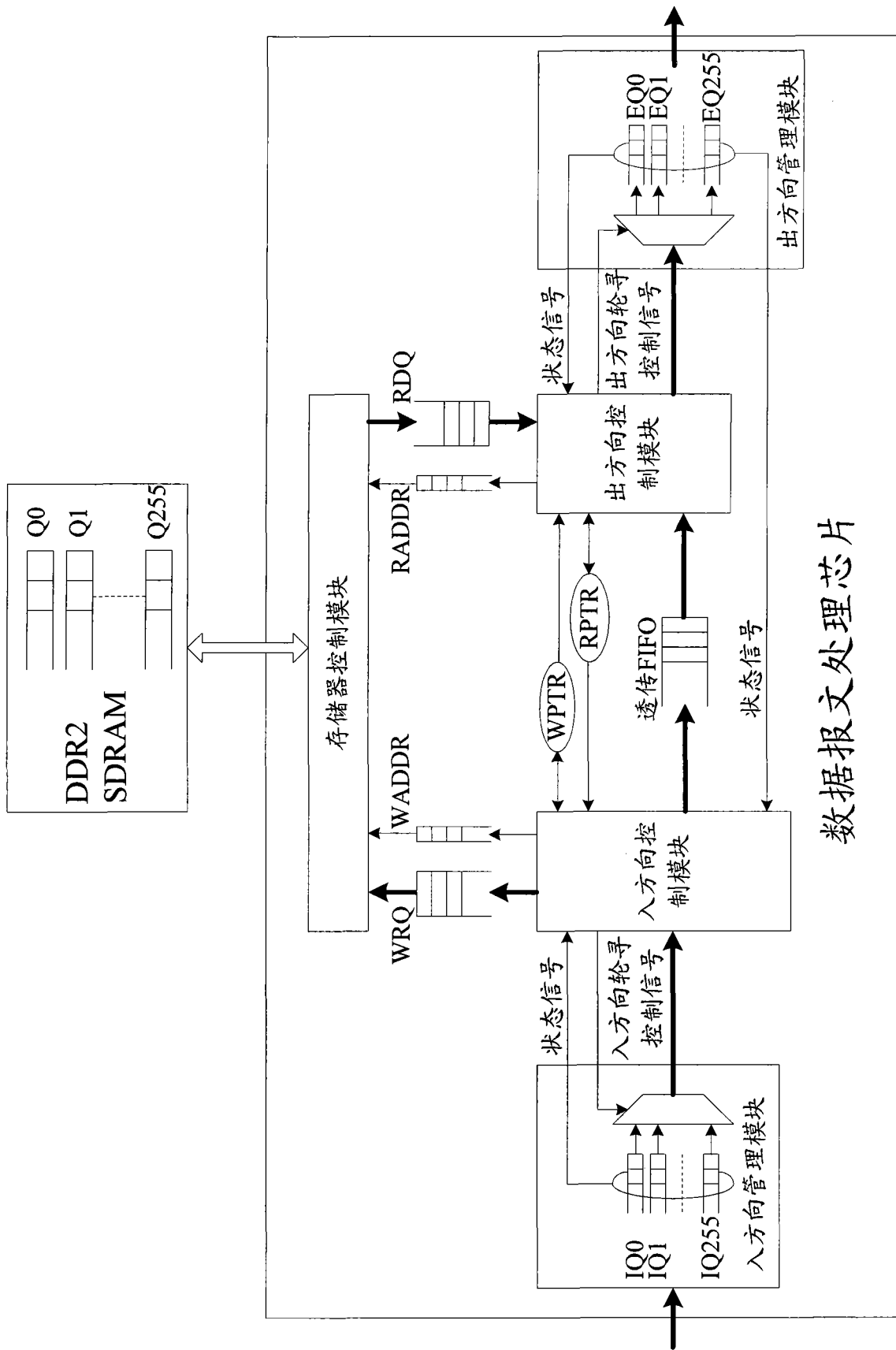


图 4

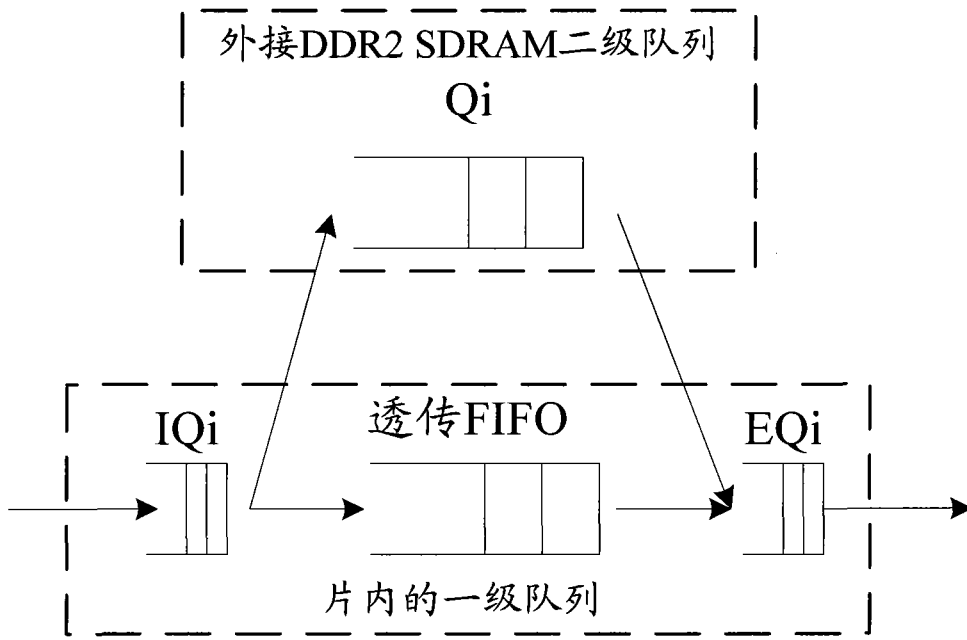


图 5

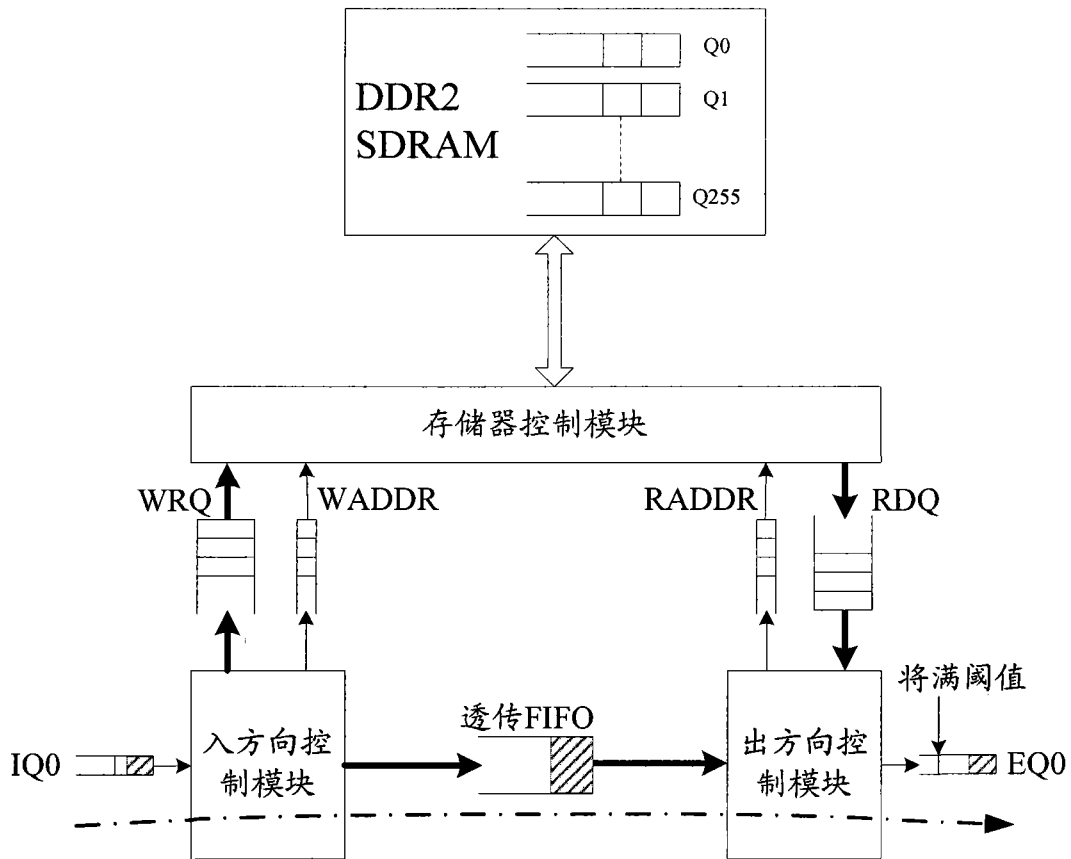


图 6

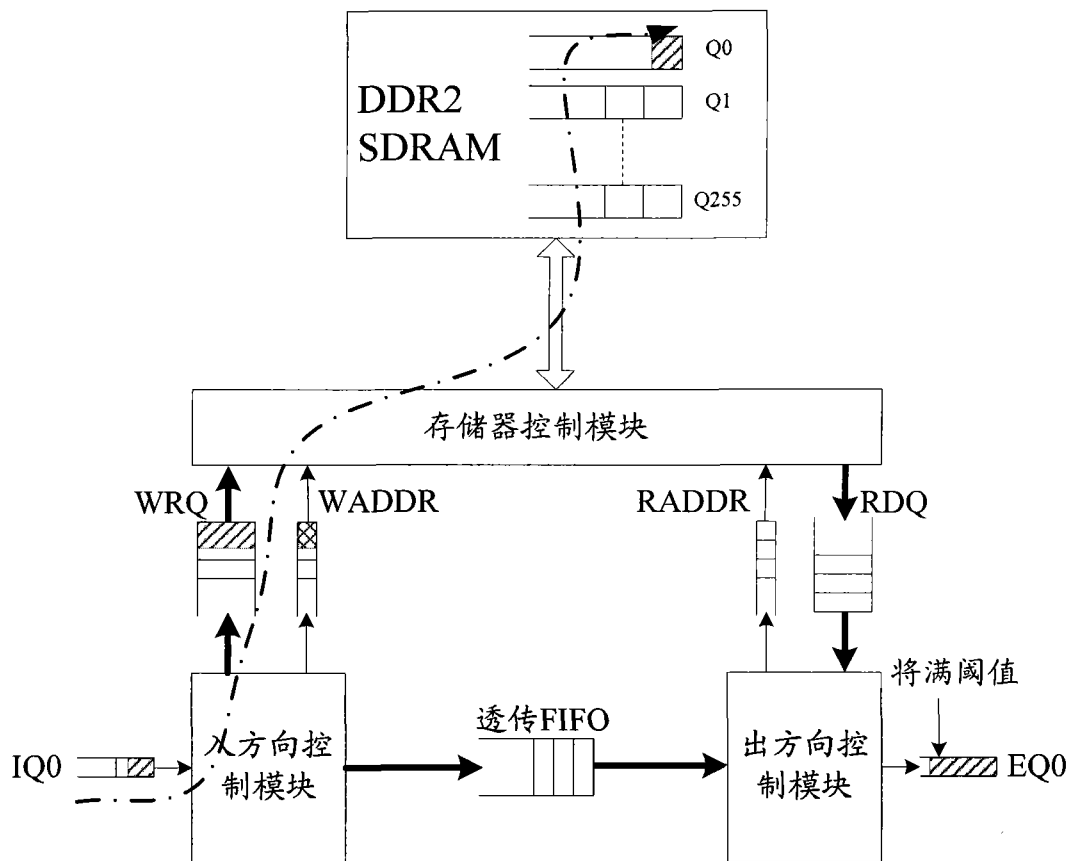


图 7a

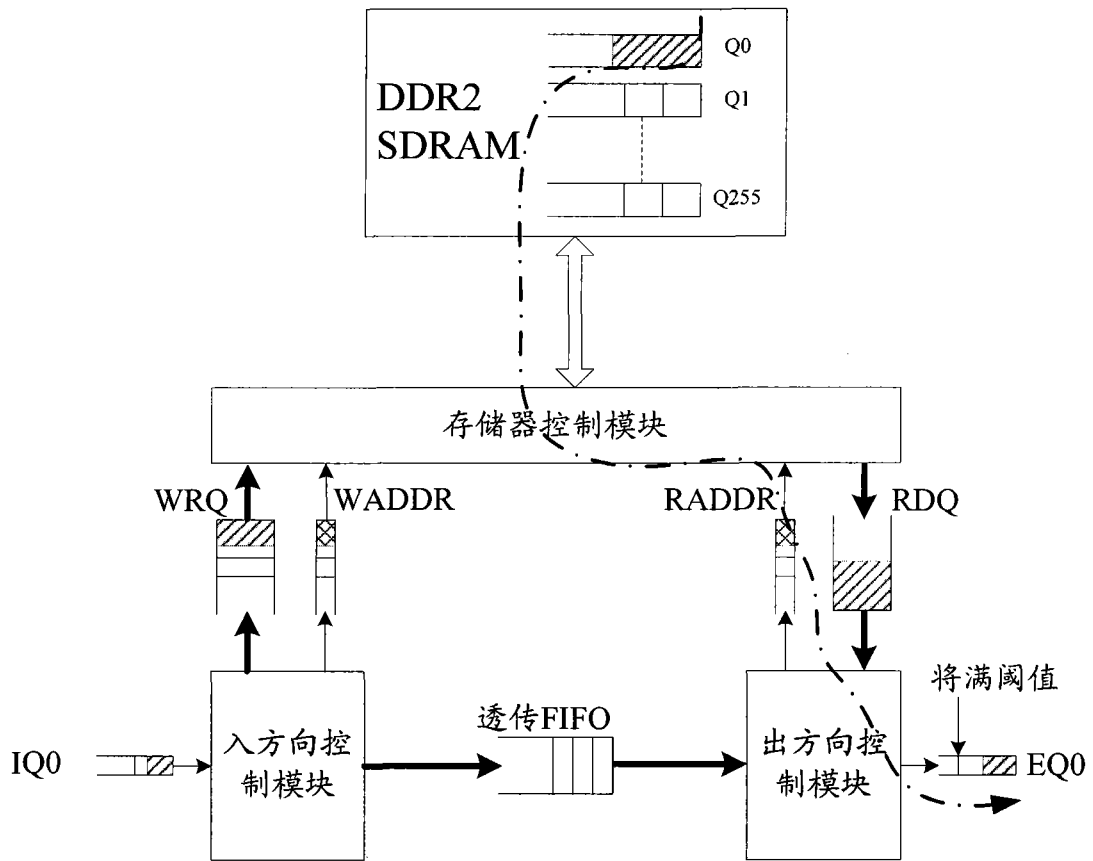


图 7b

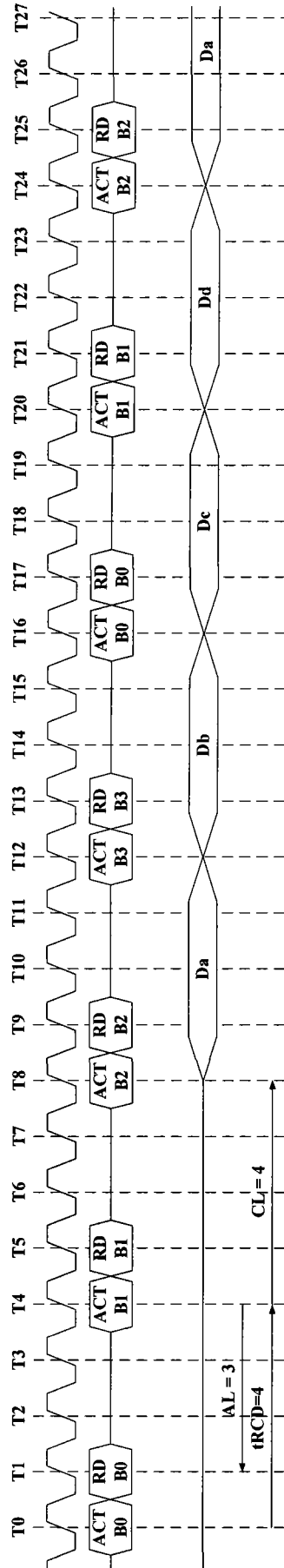


图 8

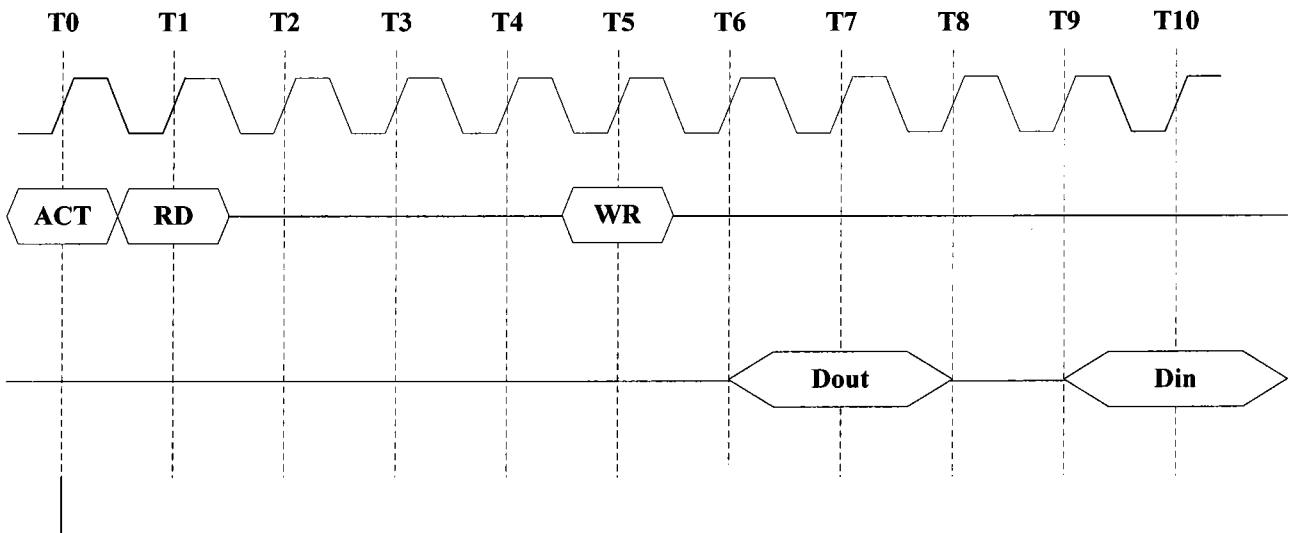


图 9a

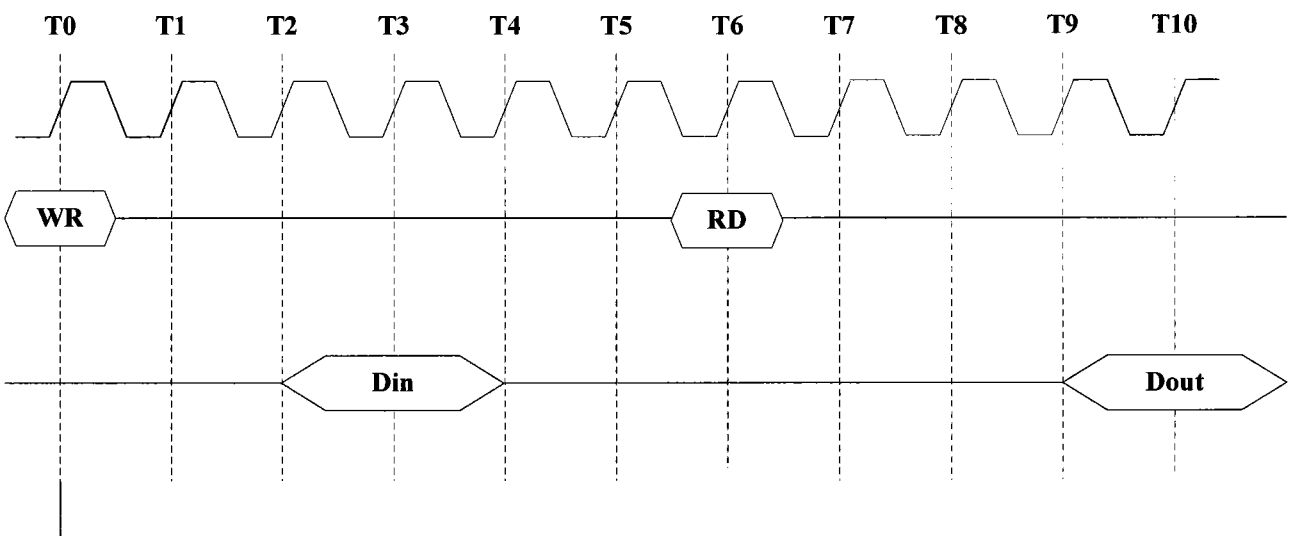


图 9b

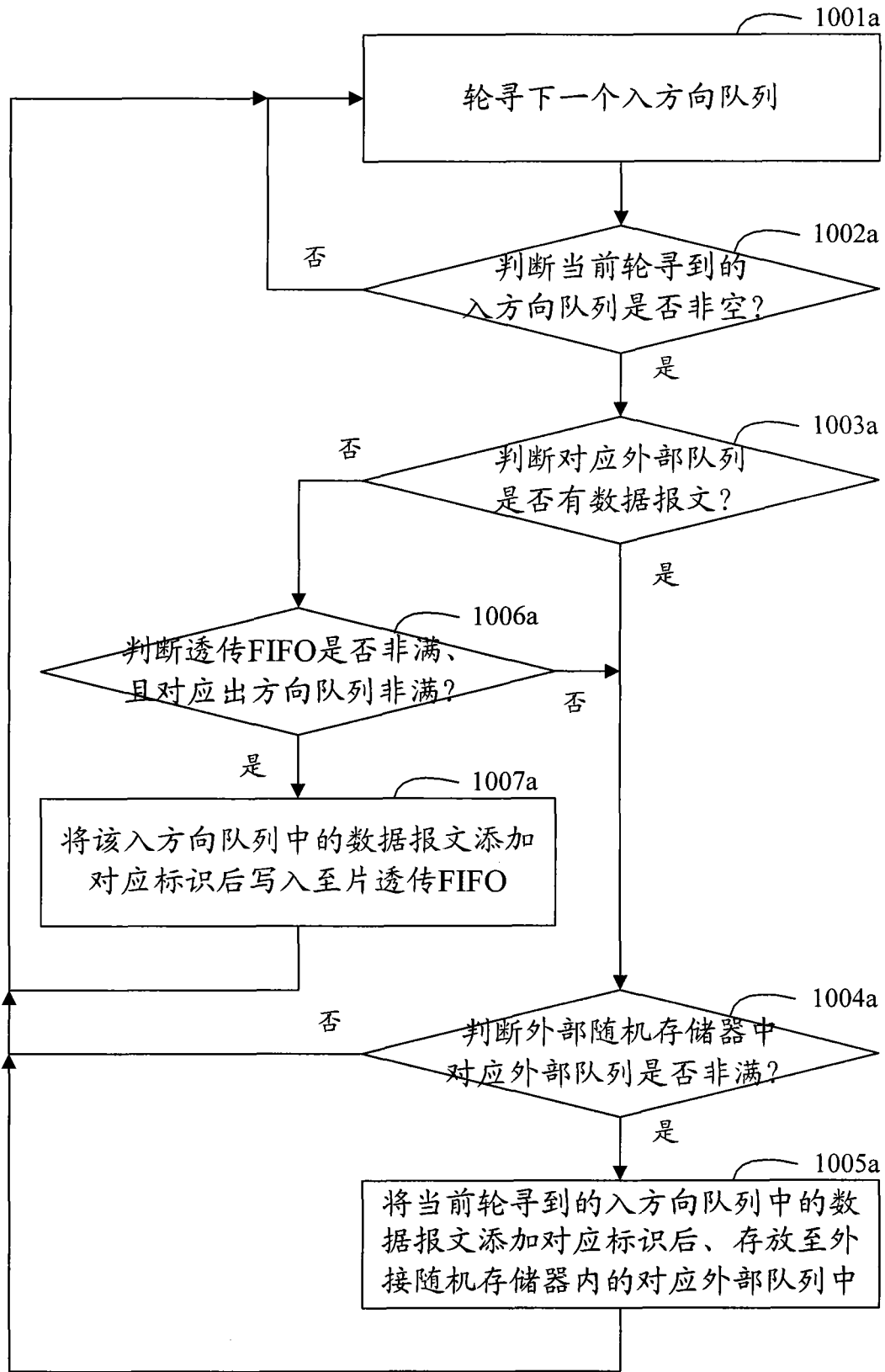


图 10a

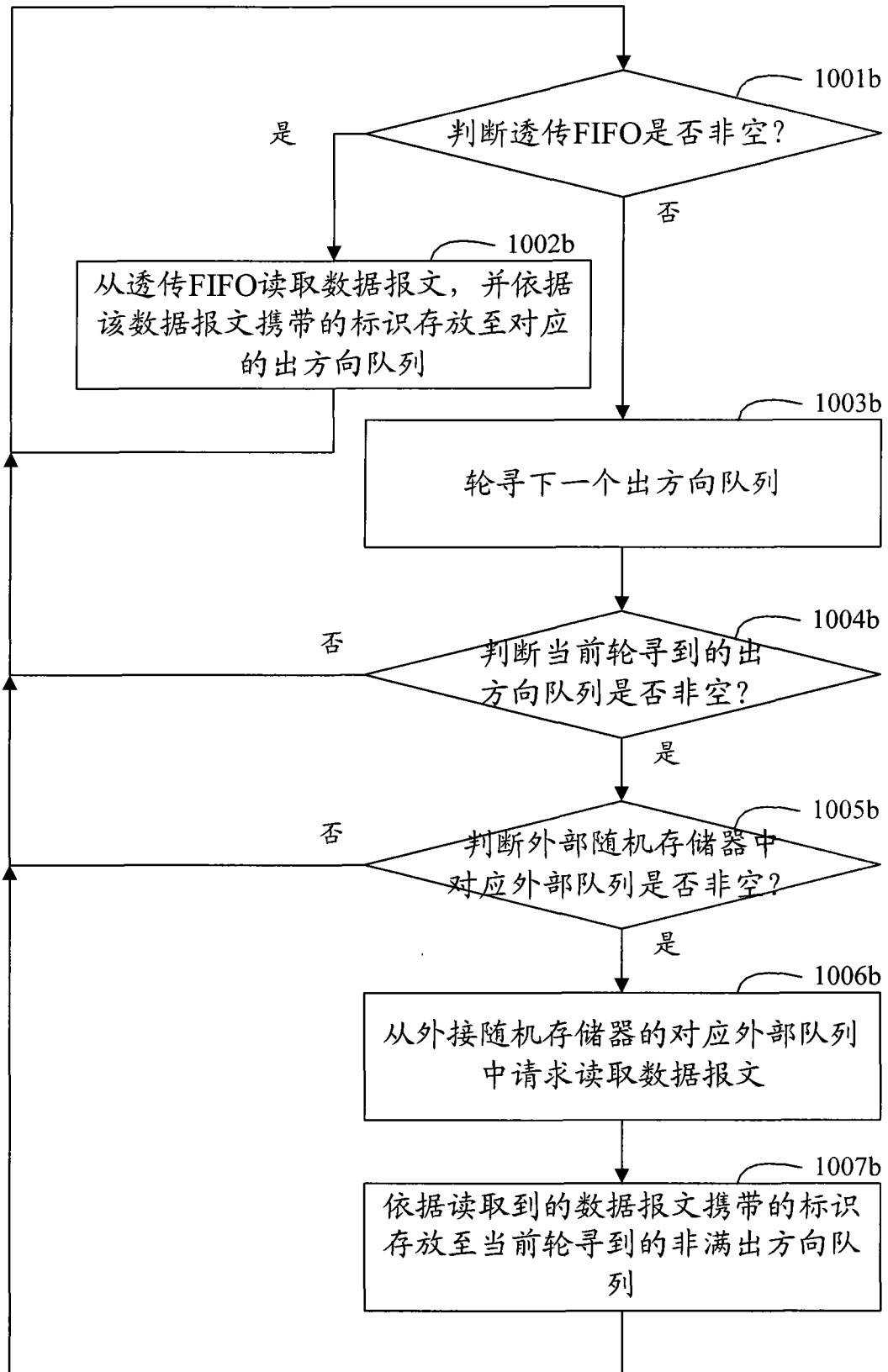


图 10b