

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7659853号
(P7659853)

(45)発行日 令和7年4月10日(2025.4.10)

(24)登録日 令和7年4月2日(2025.4.2)

(51)国際特許分類		F I	
G 0 6 F	12/00 (2006.01)	G 0 6 F	12/00 5 6 0 F
H 1 0 B	12/00 (2023.01)	H 1 0 B	12/00 6 0 1
G 1 1 C	16/04 (2006.01)	G 1 1 C	16/04
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67 1 0 1 S
		H 1 0 D	30/67 1 0 2 K
請求項の数 16 (全32頁) 最終頁に続く			
(21)出願番号	特願2023-580548(P2023-580548)	(73)特許権者	314000442
(86)(22)出願日	令和4年10月13日(2022.10.13)		高麗大学校産学協力団
(65)公表番号	特表2024-529613(P2024-529613 A)		KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION
(43)公表日	令和6年8月8日(2024.8.8)		大韓民国 0 2 8 4 1 ソウル ソンブクク
(86)国際出願番号	PCT/KR2022/015457		アナム口 1 4 5
(87)国際公開番号	WO2023/063732		1 4 5, Anam-ro Seongb
(87)国際公開日	令和5年4月20日(2023.4.20)		uk-gu Seoul 02841,
審査請求日	令和6年1月31日(2024.1.31)		Republic of Korea
(31)優先権主張番号	10-2021-0136713	(74)代理人	110000383
(32)優先日	令和3年10月14日(2021.10.14)		弁理士法人エビス国際特許事務所
(33)優先権主張国・地域又は機関	韓国(KR)	(72)発明者	キム サンセ
			大韓民国、0 6 6 3 0、ソウル、ソチョ
			ーグ、ヒョリョンー口、3 9 1、1 0 3
			最終頁に続く

(54)【発明の名称】 可変型ロジックインメモリセル

(57)【特許請求の範囲】

【請求項1】

ドレイン領域、チャネル領域、ソース領域を含み、前記チャネル領域上で第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含む、トリプルゲートフィードバックメモリ素子を複数含み、

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記第1及び第2プログラミングゲート電極を介して印加されるプログラム電圧（ V_{PG} ）のレベルに応じて、前記チャネル領域において前記第1及び第2プログラミングゲート電極の下チャネル領域が、第1チャネル動作及び第2チャネル動作のいずれか1つのチャネル動作を行い、前記コントロールゲート電極を介して印加されるコントロール電圧（ V_{CG} ）のレベルに基づいて、オン状態（on state）及びオフ状態（off state）のいずれか1つの状態に決定され、前記行われたいずれか1つのチャネル動作で前記いずれか1つの状態によって変化する出力電圧（ V_{OUT} ）のレベルに基づいて論理演算機能及びメモリ機能を行う可変型ロジックインメモリセルであって、

前記可変型ロジックインメモリセルは、前記複数のトリプルゲートフィードバックメモリ素子のうち2つのトリプルゲートフィードバックメモリ素子のドレイン領域同士が接続され、ソース領域同士が接続される複数の第1並列接続部で構成される第1回路構造、及び、

前記複数のトリプルゲートフィードバックメモリ素子のうち4つのトリプルゲートフィードバックメモリ素子のうち2つのトリプルゲートフィードバックメモリ素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つのトリプルゲートフ

フィードバックメモリ素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域と共通のソース領域が接続される複数の第2並列接続部で構成される第2回路構造のいずれか1つの回路構造で構成されることを特徴とする、可変型ロジックインメモリセル。

【請求項2】

前記ドレイン領域は、pドープ状態であり、

前記ソース領域は、nドープ状態であり、

前記チャネル領域は、真性 (i n t r i n s i c) 状態であり、

前記チャネル領域において前記第1及び第2プログラミングゲート電極の下のチャネル領域は、前記プログラム電圧 (V_{PG}) のレベルがハイレベルである場合に、前記第1チャネル動作に該当するnチャネルとして動作し、前記プログラム電圧 (V_{PG}) のレベルがローレベルである場合に、前記第2チャネル動作に該当するpチャネルとして動作することを特徴とする、請求項1に記載の可変型ロジックインメモリセル。

10

【請求項3】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャネル領域において前記第1及び第2プログラミングゲート電極の下のチャネル領域が前記第1チャネル動作を行う場合、前記印加されるコントロール電圧 (V_{CG}) のレベルがハイレベルである場合にオン状態に決定され、前記印加されるコントロール電圧 (V_{CG}) のレベルがローレベルである場合にオフ状態に決定されることを特徴とする、請求項1に記載の可変型ロジックインメモリセル。

20

【請求項4】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャネル領域において前記第1及び第2プログラミングゲート電極の下のチャネル領域が前記第1チャネル動作を行う場合、前記印加されるコントロール電圧 (V_{CG}) のレベルがゼロレベルからハイレベルに増加すると、前記チャネル領域において前記コントロールゲート電極の下のチャネル領域と、前記ソース領域に隣接する前記第2プログラミングゲート電極の下のチャネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ソース領域から電子が注入される第1正のフィードバックループ (p o s i t i v e f e e d b a c k l o o p) が発生し、電流が流れる前記オン状態となることを特徴とする、請求項3に記載の可変型ロジックインメモリセル。

30

【請求項5】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャネル領域において前記第1及び第2プログラミングゲート電極の下のチャネル領域が前記第2チャネル動作を行う場合、前記印加されるコントロール電圧 (V_{CG}) のレベルがハイレベルである場合にオフ状態に決定され、前記印加されるコントロール電圧 (V_{CG}) のレベルがローレベルである場合にオン状態に決定されることを特徴とする、請求項1に記載の可変型ロジックインメモリセル。

【請求項6】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャネル領域において前記第1及び第2プログラミングゲート電極の下のチャネル領域が前記第2チャネル動作を行う場合、前記印加されるコントロール電圧 (V_{CG}) のレベルがゼロレベルからローレベルに減少すると、前記チャネル領域において前記コントロールゲート電極の下のチャネル領域と、前記ドレイン領域に隣接する前記第1プログラミングゲート電極の下のチャネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ドレイン領域から正孔が注入される第2正のフィードバックループ (p o s i t i v e f e e d b a c k l o o p) が発生し、電流が流れる前記オン状態となることを特徴とする、請求項5に記載の可変型ロジックインメモリセル。

40

【請求項7】

前記可変型ロジックインメモリセルは、

前記第1回路構造で構成される場合、前記複数の第1並列接続部のうちの最初の第1並

50

列接続部のドレイン端にドレイン電圧 (V_{DD}) を印加し、前記複数の第 1 並列接続部のうちの最後の第 1 並列接続部のソース端にソース電圧 (V_{SS}) を印加し、

前記第 2 回路構造で構成される場合、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部のドレイン端にドレイン電圧 (V_{DD}) を印加し、前記複数の第 2 並列接続部のうちの最後の第 2 並列接続部のソース端にソース電圧 (V_{SS}) を印加することを特徴とする、請求項 1 に記載の変型ロジックインメモリセル。

【請求項 8】

前記可変型ロジックインメモリセルは、

前記第 2 回路構造で構成され、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 2 チャンネル動作を行い、最後の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 1 チャンネル動作を行い、前記コントロール電圧 (V_{CG}) のレベルがローレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルであり、前記コントロール電圧 (V_{CG}) のレベルがハイレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルに前記論理演算機能を行うことを特徴とする、請求項 7 に記載の変型ロジックインメモリセル。

【請求項 9】

前記可変型ロジックインメモリセルは、

前記第 2 回路構造で構成され、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 1 チャンネル動作を行い、最後の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 2 チャンネル動作を行い、前記コントロール電圧 (V_{CG}) のレベルがローレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルであり、前記コントロール電圧 (V_{CG}) のレベルがハイレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルに前記論理演算機能を行うことを特徴とする、請求項 7 に記載の変型ロジックインメモリセル。

【請求項 10】

前記可変型ロジックインメモリセルは、

前記第 2 回路構造で構成され、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 2 チャンネル動作を行い、最後の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 1 チャンネル動作を行い、前記コントロール電圧 (V_{CG}) のうちの第 1 コントロール電圧 (V_A) は、前記最初の第 2 並列接続部の左側及び前記最後の第 2 並列接続部の上側に印加され、前記コントロール電圧 (V_{CG}) のうちの第 2 コントロール電圧 (V_B) は、前記最初の第 2 並列接続部の右側及び前記最後の第 2 並列接続部の下側に印加され、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルのいずれか一方のレベルのみがハイレベルであるか、または両方がローレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルであり、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルの両方がハイレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルに前記論理演算機能を行うことを特徴とする、請求項 7 に記載の変型ロジックインメモリセル。

【請求項 11】

前記可変型ロジックインメモリセルは、

前記第 2 回路構造で構成され、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 2 チャンネル動作を行い、最後の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 1 チャンネル動作を行い、前記コントロール電圧 (V_{CG}) のうちの第 1 コントロール電圧 (V_A) は、前記最初の第 2 並列接続部の上側及び前記最後の第 2 並列接続部の左側に印加され、前記コントロール電圧 (V_{CG}) のうちの第 2 コントロール電圧 (V_B) は、前記最初の第 2 並列接続部の下側及び前記最後の第 2 並列接続部の右側に印加され、前記第 1 コント

10

20

30

40

50

ローレベル電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルのいずれか一方のレベルのみがローレベルであるか、または両方がハイレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルであり、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルの両方がローレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルに前記論理演算機能を行うことを特徴とする、請求項 7 に記載の可変型ロジックインメモリセル。

【請求項 1 2】

前記可変型ロジックインメモリセルは、

前記第 2 回路構造で構成され、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 1 チャネル動作を行い、最後の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 2 チャネル動作を行い、前記コントロール電圧 (V_{CG}) のうちの第 1 コントロール電圧 (V_A) は、前記最初の第 2 並列接続部の上側及び前記最後の第 2 並列接続部の左側に印加され、前記コントロール電圧 (V_{CG}) のうちの第 2 コントロール電圧 (V_B) は、前記最初の第 2 並列接続部の下側及び前記最後の第 2 並列接続部の右側に印加され、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルのいずれか一方のレベルがローレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルであり、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルの両方がハイレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルに前記論理演算機能を行うことを特徴とする、請求項 7 に記載の可変型ロジックインメモリセル。

【請求項 1 3】

前記可変型ロジックインメモリセルは、

前記第 2 回路構造で構成され、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 1 チャネル動作を行い、最後の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第 2 チャネル動作を行い、前記コントロール電圧 (V_{CG}) のうちの第 1 コントロール電圧 (V_A) は、前記最初の第 2 並列接続部の左側及び前記最後の第 2 並列接続部の上側に印加され、前記コントロール電圧 (V_{CG}) のうちの第 2 コントロール電圧 (V_B) は、前記最初の第 2 並列接続部の右側及び前記最後の第 2 並列接続部の下側に印加され、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルのいずれか一方のレベルがハイレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルであり、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルの両方がローレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルに前記論理演算機能を行うことを特徴とする、請求項 7 に記載の可変型ロジックインメモリセル。

【請求項 1 4】

前記可変型ロジックインメモリセルは、

前記第 2 回路構造で構成され、前記複数の第 2 並列接続部のうちの最初の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左側は前記第 1 チャネル動作を行い、右側は前記第 2 チャネル動作を行い、最後の第 2 並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左上側は前記第 2 チャネル動作を行い、右上側は前記第 1 チャネル動作を行い、左下側は前記第 1 チャネル動作を行い、右下側は前記第 2 チャネル動作を行い、前記コントロール電圧 (V_{CG}) のうちの第 1 コントロール電圧 (V_A) は、前記最初の第 2 並列接続部及び前記最後の第 2 並列接続部の上側に印加され、前記コントロール電圧 (V_{CG}) のうちの第 2 コントロール電圧 (V_B) は、前記最初の第 2 並列接続部及び前記最後の第 2 並列接続部の下側に印加され、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルが同じレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルであり、前記第 1 コントロール電圧 (V_A) 及び前記第 2 コントロール電圧 (V_B) のレベルが異なるレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルに前記論理演算機能を行うことを特徴とする、請求項 7 に記載の可変型ロジックインメモリセル。

【請求項 15】

前記可変型ロジックインメモリセルは、

前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左上側は前記第2チャンネル動作を行い、右上側は前記第1チャンネル動作を行い、左下側は前記第1チャンネル動作を行い、右下側は前記第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左側は前記第1チャンネル動作を行い、右側は前記第2チャンネル動作を行い、前記コントロール電圧 (V_{CG}) のうちの第1コントロール電圧 (V_A) は、前記最初の第2並列接続部及び前記最後の第2並列接続部の上側に印加され、前記コントロール電圧 (V_{CG}) のうちの第2コントロール電圧 (V_B) は、前記最初の第2並列接続部及び前記最後の第2並列接続部の下側に印加され、前記第1コントロール電圧 (V_A) 及び前記第2コントロール電圧 (V_B) のレベルが同じレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがローレベルであり、前記第1コントロール電圧 (V_A) 及び前記第2コントロール電圧 (V_B) のレベルが異なるレベルである場合に、前記出力電圧 (V_{OUT}) のレベルがハイレベルに前記論理演算機能を行うことを特徴とする、請求項7に記載の可変型ロジックインメモリセル。

10

【請求項 16】

前記可変型ロジックインメモリセルは、

前記ドレイン電圧 (V_{DD})、前記ソース電圧 (V_{SS})、前記プログラム電圧 (V_{PG}) 及び前記コントロール電圧 (V_{CG}) がゼロレベルで印加される場合に、前記出力電圧 (V_{OUT}) のレベルを維持して前記メモリ機能を行うことを特徴とする、請求項7に記載の可変型ロジックインメモリセル。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トリプルゲートフィードバックメモリ素子で構成された可変型ロジックインメモリセルに関し、より詳細には、正のフィードバックループ (positive feedback loop) で駆動するトリプルゲートフィードバックメモリ素子を用いて論理演算機能及びメモリ機能を提供する可変型ロジックインメモリセルを具現する技術に関する。

30

【背景技術】

【0002】

従来のフォンノイマン (von Neumann) ベースのコンピュータシステムは、プロセッサとメモリが分離され、バス (bus) を介してデータの伝送が行われる。

【0003】

しかし、コンピューティング性能の増加に伴い、プロセッサとメモリとのデータ処理速度の差によりボトルネック現象が発生するようになり、大容量データの処理に限界を見せ始めている。

【0004】

言い換えると、半導体産業の革命的な発展であるフォンノイマンベースのシステムは、現代のコンピュータの統合密度と性能を向上させたが、プロセッサとメモリ階層構造との間の物理的な分離によって、多くのエネルギーが消耗され、データの伝送及び待機時間が長いという欠点がある。

40

【0005】

4次産業革命後、5G通信標準、モノのインターネット (IoT)、人工知能 (AI) のようなデータ集約的なアプリケーションの増加を考慮すると、新しいコンピューティングパラダイムは、大規模のデータ処理要求事項に必須である。

【0006】

上述した問題を解決するために、演算と記憶機能を融合したロジックインメモリ (logic in memory、LIM) 技術に対する研究が集中及び加速化されている。

50

【0007】

ロジックインメモリ技術は、プロセッサの演算機能とメモリの記憶機能を同じ空間で行うので、データの伝送時に発生する遅延時間及び電力消費を減少させ、システムの実積度を大幅に向上させることができる。

【0008】

従来のロジックインメモリ技術は、揮発性メモリ素子に該当するSRAM (static random access memory)、DRAM (dynamic RAM) と、不揮発性メモリ素子に該当するReRAM (resistive RAM)、MRAM (magnetoresistive RAM)、PCRAM (phase-change RAM) などに基づいて活発に研究されてきた。

10

【0009】

揮発性メモリ素子ベースのロジックインメモリ技術の場合、安定した動作のために多数のトランジスタが必要であるため、全体面積と電力消費が高いという限界が存在する。

【0010】

また、不揮発性メモリ素子ベースのロジックインメモリ技術の場合、非シリコン物質を使用するため複雑な工程過程が要求され、低い素子均一性及び安定性により実用化され難い。

【0011】

また、既に研究されたロジックインメモリ技術は、一つのセルで全ての基本CMOS論理演算を具現することができず、論理演算によって個別的な回路及び配線が要求されることによって、低い実積度を有する。

20

【0012】

そのため、シリコンベースのCMOS工程を活用して作製が可能であり、一つのセル内で全ての基本ロジック演算を行い、その値を格納する可変型ロジックインメモリセル技術の開発が必要な状況である。

【発明の概要】

【発明が解決しようとする課題】

【0013】

本発明は、正のフィードバックループ (positive feedback loop) で駆動するトリプルゲートフィードバックメモリ素子を用いて論理演算機能及びメモリ機能を提供する可変型ロジックインメモリセルを具現することを目的とする。

30

【0014】

本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子であるトリプルゲートフィードバックメモリ素子を活用して可変型ロジックインメモリセルを具現することを目的とする。

【0015】

本発明は、チャンネルタイプの可変特性を有するトリプルゲートフィードバックメモリ素子を用いて全ての基本論理演算を行い、行われた論理演算の結果を記憶する可変型ロジックインメモリセルを具現することを目的とする。

【0016】

本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び実積化の限界を改善することを目的とする。

40

【0017】

本発明は、チャンネルタイプの可変特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることを目的とする。

【課題を解決するための手段】

【0018】

本発明の一実施例に係る可変型ロジックインメモリセルは、ドレイン領域、チャンネル領域、ソース領域を含み、前記チャンネル領域上で第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含む、トリプルゲートフィードバック

50

クメモリ素子を複数含み、前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記第1及び第2プログラミングゲート電極を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下のチャンネル領域が、第1チャンネル動作及び第2チャンネル動作のいずれか1つのチャンネル動作を行い、前記コントロールゲート電極を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態（on state）及びオフ状態（off state）のいずれか1つの状態に決定され、前記行われたいずれか1つのチャンネル動作で前記いずれか1つの状態によって変化する出力電圧 V_{OUT} のレベルに基づいて論理演算機能及びメモリ機能を行うことができる。

【0019】

前記ドレイン領域は、pドープ状態であり、前記ソース領域は、nドープ状態であり、前記チャンネル領域は、真性（intrinsic）状態であり、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下のチャンネル領域は、前記プログラム電圧 V_{PG} のレベルがハイレベルである場合に、前記第1チャンネル動作に該当するnチャンネルとして動作し、前記プログラム電圧 V_{PG} のレベルがローレベルである場合に、前記第2チャンネル動作に該当するpチャンネルとして動作することができる。

【0020】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下のチャンネル領域が前記第1チャンネル動作を行う場合、前記印加されるコントロール電圧 V_{CG} のレベルがハイレベルである場合にオン状態に決定され、前記印加されるコントロール電圧 V_{CG} のレベルがローレベルである場合にオフ状態に決定され得る。

【0021】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下のチャンネル領域が前記第1チャンネル動作を行う場合、前記印加されるコントロール電圧 V_{CG} のレベルがゼロレベルからハイレベルに増加すると、前記チャンネル領域において前記コントロールゲート電極の下のチャンネル領域と、前記ソース領域に隣接する前記第2プログラミングゲート電極の下のチャンネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ソース領域から電子が注入される第1正のフィードバックループ（positive feedback loop）が発生し、電流が流れる前記オン状態となり得る。

【0022】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下のチャンネル領域が前記第2チャンネル動作を行う場合、前記印加されるコントロール電圧 V_{CG} のレベルがハイレベルである場合にオフ状態に決定され、前記印加されるコントロール電圧 V_{CG} のレベルがローレベルである場合にオン状態に決定され得る。

【0023】

前記複数のトリプルゲートフィードバックメモリ素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下のチャンネル領域が前記第2チャンネル動作を行う場合、前記印加されるコントロール電圧 V_{CG} のレベルがゼロレベルからローレベルに減少すると、前記チャンネル領域において前記コントロールゲート電極の下のチャンネル領域と、前記ドレイン領域に隣接する前記第1プログラミングゲート電極の下のチャンネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ドレイン領域から正孔が注入される第2正のフィードバックループ（positive feedback loop）が発生し、電流が流れる前記オン状態となり得る。

【0024】

前記可変型ロジックインメモリセルは、前記複数のトリプルゲートフィードバックメモリ素子のうち2つのトリプルゲートフィードバックメモリ素子のドレイン領域同士が接続

10

20

30

40

50

され、ソース領域同士が接続される複数の第1並列接続部で構成される第1回路構造、及び前記複数のトリプルゲートフィードバックメモリ素子のうち4つのトリプルゲートフィードバックメモリ素子のうち2つのトリプルゲートフィードバックメモリ素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つのトリプルゲートフィードバックメモリ素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域と共通のソース領域が接続される複数の第2並列接続部で構成される第2回路構造のいずれか1つの回路構造で構成され得る。

【0025】

前記可変型ロジックインメモリセルは、前記第1回路構造で構成される場合、前記複数の第1並列接続部のうちの最初の第1並列接続部のドレイン端にドレイン電圧 V_{DD} を印加し、前記複数の第1並列接続部のうちの最後の第1並列接続部のソース端にソース電圧 V_{SS} を印加し、前記第2回路構造で構成される場合、前記複数の第2並列接続部のうちの最初の第2並列接続部のドレイン端にドレイン電圧 V_{DD} を印加し、前記複数の第2並列接続部のうちの最後の第2並列接続部のソース端にソース電圧 V_{SS} を印加することができる。

【0026】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第1チャンネル動作を行い、前記コントロール電圧 V_{CG} のレベルがローレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルであり、前記コントロール電圧 V_{CG} のレベルがハイレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルに前記論理演算機能を行うことができる。

【0027】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第1チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第2チャンネル動作を行い、前記コントロール電圧 V_{CG} のレベルがローレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルであり、前記コントロール電圧 V_{CG} のレベルがハイレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルに前記論理演算機能を行うことができる。

【0028】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第1チャンネル動作を行い、前記コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、前記最初の第2並列接続部の左側及び前記最後の第2並列接続部の上側に印加され、前記コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、前記最初の第2並列接続部の右側及び前記最後の第2並列接続部の下側に印加され、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルのいずれか一方のレベルのみがハイレベルであるか、または両方がローレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルであり、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルの両方がハイレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルに前記論理演算機能を行うことができる。

【0029】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第1チャンネル動作を行い、前記コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、前記最初の第2並列接続部の上側及び前記最後の

第2並列接続部の左側に印加され、前記コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、前記最初の第2並列接続部の下側及び前記最後の第2並列接続部の右側に印加され、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルのいずれか一方のレベルのみがローレベルであるか、または両方がハイレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルであり、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルの両方がローレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルに前記論理演算機能を行うことができる。

【0030】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第1チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第2チャンネル動作を行い、前記コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、前記最初の第2並列接続部の上側及び前記最後の第2並列接続部の左側に印加され、前記コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、前記最初の第2並列接続部の下側及び前記最後の第2並列接続部の右側に印加され、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルのいずれか一方のレベルがローレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルであり、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルの両方がハイレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルに前記論理演算機能を行うことができる。

【0031】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第1チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が前記第2チャンネル動作を行い、前記コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、前記最初の第2並列接続部の左側及び前記最後の第2並列接続部の上側に印加され、前記コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、前記最初の第2並列接続部の右側及び前記最後の第2並列接続部の下側に印加され、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルのいずれか一方のレベルがハイレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルであり、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルの両方がローレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルに前記論理演算機能を行うことができる。

【0032】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左側は前記第1チャンネル動作を行い、右側は前記第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左上側は前記第2チャンネル動作を行い、右上側は前記第1チャンネル動作を行い、左下側は前記第1チャンネル動作を行い、右下側は前記第2チャンネル動作を行い、前記コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、前記最初の第2並列接続部及び前記最後の第2並列接続部の上側に印加され、前記コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、前記最初の第2並列接続部及び前記最後の第2並列接続部の下側に印加され、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルが同じレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルであり、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルが異なるレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルに前記論理演算機能を行うことができる。

【0033】

前記可変型ロジックインメモリセルは、前記第2回路構造で構成され、前記複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモ

10

20

30

40

50

リ素子のうちの左上側は前記第2チャンネル動作を行い、右上側は前記第1チャンネル動作を行い、左下側は前記第1チャンネル動作を行い、右下側は前記第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左側は前記第1チャンネル動作を行い、右側は前記第2チャンネル動作を行い、前記コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、前記最初の第2並列接続部及び前記最後の第2並列接続部の上側に印加され、前記コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、前記最初の第2並列接続部及び前記最後の第2並列接続部の下側に印加され、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルが同じレベルである場合に、前記出力電圧 V_{OUT} のレベルがローレベルであり、前記第1コントロール電圧 V_A 及び前記第2コントロール電圧 V_B のレベルが異なるレベルである場合に、前記出力電圧 V_{OUT} のレベルがハイレベルに前記論理演算機能を行うことができる。

10

【0034】

前記可変型ロジックインメモリセルは、前記ドレイン電圧 V_{DD} 、前記ソース電圧 V_{SS} 、前記プログラム電圧 V_{PG} 及び前記コントロール電圧 V_{CG} がゼロレベルで印加される場合に、前記出力電圧 V_{OUT} のレベルを維持して前記メモリ機能を行うことができる。

【発明の効果】

【0035】

本発明は、正のフィードバックループ（positive feedback loop）で駆動するトリプルゲートフィードバックメモリ素子を用いて論理演算機能及びメモリ機能を提供する可変型ロジックインメモリセルを具現することができる。

20

【0036】

本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子であるトリプルゲートフィードバックメモリ素子を活用して可変型ロジックインメモリセルを具現することができる。

【0037】

本発明は、チャンネルタイプの可変特性を有するトリプルゲートフィードバックメモリ素子を用いて全ての基本論理演算を行い、行われた論理演算の結果を記憶する可変型ロジックインメモリセルを具現することができる。

【0038】

本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び集積化の限界を改善することができる。

30

【0039】

本発明は、チャンネルタイプの可変特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることができる。

【図面の簡単な説明】

【0040】

【図1A】本発明の一実施例に係る可変型ロジックインメモリセルを構成するトリプルゲートフィードバックメモリ素子を説明する図である。

【図1B】本発明の一実施例に係る可変型ロジックインメモリセルを構成するトリプルゲートフィードバックメモリ素子を説明する図である。

40

【図2A】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の回路記号を説明する図である。

【図2B】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の回路記号を説明する図である。

【図3A】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の動作原理を説明する図である。

【図3B】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の動作原理を説明する図である。

【図3C】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の動作原理を説明する図である。

50

【図 3 D】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の動作原理を説明する図である。

【図 3 E】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の動作原理を説明する図である。

【図 3 F】本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の動作原理を説明する図である。

【図 4 A】本発明の一実施例に係る可変型ロジックインメモリセルの回路図を説明する図である。

【図 4 B】本発明の一実施例に係る可変型ロジックインメモリセルの回路図を説明する図である。

【図 5 A】本発明の一実施例に係る可変型ロジックインメモリセルの NOT ゲートの動作を説明する図である。

【図 5 B】本発明の一実施例に係る可変型ロジックインメモリセルの NOT ゲートの動作を説明する図である。

【図 6 A】本発明の一実施例に係る可変型ロジックインメモリセルの YES ゲートの動作を説明する図である。

【図 6 B】本発明の一実施例に係る可変型ロジックインメモリセルの YES ゲートの動作を説明する図である。

【図 7 A】本発明の一実施例に係る可変型ロジックインメモリセルの NAND ゲートの動作を説明する図である。

【図 7 B】本発明の一実施例に係る可変型ロジックインメモリセルの NAND ゲートの動作を説明する図である。

【図 8 A】本発明の一実施例に係る可変型ロジックインメモリセルの NOR ゲートの動作を説明する図である。

【図 8 B】本発明の一実施例に係る可変型ロジックインメモリセルの NOR ゲートの動作を説明する図である。

【図 9 A】本発明の一実施例に係る可変型ロジックインメモリセルの AND ゲートの動作を説明する図である。

【図 9 B】本発明の一実施例に係る可変型ロジックインメモリセルの AND ゲートの動作を説明する図である。

【図 10 A】本発明の一実施例に係る可変型ロジックインメモリセルの OR ゲートの動作を説明する図である。

【図 10 B】本発明の一実施例に係る可変型ロジックインメモリセルの OR ゲートの動作を説明する図である。

【図 11 A】本発明の一実施例に係る可変型ロジックインメモリセルの XNOR ゲートの動作を説明する図である。

【図 11 B】本発明の一実施例に係る可変型ロジックインメモリセルの XNOR ゲートの動作を説明する図である。

【図 12 A】本発明の一実施例に係る可変型ロジックインメモリセルの XOR ゲートの動作を説明する図である。

【図 12 B】本発明の一実施例に係る可変型ロジックインメモリセルの XOR ゲートの動作を説明する図である。

【発明を実施するための形態】

【0041】

以下、本文書の様々な実施例が添付の図面を参照して記載される。

【0042】

実施例及びこれに使用された用語は、本文書に記載された技術を特定の実施形態に対し限定しようとするものではなく、当該実施例の様々な変更、均等物、及び／又は代替物を含むものと理解しなければならない。

【0043】

10

20

30

40

50

以下で様々な実施例を説明する際において、関連する公知の機能又は構成についての具体的な説明が発明の要旨を不明瞭にする可能性があるとは判断される場合には、その詳細な説明を省略する。

【0044】

そして、後述する用語は、様々な実施例における機能を考慮して定義された用語であって、これは、使用者、運用者の意図又は慣例などによって変わり得る。したがって、その定義は、本明細書全般にわたる内容に基づいて行われるべきである。

【0045】

図面の説明に関連して、類似の構成要素に対しては類似の参照符号が使用され得る。

【0046】

単数の表現は、文脈上明らかに別の意味を示すものでない限り、複数の表現を含むことができる。

【0047】

本文書において、「A又はB」又は「A及び／又はBのうちの少なくとも1つ」などの表現は、共に並べられた項目の全ての可能な組み合わせを含むことができる。

【0048】

「第1」、「第2」、「第一」、又は「第二」などの表現は、当該構成要素を、順序又は重要度に関係なく修飾することができ、一つの構成要素を他の構成要素と区分するために用いられるだけで、当該構成要素を限定しない。

【0049】

ある（例：第1）構成要素が他の（例：第2）構成要素に「（機能的に又は通信的に）連結されて」いるとか、「接続されて」いると言及された際には、前記ある構成要素が前記他の構成要素に直接的に連結されるか又は別の構成要素（例：第3構成要素）を介して連結され得る。

【0050】

本明細書において、「～するように構成された（又は設定された）（configured to）」は、状況によって、例えば、ハードウェア的又はソフトウェア的に「～に適した」、「～する能力を有する」、「～するように変更された」、「～するように作られた」、「～ができる」又は「～するように設計された」と相互互換的に（interchangeably）使用され得る。

【0051】

ある状況では、「～するように構成された装置」という表現は、その装置が他の装置又は部品と共に「～することができる」ことを意味し得る。

【0052】

例えば、「A、B、及びCを行うように構成された（又は設定された）プロセッサ」は、当該動作を行うための専用プロセッサ（例：エンベデッドプロセッサ）、又はメモリ装置に格納された1つ以上のソフトウェアプログラムを実行することによって、当該動作を行うことができる汎用プロセッサ（例：CPU又はアプリケーションプロセッサ）を意味し得る。

【0053】

また、「又は」という用語は、排他的論理和「exclusive or」よりは、包含的論理和「inclusive or」を意味する。

【0054】

すなわち、別に言及しない限り、又は文脈から明らかでない限り、「xがa又はbを用いる」という表現は、包含的な自然順列（natural inclusive permutations）のいずれか1つを意味する。

【0055】

以下で使用される「...部」、「...器」などの用語は、少なくとも1つの機能や動作を処理する単位を意味し、これは、ハードウェアやソフトウェア、または、ハードウェアとソフトウェアの結合で具現され得る。

10

20

30

40

50

【0056】

図1A及び図1Bは、本発明の一実施例に係る可変型ロジックインメモリセルを構成するトリプルゲートフィードバックメモリ素子を説明する図である。

【0057】

図1Aは、本発明の一実施例に係る可変型ロジックインメモリセルを構成するトリプルゲートフィードバックメモリ素子の断面図を例示し、図1Bは、トリプルゲートフィードバックメモリ素子の立体図を例示する。

【0058】

図1Aを参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子100は、ドレイン領域101、チャンネル領域102、ソース領域103及びゲート領域を含み、ゲート領域は、ゲート絶縁膜104上に形成される第1及び第2プログラミングゲート電極108及びコントロールゲート電極107を含む。

【0059】

一例として、ドレイン領域101にはドレイン電極105が形成され、ソース領域103にはソース電極106が形成され得る。

【0060】

本発明の一実施例によれば、トリプルゲートフィードバックメモリ素子100は、*p-i-n*ナノ構造体であるドレイン領域101、チャンネル領域102及びソース領域103を含む。

【0061】

一例として、ドレイン領域101は*p*ドープ状態であり、ソース領域103は*n*ドープ状態であり、チャンネル領域102は真性 (*intrinsic*) 状態であってもよい。

【0062】

チャンネル領域102において第1及び第2プログラミングゲート電極108の下のチャンネル領域は、プログラム電圧 V_{PG} のレベルがハイレベルである場合に、第1チャンネル動作に該当する*n*チャンネルとして動作し、プログラム電圧 V_{PG} のレベルがローレベルである場合に、第2チャンネル動作に該当する*p*チャンネルとして動作することができる。

【0063】

トリプルゲートフィードバックメモリ素子100は、複数で構成されて可変型ロジックインメモリセルをなすことができる。

【0064】

トリプルゲートフィードバックメモリ素子100は、第1及び第2プログラミングゲート電極108を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、チャンネル領域において第1及び第2プログラミングゲート電極の下のチャンネル領域が、第1チャンネル動作及び第2チャンネル動作のいずれか1つのチャンネル動作を行うことができる。

【0065】

また、トリプルゲートフィードバックメモリ素子100は、コントロールゲート電極107を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態 (*on state*) 及びオフ状態 (*off state*) のいずれか1つの状態に決定され得る。

【0066】

したがって、可変型ロジックインメモリセルは、既に行われたいずれか1つのチャンネル動作でいずれか1つの状態によって変化する出力電圧 V_{OUT} のレベルに基づいて論理演算機能及びメモリ機能を行うことができる。

【0067】

図1Bを参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子110は、ドレイン領域111、チャンネル領域112、ソース領域113及びゲート領域を含み、ゲート領域は、ゲート絶縁膜114上に形成される第1及び第2プログラミングゲート電極118及びコントロールゲート電極117を含む。

【0068】

本発明の一実施例によれば、トリプルゲートフィードバックメモリ素子110は、*p-*

10

20

30

40

50

i-nナノ構造体であるドレイン領域111、チャンネル領域112及びソース領域113を含む。

【0069】

一例として、ドレイン領域111はpドープ状態であり、ソース領域113はnドープ状態であり、チャンネル領域112は真性(intrinsic)状態であってもよい。

【0070】

チャンネル領域112において第1及び第2プログラミングゲート電極118の下チャンネル領域は、プログラム電圧 V_{PG} のレベルがハイレベルである場合に、第1チャンネル動作に該当するnチャンネルとして動作し、プログラム電圧 V_{PG} のレベルがローレベルである場合に、第2チャンネル動作に該当するpチャンネルとして動作することができる。

【0071】

トリプルゲートフィードバックメモリ素子110は、複数で構成されて可変型ロジックインメモリセルをなすことができる。

【0072】

図2A及び図2Bは、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の回路記号を説明する図である。

【0073】

図2Aは、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子のチャンネル領域が第1チャンネル動作を行ってnチャンネルとして動作する場合の回路記号を例示する。

【0074】

一方、図2Bは、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子のチャンネル領域が第2チャンネル動作を行ってpチャンネルとして動作する場合の回路記号を例示する。

【0075】

図2Aを参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子200は、ドレイン領域、チャンネル領域、ソース領域及びゲート領域を含むナノ構造体201において、ゲート領域に第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されて、プログラミングゲート端子PG及びコントロールゲート端子CGが接続され、ドレイン領域にドレイン電極が形成されて、ドレイン端子Dが接続され、ソース領域にソース電極が形成されて、ソース端子Sが接続される。

【0076】

また、トリプルゲートフィードバックメモリ素子200の記号は、チャンネル動作状態領域202を通じて、トリプルゲートフィードバックメモリ素子200が第1チャンネル動作状態であることを示す。

【0077】

言い換えると、トリプルゲートフィードバックメモリ素子200の記号は、チャンネル動作状態領域202をソリッド(solid)形態で示すことで、トリプルゲートフィードバックメモリ素子200がnチャンネルとして動作中であることを示すことができる。

【0078】

図2Bを参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子210は、ドレイン領域、チャンネル領域、ソース領域及びゲート領域を含むナノ構造体211において、ゲート領域に第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されて、プログラミングゲート端子PG及びコントロールゲート端子CGが接続され、ドレイン領域にドレイン電極が形成されて、ドレイン端子Dが接続され、ソース領域にソース電極が形成されて、ソース端子Sが接続される。

【0079】

また、トリプルゲートフィードバックメモリ素子210の記号は、チャンネル動作状態領域212を通じて、トリプルゲートフィードバックメモリ素子210が第2チャンネル動作状態であることを示す。

【0080】

言い換えると、トリプルゲートフィードバックメモリ素子 210 の記号は、チャンネル動作状態領域 212 を空 (empty) の形態で示すことで、トリプルゲートフィードバックメモリ素子 200 が p チャンネルとして動作中であることを示すことができる。

【0081】

図 3 A 乃至図 3 F は、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子の動作原理を説明する図である。

【0082】

図 3 A 乃至図 3 C は、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子が p チャンネルとして動作する場合の動作原理を例示する。

【0083】

図 3 A を参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子 300 は、ドレイン端子 301 を介して正の電圧が印加され、プログラミングゲート端子 302 からプログラム電圧のレベルがローレベルに該当する負の電圧が印加された場合に、チャンネル領域 303 においてプログラミングゲート電極 P G の下のチャンネル領域は、p チャンネルにプログラムされて p チャンネルとして動作する。

【0084】

一例として、トリプルゲートフィードバックメモリ素子 300 は、コントロールゲート端子 304 を介して印加されるコントロール電圧のレベルに基づいて、オン状態又はオフ状態に決定される。

【0085】

トリプルゲートフィードバックメモリ素子 300 のオン及びオフ動作状態は、図 3 B 及び図 3 C を通じて説明する。

【0086】

図 3 B を参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子が p チャンネルとして動作する場合、動作状態 310 は、コントロールゲート端子を介して印加されるコントロール電圧のレベルがローレベルである場合にオン状態であり、ハイレベルである場合にはオフ状態に決定される。

【0087】

図 3 C を参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子が p チャンネルとして動作する場合、コントロール電圧のレベルに基づいてオフ状態であるときのエネルギーバンド 320 を例示し、オン状態であるときのエネルギーバンド 321 を例示する。

【0088】

エネルギーバンド 320 及びエネルギーバンド 321 を参照すると、チャンネル領域において第 1 及び第 2 プログラミングゲート電極の下のチャンネル領域が、p チャンネル動作に該当する第 2 チャンネル動作を行う場合、コントロール電圧 V_{CG} のレベルがゼロレベルからローレベルに減少すると、チャンネル領域においてコントロールゲート電極の下のチャンネル領域と、ドレイン領域に隣接する第 1 プログラミングゲート電極の下のチャンネル領域との間のポテンシャル障壁の高さが低くなり、低くなったポテンシャル障壁によりドレイン領域から正孔が注入される第 2 正のフィードバックループ (positive feedback loop) が発生し、電流が流れるオン状態となる。

【0089】

すなわち、トリプルゲートフィードバックメモリ素子は、第 2 正のフィードバックループが発生して、エネルギーバンド 320 からエネルギーバンド 321 に切り替わる。

【0090】

例えば、第 2 正のフィードバックループは、チャンネル領域において正孔が多数キャリア (majority carrier) となる正のフィードバックループであり得る。

【0091】

図 3 D 乃至図 3 F は、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子が n チャンネルとして動作する場合の動作原理を例示する。

【0092】

図3Dを参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子330は、ソース端子331を介して負の電圧が印加され、プログラミングゲート端子332からプログラム電圧のレベルがハイレベルに該当する正の電圧が印加された場合に、チャンネル領域333においてプログラミングゲート電極の下チャンネル領域は、nチャンネルにプログラムされてnチャンネルとして動作する。

【0093】

一例として、トリプルゲートフィードバックメモリ素子330は、コントロールゲート端子334を介して印加されるコントロール電圧のレベルに基づいて、オン状態又はオフ状態に決定される。

【0094】

トリプルゲートフィードバックメモリ素子330のオン及びオフ動作状態は、図3E及び図3Fを通じて説明する。

【0095】

図3Eを参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子がnチャンネルとして動作する場合に、動作状態340は、コントロールゲート端子を介して印加されるコントロール電圧のレベルがハイレベルである場合にオン状態であり、ローレベルである場合にはオフ状態に決定される。

【0096】

図3Fを参照すると、本発明の一実施例に係るトリプルゲートフィードバックメモリ素子がnチャンネルとして動作する場合に、コントロール電圧のレベルに基づいてオフ状態であるときのエネルギーバンド350を例示し、オン状態であるときのエネルギーバンド351を例示する。

【0097】

エネルギーバンド350及びエネルギーバンド351を参照すると、チャンネル領域において第1及び第2プログラミングゲート電極の下チャンネル領域が、nチャンネル動作に該当する第1チャンネル動作を行う場合、コントロール電圧 V_{CG} のレベルがゼロレベルからハイレベルに増加すると、チャンネル領域においてコントロールゲート電極の下チャンネル領域と、ソース領域に隣接する第2プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、低くなったポテンシャル障壁によりソース領域から電子が注入される第1正のフィードバックループ(positive feedback loop)が発生し、電流が流れるオン状態となる。

【0098】

すなわち、トリプルゲートフィードバックメモリ素子は、第1正のフィードバックループが発生して、エネルギーバンド350からエネルギーバンド351に切り替わる。

【0099】

例えば、第1正のフィードバックループは、チャンネル領域において電子が多数キャリア(majority carrier)となる正のフィードバックループであり得る。

【0100】

本発明の一実施例によれば、トリプルゲートフィードバックメモリ素子は、ゲート領域に印加されるコントロール電圧のレベルに応じて、第1正のフィードバックループまたは第2正のフィードバックループが形成され、これと共に、第1チャンネル動作及び第2チャンネル動作でオンまたはオフ状態が可変的に制御される素子であり得る。

【0101】

また、トリプルゲートフィードバックメモリ素子は、チャンネル領域のポテンシャル井戸に電荷キャリアが蓄積されて正のフィードバックループを形成しながらターンオンされるところ、これは、チャンネル領域でデータを保存するメモリ機能として活用され得る。

【0102】

図4A及び図4Bは、本発明の一実施例に係る可変型ロジックインメモリセルの回路図を説明する図である。

10

20

30

40

50

【0103】

図4A及び図4Bは、本発明の一実施例に係る複数のトリプルゲートフィードバックメモリ素子を用いて構成された可変型ロジックインメモリセルの回路図を例示する。

【0104】

図4A及び図4Bを参照すると、可変型ロジックインメモリセルは、2つの形態の回路で具現可能である。

【0105】

図4Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル400は、トリプルゲートフィードバックメモリ素子401の2つが、ドレイン領域同士、及びソース領域同士が接続された並列接続部に基づいて構成され、4つの並列接続部が順にソースとドレインが接続された形態を有する。

10

【0106】

言い換えると、本発明の一実施例に係る可変型ロジックインメモリセル400は、複数のトリプルゲートフィードバックメモリ素子のうち2つのトリプルゲートフィードバックメモリ素子のドレイン領域同士が接続され、ソース領域同士が接続される複数の第1並列接続部で構成される第1回路構造を示す。

【0107】

一例として、可変型ロジックインメモリセル400は、第1回路構造で構成される場合、複数の第1並列接続部のうちの最初の第1並列接続部のドレイン端にドレイン電圧 V_{DD} を印加し、複数の第1並列接続部のうちの最後の第1並列接続部のソース端にソース電圧 V_{SS} を印加して供給電圧を印加し、各トリプルゲートフィードバックメモリ素子401にコントロールゲート端子を介して印加される入力電圧による出力端子402での出力電圧のレベルに基づいて論理演算機能及びメモリ機能を行うことができる。

20

【0108】

図4Bを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル410は、4つのトリプルゲートフィードバックメモリ素子411のうち2つのトリプルゲートフィードバックメモリ素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つのトリプルゲートフィードバックメモリ素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域と共通のソース領域が接続される複数の第2並列接続部で構成される第2回路構造を有する。

30

【0109】

一例として、可変型ロジックインメモリセル410は、第2回路構造で構成される場合、複数の第2並列接続部のうちの最初の第2並列接続部のドレイン端にドレイン電圧 V_{DD} を印加し、複数の第2並列接続部のうちの最後の第2並列接続部のソース端にソース電圧 V_{SS} を印加して供給電圧を印加し、各トリプルゲートフィードバックメモリ素子411にコントロールゲート端子を介して印加される入力電圧による出力端子412での出力電圧のレベルに基づいて論理演算機能及びメモリ機能を行うことができる。

【0110】

図5A及び図5Bは、本発明の一実施例に係る可変型ロジックインメモリセルのNOTゲートの動作を説明する図である。

40

【0111】

図5Aは、本発明の一実施例に係る可変型ロジックインメモリセルのNOTゲートの動作での回路図を例示する。

【0112】

図5Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル500は、図4Bで説明された第2回路構造で構成される。

【0113】

また、可変型ロジックインメモリセル500は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、複数の第2並列接続部のうちの最初の第2並列接続部501を構成するトリプルゲートフィードバックメモリ素子が第2チャネル動

50

作を行い、最後の第2並列接続部502を構成するトリプルゲートフィードバックメモリ素子が第1チャンネル動作を行う。

【0114】

このとき、可変型ロジックインメモリセル500は、コントロールゲート端子CGを介して印加される入力電圧Aであるコントロール電圧 V_{CG} のレベルがローレベルである場合に、出力端子を介して測定される出力電圧 V_{OUT} のレベルがハイレベルであり、コントロール電圧 V_{CG} のレベルがハイレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルに、NOTゲートの動作に該当する論理演算機能を行うことができる。

【0115】

図5Bは、本発明の一実施例に係る可変型ロジックインメモリセルのNOTゲートの動作でのタイミング図を例示する。

10

【0116】

図5Bを参照すると、タイミング図510は、‘0’に該当するローレベルの入力電圧AVが印加されたとき、‘1’に該当するハイレベルの出力電圧 V_{OUT} が演算され、‘1’に該当するハイレベルの入力電圧VAが印加されたとき、‘0’に該当するローレベルの出力電圧 V_{OUT} が演算されることを示す。

【0117】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧VAが除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0118】

20

図6A及び図6Bは、本発明の一実施例に係る可変型ロジックインメモリセルのYESゲートの動作を説明する図である。

【0119】

図6Aは、本発明の一実施例に係る可変型ロジックインメモリセルのYESゲートの動作での回路図を例示する。

【0120】

図6Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル600は、図4Bで説明された第2回路構造で構成される。

【0121】

また、可変型ロジックインメモリセル600は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、複数の第2並列接続部のうちの最初の第2並列接続部601を構成するトリプルゲートフィードバックメモリ素子が第1チャンネル動作を行い、最後の第2並列接続部602を構成するトリプルゲートフィードバックメモリ素子が第2チャンネル動作を行う。

30

【0122】

このとき、可変型ロジックインメモリセル600は、コントロールゲート端子CGを介して印加される入力電圧Aであるコントロール電圧 V_{CG} のレベルがハイレベルである場合に、出力端子を介して測定される出力電圧 V_{OUT} のレベルがハイレベルであり、コントロール電圧 V_{CG} のレベルがローレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルに、YESゲートの動作に該当する論理演算機能を行うことができる。

40

【0123】

図6Bは、本発明の一実施例に係る可変型ロジックインメモリセルのYESゲートの動作でのタイミング図を例示する。

【0124】

図6Bを参照すると、タイミング図610は、‘0’に該当するローレベルの入力電圧AVが印加されたとき、‘0’に該当するローレベルの出力電圧 V_{OUT} が演算され、‘1’に該当するハイレベルの入力電圧VAが印加されたとき、‘1’に該当するハイレベルの出力電圧 V_{OUT} が演算されることを示す。

【0125】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧VAが除去されたときにも、

50

演算した論理値を維持（H o l d）するメモリ機能を行うことを示す。

【0126】

図7A及び図7Bは、本発明の一実施例に係る可変型ロジックインメモリセルのNANDゲートの動作を説明する図である。

【0127】

図7Aは、本発明の一実施例に係る可変型ロジックインメモリセルのNANDゲートの動作での回路図を例示する。

【0128】

図7Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル700は、図4Bで説明された第2回路構造で構成される。

【0129】

一例として、可変型ロジックインメモリセル700は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第1チャンネル動作を行う。

【0130】

また、可変型ロジックインメモリセル700は、コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、最初の第2並列接続部の左側701及び最後の第2並列接続部の上側703に印加され、コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、最初の第2並列接続部の右側702及び最後の第2並列接続部の下側704に印加される。

【0131】

これによって、可変型ロジックインメモリセル700は、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルのいずれか一方のレベルのみがハイレベルであるか、または両方がローレベルである場合に、出力電圧 V_{OUT} のレベルがハイレベルであり、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルの両方がハイレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルに決定されるNANDゲートの論理演算機能を行うことができる。

【0132】

図7Bは、本発明の一実施例に係る可変型ロジックインメモリセルのNANDゲートの動作でのタイミング図を例示する。

【0133】

図7Bを参照すると、タイミング図710は、2つの入力電圧（ V_A 、 V_B ）に‘00’、‘01’、‘10’、‘11’に該当する入力印加されたとき、出力電圧 V_{OUT} に‘1’、‘1’、‘1’、‘0’に該当する値が演算されることを示す。

【0134】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_A が除去されたときにも、演算した論理値を維持（H o l d）するメモリ機能を行うことを示す。

【0135】

図8A及び図8Bは、本発明の一実施例に係る可変型ロジックインメモリセルのNORゲートの動作を説明する図である。

【0136】

図8Aは、本発明の一実施例に係る可変型ロジックインメモリセルのNORゲートの動作での回路図を例示する。

【0137】

図8Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル800は、図4Bで説明された第2回路構造で構成される。

【0138】

一例として、可変型ロジックインメモリセル800は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、複数の第2並列接続部のうちの最初

10

20

30

40

50

の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第1チャンネル動作を行う。

【0139】

また、可変型ロジックインメモリセル800は、コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、最初の第2並列接続部の上側801及び最後の第2並列接続部の左側803に印加され、コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、最初の第2並列接続部の下側802及び最後の第2並列接続部の右側804に印加される。

【0140】

これによって、可変型ロジックインメモリセル800は、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルのいずれか一方のレベルのみがローレベルであるか、または両方がハイレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルであり、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルの両方がローレベルである場合に、出力電圧 V_{OUT} のレベルがハイレベルに決定されるNORゲートの論理演算機能を行うことができる。

【0141】

図8Bは、本発明の一実施例に係る可変型ロジックインメモリセルのNORゲートの動作でのタイミング図を例示する。

【0142】

図8Bを参照すると、タイミング図810は、2つの入力電圧(V_A , V_B)に‘00’、‘01’、‘10’、‘11’に該当する入力印加されたとき、出力電圧 V_{OUT} に‘1’、‘0’、‘0’、‘0’に該当する値が演算されることを示す。

【0143】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_A が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0144】

図9A及び図9Bは、本発明の一実施例に係る可変型ロジックインメモリセルのANDゲートの動作を説明する図である。

【0145】

図9Aは、本発明の一実施例に係る可変型ロジックインメモリセルのANDゲートの動作での回路図を例示する。

【0146】

図9Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル900は、図4Bで説明された第2回路構造で構成される。

【0147】

一例として、可変型ロジックインメモリセル900は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第1チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第2チャンネル動作を行う。

【0148】

また、可変型ロジックインメモリセル900は、コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、最初の第2並列接続部の上側901及び最後の第2並列接続部の左側903に印加され、コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、最初の第2並列接続部の下側902及び最後の第2並列接続部の右側904に印加される。

【0149】

これによって、可変型ロジックインメモリセル900は、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルのいずれか一方のレベルがローレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルであり、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルの両方がハイレベルである場合に、出力電圧 V_{OUT} のレベルが

10

20

30

40

50

ハイレベルに決定されるANDゲートの論理演算機能を行うことができる。

【0150】

図9Bは、本発明の一実施例に係る可変型ロジックインメモリセルのNANDゲートの動作でのタイミング図を例示する。

【0151】

図9Bを参照すると、タイミング図910は、2つの入力電圧(V_A , V_B)に‘00’、‘01’、‘10’、‘11’に該当する入力印加されたとき、出力電圧 V_{OUT} に‘0’、‘0’、‘0’、‘1’に該当する値が演算されることを示す。

【0152】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_A が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

10

【0153】

図10A及び図10Bは、本発明の一実施例に係る可変型ロジックインメモリセルのORゲートの動作を説明する図である。

【0154】

図10Aは、本発明の一実施例に係る可変型ロジックインメモリセルのORゲートの動作での回路図を例示する。

【0155】

図10Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル1000は、図4Bで説明された第2回路構造で構成される。

20

【0156】

一例として、可変型ロジックインメモリセル1000は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第1チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子が第2チャンネル動作を行う。

【0157】

また、可変型ロジックインメモリセル1000は、コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、最初の第2並列接続部の左側1001及び最後の第2並列接続部の上側1003に印加され、コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、最初の第2並列接続部の右側1002及び最後の第2並列接続部の下側1004に印加される。

30

【0158】

これによって、可変型ロジックインメモリセル1000は、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルのいずれか一方のレベルがハイレベルである場合に、出力電圧 V_{OUT} のレベルがハイレベルであり、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルの両方がローレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルに決定されるORゲートの論理演算機能を行うことができる。

【0159】

図10Bは、本発明の一実施例に係る可変型ロジックインメモリセルのORゲートの動作でのタイミング図を例示する。

40

【0160】

図10Bを参照すると、タイミング図1010は、2つの入力電圧(V_A , V_B)に‘00’、‘01’、‘10’、‘11’に該当する入力印加されたとき、出力電圧 V_{OUT} に‘0’、‘1’、‘1’、‘1’に該当する値が演算されることを示す。

【0161】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_A が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0162】

図11A及び図11Bは、本発明の一実施例に係る可変型ロジックインメモリセルのX

50

NORゲートの動作を説明する図である。

【0163】

図11Aは、本発明の一実施例に係る可変型ロジックインメモリセルのXNORゲートの動作での回路図を例示する。

【0164】

図11Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル1100は、図4Bで説明された第2回路構造で構成される。

【0165】

可変型ロジックインメモリセル1100は、複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左側は第1チャンネル動作を行い、右側は第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左上側は第2チャンネル動作を行い、右上側は第1チャンネル動作を行い、左下側は第1チャンネル動作を行い、右下側は第2チャンネル動作を行う。

【0166】

最初の第2並列接続部は、第1トリプルゲートフィードバックメモリ素子1101及び第2トリプルゲートフィードバックメモリ素子1102を含み、第1トリプルゲートフィードバックメモリ素子1101及び第2トリプルゲートフィードバックメモリ素子1102は、最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち左側に含まれ得る。

【0167】

また、最初の第2並列接続部は、第3トリプルゲートフィードバックメモリ素子1103及び第4トリプルゲートフィードバックメモリ素子1104を含み、最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち右側に含まれ得る。

【0168】

また、可変型ロジックインメモリセル1100は、コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、最初の第2並列接続部及び最後の第2並列接続部の上側に印加され、コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B は、最初の第2並列接続部及び最後の第2並列接続部の下側に印加される。

【0169】

最後の第2並列接続部は、第5トリプルゲートフィードバックメモリ素子1105及び第6トリプルゲートフィードバックメモリ素子1106を含み、第5トリプルゲートフィードバックメモリ素子1105及び第6トリプルゲートフィードバックメモリ素子1106は、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち左側に含まれ得る。

【0170】

また、最後の第2並列接続部は第7トリプルゲートフィードバックメモリ素子1107及び第8トリプルゲートフィードバックメモリ素子1108を含み、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち右側に含まれ得る。

【0171】

本発明の一実施例に係る可変型ロジックインメモリセル1100は、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルが同じレベルである場合に、出力電圧 V_{OUT} のレベルがハイレベルであり、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルが異なるレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルに決定されるXNORゲートの論理演算機能を行うことができる。

【0172】

図11Bは、本発明の一実施例に係る可変型ロジックインメモリセルのXNORゲートの動作でのタイミング図を例示する。

【0173】

図11Bを参照すると、タイミング図1110は、2つの入力電圧(V_A , V_B)に‘0

10

20

30

40

50

0'、'01'、'10'、'11'に該当する入力印加されたとき、出力電圧 $V_{1'}$ 、'0'、'0'、'1'に該当する値が演算されることを示す。

【0174】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_A が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0175】

図12A及び図12Bは、本発明の一実施例に係る可変型ロジックインメモリセルのXORゲートの動作を説明する図である。

【0176】

図12Aは、本発明の一実施例に係る可変型ロジックインメモリセルのXORゲートの動作での回路図を例示する。

10

【0177】

図12Aを参照すると、本発明の一実施例に係る可変型ロジックインメモリセル1200は、図4Bで説明された第2回路構造で構成される。

【0178】

可変型ロジックインメモリセル1200は、複数の第2並列接続部のうちの最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左上側は第2チャンネル動作を行い、右上側は第1チャンネル動作を行い、左下側は第1チャンネル動作を行い、右下側は第2チャンネル動作を行い、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうちの左側は第1チャンネル動作を行い、右側は第2チャンネル動作を行う。

20

【0179】

最初の第2並列接続部は、第1トリプルゲートフィードバックメモリ素子1201及び第2トリプルゲートフィードバックメモリ素子1202を含み、第1トリプルゲートフィードバックメモリ素子1201及び第2トリプルゲートフィードバックメモリ素子1202は、最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち左側に含まれ得る。

【0180】

また、最初の第2並列接続部は、第3トリプルゲートフィードバックメモリ素子1203及び第4トリプルゲートフィードバックメモリ素子1204を含み、最初の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち右側に含まれ得る。

30

【0181】

また、可変型ロジックインメモリセル1200は、コントロール電圧 V_{CG} のうちの第1コントロール電圧 V_A は、最初の第2並列接続部及び最後の第2並列接続部の上側に印加され得る。

【0182】

また、可変型ロジックインメモリセル1200は、コントロール電圧 V_{CG} のうちの第2コントロール電圧 V_B が、最初の第2並列接続部及び最後の第2並列接続部の下側に印加され得る。

【0183】

最後の第2並列接続部は、第5トリプルゲートフィードバックメモリ素子1205及び第6トリプルゲートフィードバックメモリ素子1206を含み、第5トリプルゲートフィードバックメモリ素子1205及び第6トリプルゲートフィードバックメモリ素子1206は、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち左側に含まれ得る。

40

【0184】

また、最後の第2並列接続部は第7トリプルゲートフィードバックメモリ素子1207及び第8トリプルゲートフィードバックメモリ素子1208を含み、最後の第2並列接続部を構成するトリプルゲートフィードバックメモリ素子のうち右側に含まれ得る。

【0185】

50

本発明の一実施例に係る可変型ロジックインメモリセル1200は、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルが同じレベルである場合に、出力電圧 V_{OUT} のレベルがローレベルであり、第1コントロール電圧 V_A 及び第2コントロール電圧 V_B のレベルが異なるレベルである場合に、出力電圧 V_{OUT} のレベルがハイレベルに決定されるXORゲートの論理演算機能を行うことができる。

【0186】

図12Bは、本発明の一実施例に係る可変型ロジックインメモリセルのXORゲートの動作でのタイミング図を例示する。

【0187】

図12Bを参照すると、タイミング図1210は、2つの入力電圧(V_A , V_B)に‘00’、‘01’、‘10’、‘11’に該当する入力印加されたとき、出力電圧 V_{OUT} に‘0’、‘1’、‘1’、‘0’に該当する値が演算されることを示す。 10

【0188】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_A が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0189】

上述した具体的な実施例において、発明に含まれる構成要素は、提示された具体的な実施例によって単数又は複数で表現された。

【0190】

しかし、単数又は複数の表現は、説明の便宜のために提示した状況に適するように選択されたものであって、上述した実施例が単数又は複数の構成要素に制限されるものではなく、複数で表現された構成要素であっても単数で構成されてもよく、単数で表現された構成要素であっても複数で構成されてもよい。 20

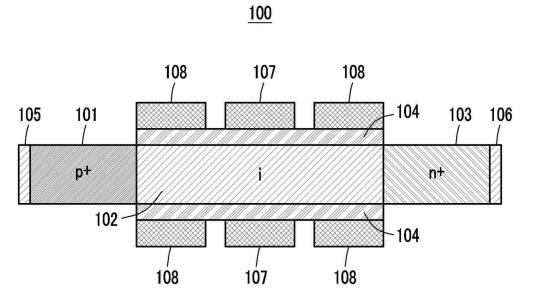
【0191】

一方、発明の説明では具体的な実施例について説明したが、様々な実施例が内包する技術的思想の範囲から逸脱しない限り、様々な変形が可能であることは勿論である。

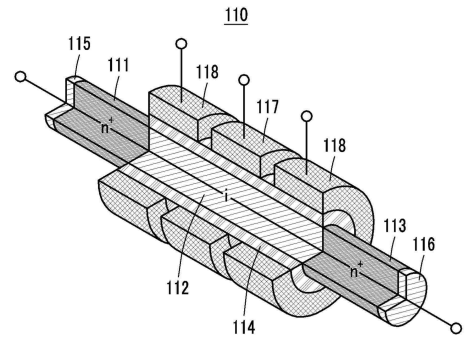
【0192】

したがって、本発明の範囲は、説明された実施例に限定されて定められてはならず、後述する特許請求の範囲だけでなく、この特許請求の範囲と均等なものによって定められなければならない。 30

【図面】
【図 1 A】

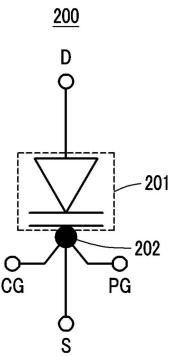


【図 1 B】

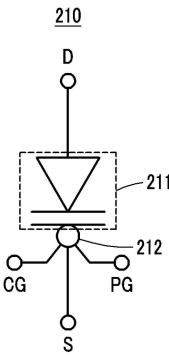


10

【図 2 A】

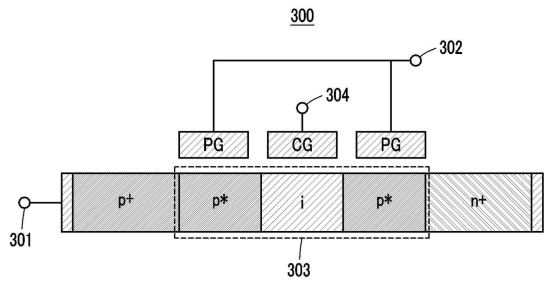


【図 2 B】

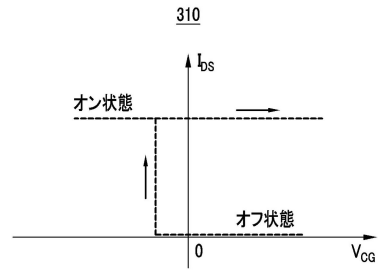


20

【図 3 A】



【図 3 B】

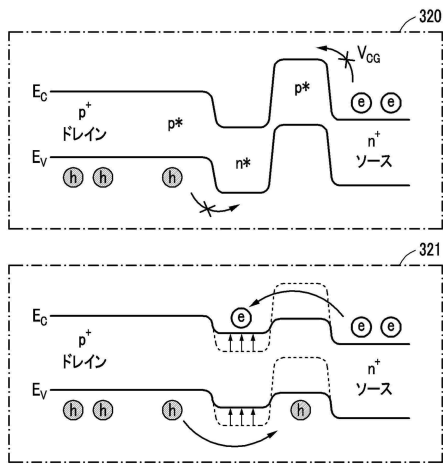


30

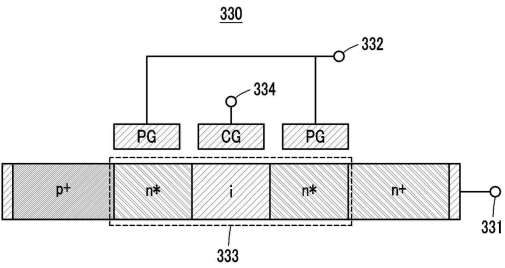
40

50

【図 3 C】

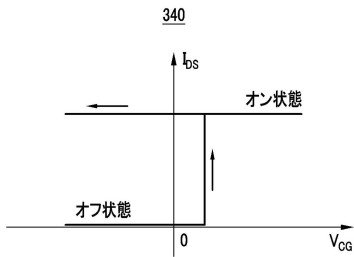


【図 3 D】

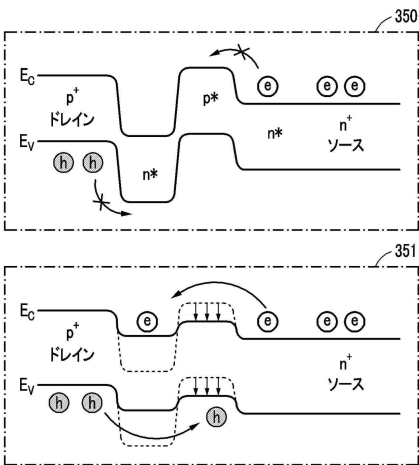


10

【図 3 E】



【図 3 F】



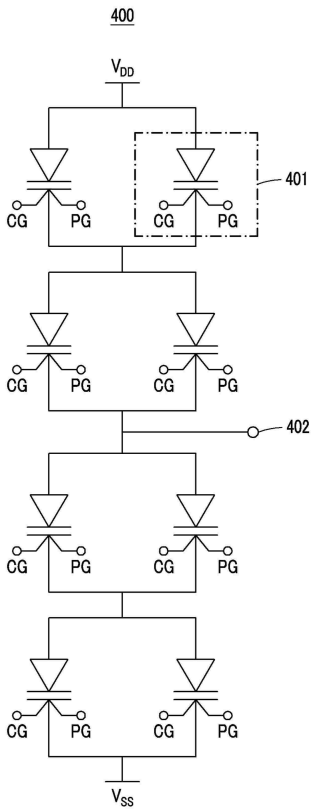
20

30

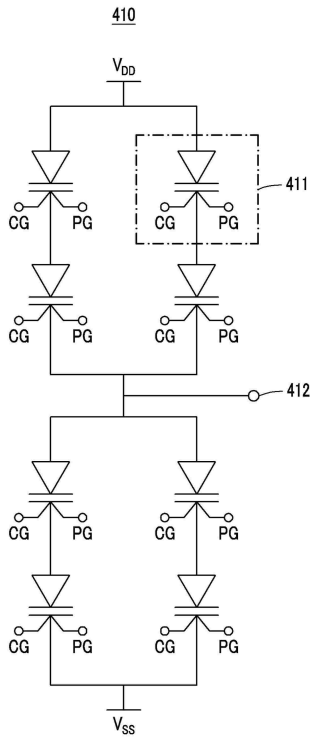
40

50

【図 4 A】



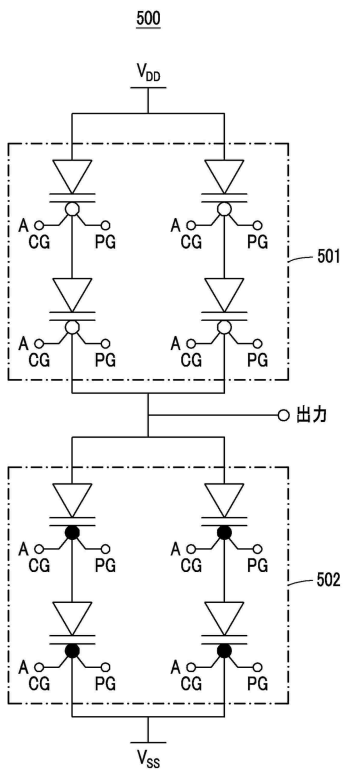
【図 4 B】



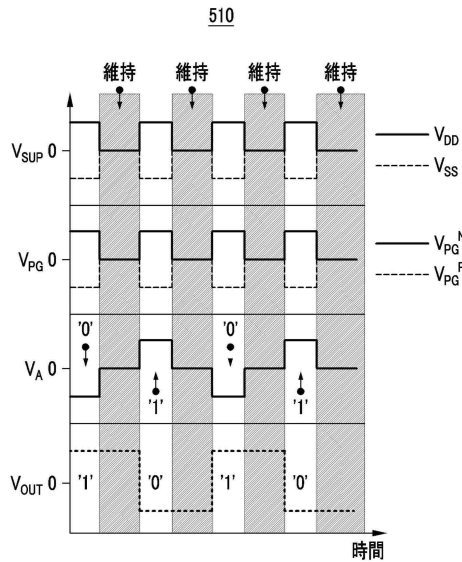
10

20

【図 5 A】



【図 5 B】

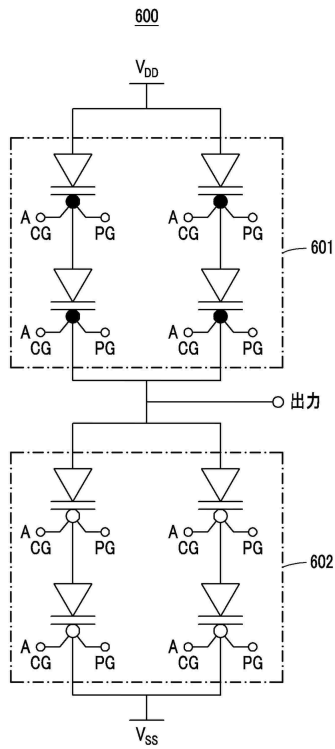


30

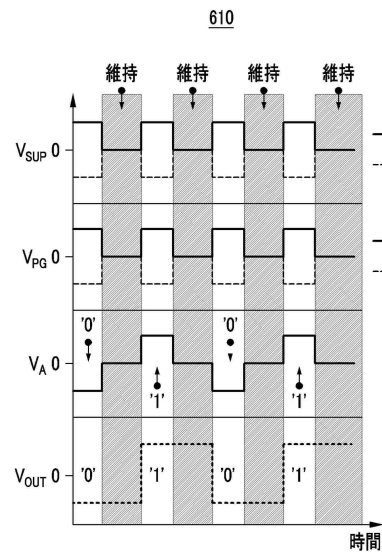
40

50

【図 6 A】



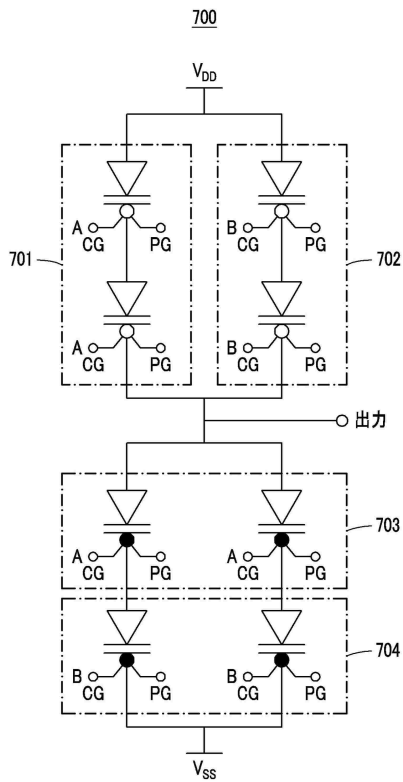
【図 6 B】



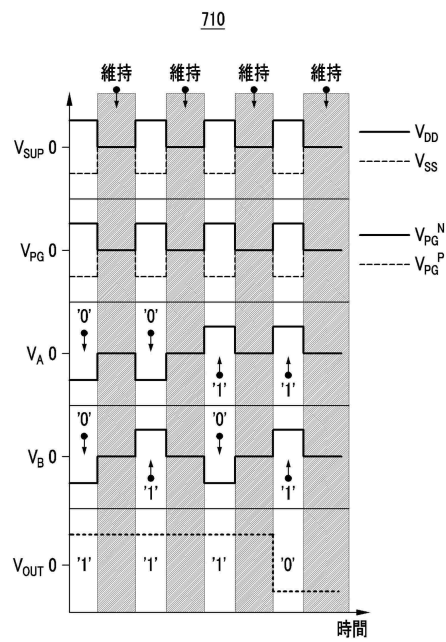
10

20

【図 7 A】



【図 7 B】

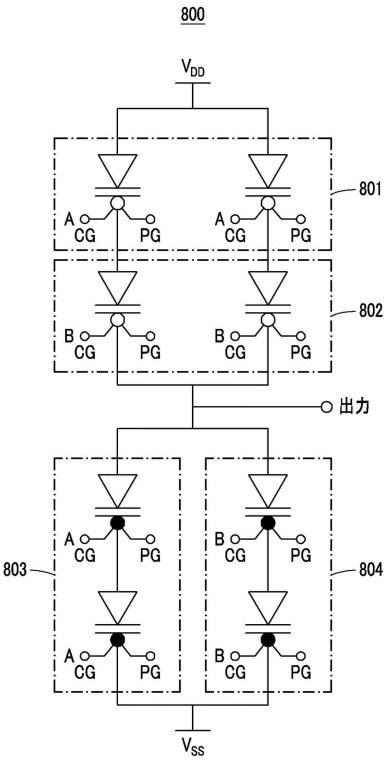


30

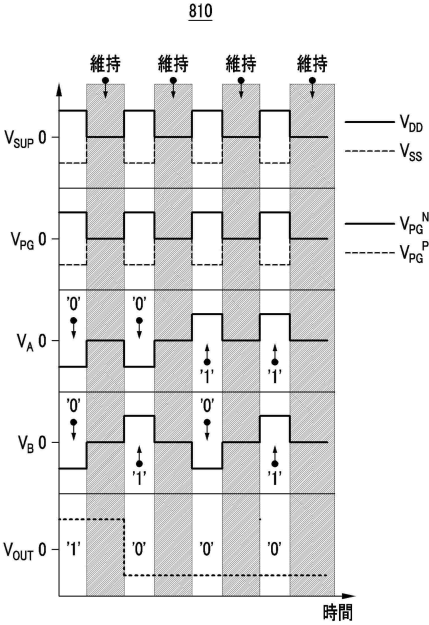
40

50

【図 8 A】



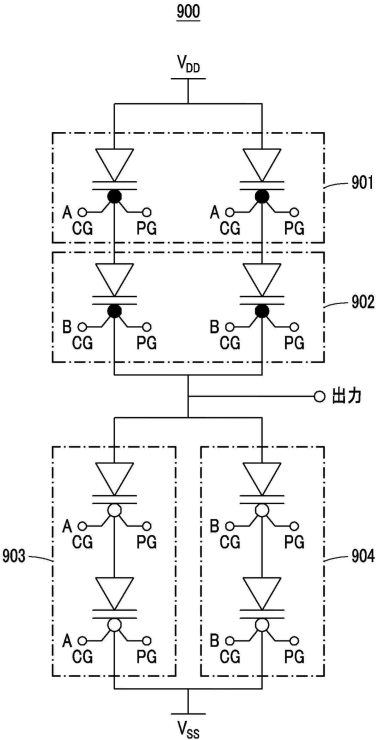
【図 8 B】



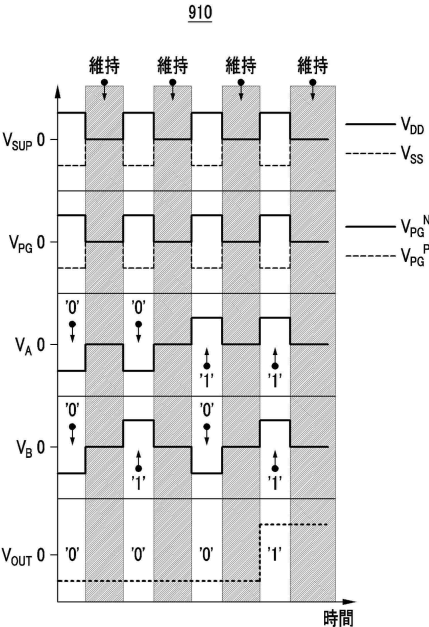
10

20

【図 9 A】



【図 9 B】

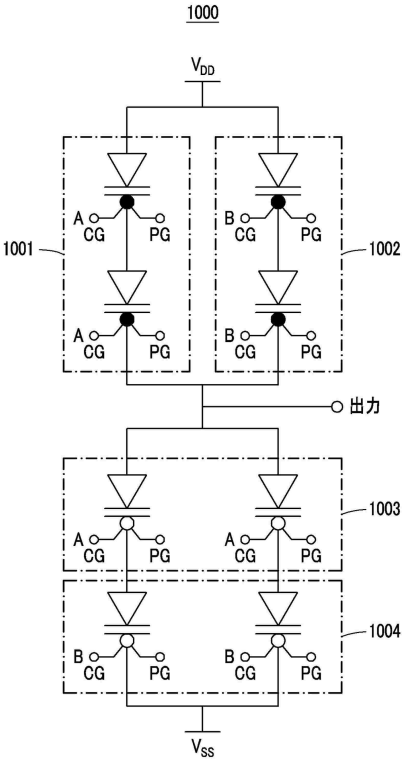


30

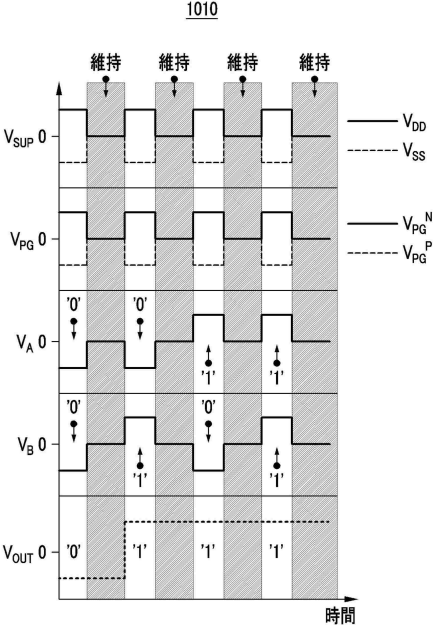
40

50

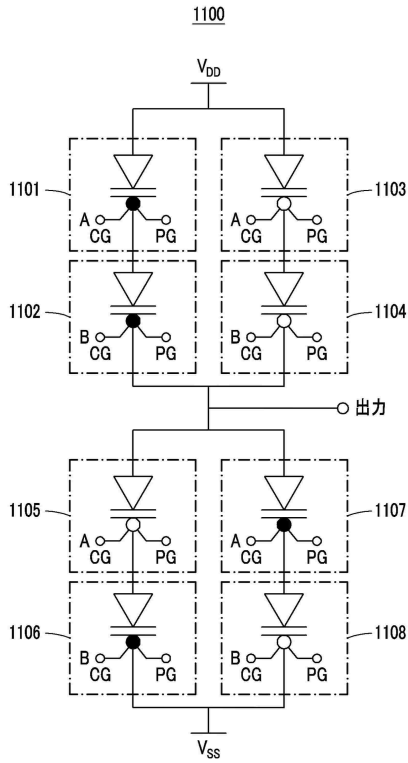
【図 1 0 A】



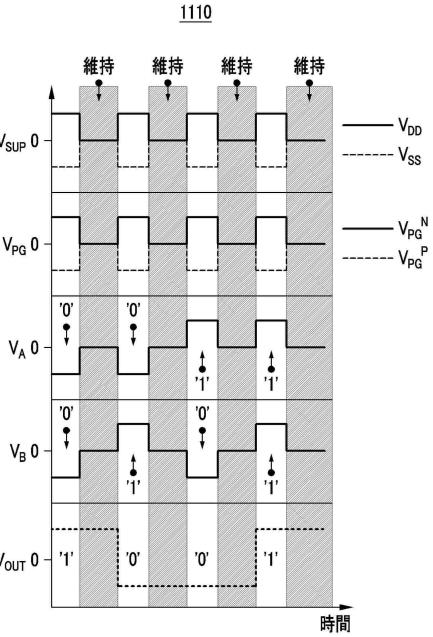
【図 1 0 B】



【図 1 1 A】



【図 1 1 B】



10

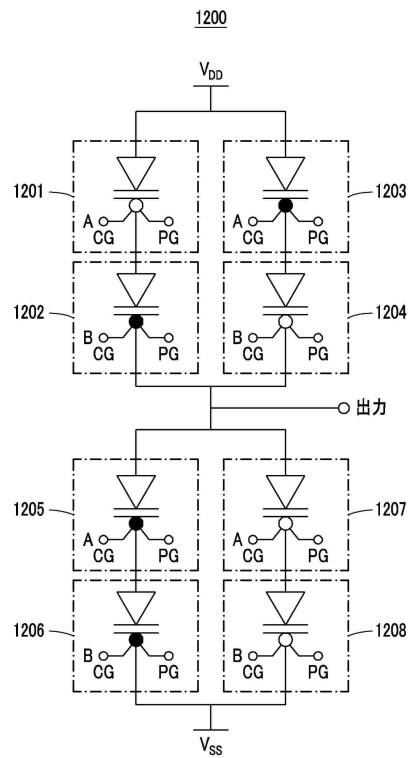
20

30

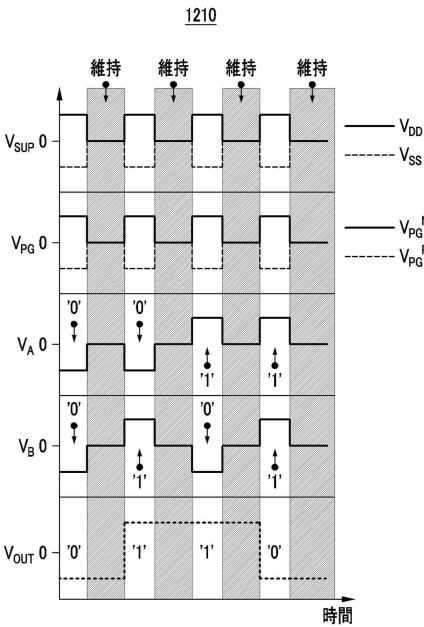
40

50

【図 1 2 A】



【図 1 2 B】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
H 1 0 D 30/67 1 0 2 N

- ドン 5 0 1 ホ
- (72)発明者 チョ キョンア
大韓民国、0 4 9 8 9、ソウル、クァンジンギ、チョンホーデロ 1 1 0ーギル、7 2
- (72)発明者 ペク ウヌ
大韓民国、0 2 8 4 2、ソウル、ソンブクーク、コリョデーロ 2 7ーギル、5 2、3 0 3 ホ
- (72)発明者 チョン ジュヒ
大韓民国、0 3 7 7 3、ソウル、ソデムンギ、ブクアヒョンーロ 1ーギル、1 7、2 0 2 ドン
3 0 5 ホ
- (72)発明者 ソン ジェミン
大韓民国、1 3 6 4 1、キョンギード、ソンナムーシ、スジョンギ、ウィリエスンファンーロ、
1 5 0、3 4 0 3 ドン 5 0 2 ホ
- (72)発明者 キム テハム
大韓民国、1 7 8 7 3、キョンギード、ピョンテクーシ、チュアンーロ 3 3 5、1 0 4 ドン 5 0
1 ホ
- (72)発明者 ヤン エジン
大韓民国、1 5 0 1 7、キョンギード、シフンーシ、ハサンーロ 2 9 ボンーギル、3 7、1 2 0
3 ドン 2 0 2 ホ

審査官 豊田 真弓

- (56)参考文献 特開 2 0 1 4ー2 3 9 2 0 2 (J P, A)
米国特許出願公開第 2 0 1 4／0 3 6 1 3 6 9 (U S, A 1)
米国特許出願公開第 2 0 1 6／0 0 4 3 2 3 4 (U S, A 1)

- (58)調査した分野 (Int.Cl., D B名)
G 1 1 C 1 1／4 0 1
H 1 0 B 1 2／0 0
G 1 1 C 1 6／0 4
H 1 0 D 3 0／6 7
G 0 6 F 1 2／0 0