

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6358431号
(P6358431)

(45) 発行日 平成30年7月18日(2018.7.18)

(24) 登録日 平成30年6月29日(2018.6.29)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 F

H O 1 L 25/10 (2006.01)

H O 1 L 23/12 N

H O 1 L 25/11 (2006.01)

H O 1 L 25/14 Z

H O 1 L 25/18 (2006.01)

H O 1 L 23/12 5 O 1 B

H O 5 K 3/46 (2006.01)

H O 5 K 3/46 B

請求項の数 14 (全 35 頁) 最終頁に続く

(21) 出願番号 特願2014-170410 (P2014-170410)
 (22) 出願日 平成26年8月25日(2014.8.25)
 (65) 公開番号 特開2016-46418 (P2016-46418A)
 (43) 公開日 平成28年4月4日(2016.4.4)
 審査請求日 平成29年3月28日(2017.3.28)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 経塚 正宏
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 審査官 秋山 直人

最終頁に続く

(54) 【発明の名称】 電子部品装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

コア層を有する下側配線基板と、
 前記下側配線基板の上に搭載された電子部品と、
 前記下側配線基板及び前記電子部品の上に配置され、コアレス基板からなる上側配線基板と、
 前記電子部品に対応する領域の前記上側配線基板に備えられ、前記電子部品の面積に対応する面積を有する補強層と、
 前記下側配線基板と前記上側配線基板とを接続する接続端子と、
 前記下側配線基板と前記上側配線基板との間に充填された封止樹脂と
 を有することを特徴とする電子部品装置。

【請求項2】

コアレス基板からなる下側配線基板と、
 前記下側配線基板の上に搭載された電子部品と、
 前記電子部品に対応する領域の前記下側配線基板に備えられ、前記電子部品の面積に対応する面積を有する第1補強層と、
 前記下側配線基板及び前記電子部品の上に配置され、コアレス基板からなる上側配線基板と、
 前記電子部品に対応する領域の前記上側配線基板に備えられ、前記電子部品の面積に対応する面積を有する第2補強層と、

前記下側配線基板と前記上側配線基板とを接続する接続端子と、
前記下側配線基板と前記上側配線基板との間に充填された封止樹脂と
を有することを特徴とする電子部品装置。

【請求項 3】

コアレス基板からなり、下側外面に絶縁層を備えた下側配線基板と、
前記下側配線基板の上に搭載された電子部品と、
前記電子部品に対応する領域の前記下側配線基板の前記絶縁層に形成され、前記電子部
品の面積に対応する面積を有する補強層と、
前記下側配線基板及び前記電子部品の上に配置され、コア層を有する上側配線基板と、
前記下側配線基板と前記上側配線基板とを接続する接続端子と、
前記下側配線基板と前記上側配線基板との間に充填された封止樹脂と
を有し、
前記補強層は、側面及び上面が前記絶縁層に埋め込まれ、かつ、下面が前記絶縁層から
露出して、前記補強層の下面と前記絶縁層の下面とが面一になっていることを特徴とする
電子部品装置。

10

【請求項 4】

前記コア層は、繊維補強材含有樹脂層から形成されることを特徴とする請求項 1 又は 3
に記載の電子部品装置。

【請求項 5】

前記コアレス基板は、絶縁層と配線層とが積層されて形成され、
前記絶縁層内に形成された全てのビア導体は、前記電子部品装置の外面側の直径が前記
電子部品装置の内方側の直径よりも小さい円錐台形状であることを特徴とする請求項 1 乃
至 3 のいずれか一項に記載の電子部品装置。

20

【請求項 6】

前記接続端子は、金属柱であることを特徴とする請求項 1 乃至 3 のいずれか一項に記載
の電子部品装置。

【請求項 7】

前記コアレス基板からなる配線基板は配線層と絶縁層とを備え、前記補強層は前記配線
層と同一層から形成され、前記補強層及び前記配線層が前記絶縁層に埋め込まれているこ
とを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電子部品装置。

30

【請求項 8】

前記コア層の厚みは、前記コアレス基板からなる配線基板の 1 層の絶縁層の厚みよりも
厚いことを特徴とする請求項 1 又は 3 に記載の電子部品装置。

【請求項 9】

コア層を有する下側配線基板を用意する工程と、
前記下側配線基板の上に電子部品を搭載する工程と、
支持体の上に、補強層を含むコアレス基板からなる上側配線基板を形成して、上側配線
部材を得る工程と、
前記下側配線基板の上に、前記電子部品を収容するように、接続端子を介して前記支持
体を上側にして前記上側配線部材を配置する工程と、
前記下側配線基板と前記上側配線部材との間に封止樹脂を充填する工程と、
前記上側配線部材から前記支持体を除去する工程と
を有し、
前記補強層は、前記電子部品に対応する領域に配置され、前記電子部品の面積に対応す
る面積を有することを特徴とする電子部品装置の製造方法。

40

【請求項 10】

第 1 支持体の上に、第 1 補強層を含むコアレス基板からなる下側配線基板を形成して、
下側配線部材を得る工程と、
前記下側配線部材の上に電子部品を搭載する工程と、
第 2 支持体の上に、第 2 補強層を含むコアレス基板からなる上側配線基板を形成して、

50

上側配線部材を得る工程と、

前記下側配線部材の上に、電子部品を収容するように、接続端子を介して前記第2支持体を上側にして前記上側配線部材を配置する工程と、

前記下側配線部材と前記上側配線部材との間に封止樹脂を充填する工程と、

前記下側配線部材から前記第1支持体を除去すると共に、前記上側配線部材から前記第2支持体を除去する工程と

を有し、

前記第1補強層及び前記第2補強層は、前記電子部品に対応する領域に配置され、前記電子部品の面積に対応する面積を有することを特徴とする電子部品装置の製造方法。

【請求項11】

支持体の上に補強層を形成する工程と、

前記支持体の上に前記補強層を被覆する絶縁層を形成する工程と

を含む方法により、コアレス基板からなる下側配線基板を形成して、下側配線部材を得る工程と、

前記下側配線部材の上に電子部品を搭載する工程と、

前記下側配線部材の上に、電子部品を収容するように、接続端子を介してコア層を有する上側配線基板を配置する工程と、

前記下側配線部材と前記上側配線基板との間に封止樹脂を充填する工程と、

前記下側配線部材から前記支持体を除去する工程と

を有し、

前記補強層は、前記電子部品に対応する領域に配置され、前記電子部品の面積に対応する面積を有し、

前記補強層は、側面及び上面が前記絶縁層に埋め込まれ、かつ、下面が前記絶縁層から露出して、前記補強層の下面と前記絶縁層の下面とが面一になることを特徴とする電子部品装置の製造方法。

【請求項12】

前記コア層は、繊維補強材含有樹脂層から形成されることを特徴とする請求項9又は11に記載の電子部品装置の製造方法。

【請求項13】

前記コアレス基板は、絶縁層と配線層とが積層されて形成され、

前記絶縁層内に形成された全てのビア導体は、前記電子部品装置の外面側の直径が前記電子部品装置の内方側の直径よりも小さい円錐台形状であることを特徴とする請求項9乃至11のいずれか一項に記載の電子部品装置の製造方法。

【請求項14】

前記接続端子は、金属柱であることを特徴とする請求項9乃至11のいずれか一項に記載の電子部品装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子部品装置及びその製造方法に関する。

【背景技術】

【0002】

従来、半導体チップなどの電子部品が搭載された下側配線基板の上に上側配線基板を積層し、下側配線基板と上側配線基板との間に封止樹脂を充填した電子部品装置がある。そのような電子部品装置では、はんだボールなどによって下側配線基板と上側配線基板とが接続され、それらの間のスペースに電子部品が収容される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-347722号公報

10

20

30

40

50

【特許文献2】特開2008-10885号公報

【特許文献3】特開2008-135781号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

スマートフォンなどの携帯機器の高性能化に伴い、携帯機器に組み込まれる電子部品装置は、さらなる薄型化、小型化が要求されている。

【0005】

電子部品装置の薄型化、小型化を図るために、単に薄い基板を採用する方法では、製造過程で発生する熱応力によって基板に反りが発生するため、電子部品装置を信頼性よく製造することが困難になる。

10

【0006】

また、最終的に得られる電子部品装置に反りが発生するため、電子部品装置を実装基板に信頼性よく搭載することが困難になると共に、電子部品装置の上に他の半導体パッケージを搭載することも困難になる。

【0007】

さらなる薄型化及び小型化を図ることができ、かつ薄型化しても反りの発生が防止される電子部品装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

20

以下の開示の一観点によれば、コア層を有する下側配線基板と、前記下側配線基板の上に搭載された電子部品と、前記下側配線基板及び前記電子部品の上に配置され、コアレス基板からなる上側配線基板と、前記電子部品に対応する領域の前記上側配線基板に備えられ、前記電子部品の面積に対応する面積を有する補強層と、前記下側配線基板と前記上側配線基板とを接続する接続端子と、前記下側配線基板と前記上側配線基板との間に充填された封止樹脂とを有する電子部品装置が提供される。

【0009】

また、その開示の他の観点によれば、コア層を有する下側配線基板を用意する工程と、前記下側配線基板の上に電子部品を搭載する工程と、支持体の上に、補強層を含むコアレス基板からなる上側配線基板を形成して、上側配線部材を得る工程と、前記下側配線基板の上に、前記電子部品を収容するように、接続端子を介して前記支持体を上側にして前記上側配線部材を配置する工程と、前記下側配線基板と前記上側配線部材との間に封止樹脂を充填する工程と、前記上側配線部材から前記支持体を除去する工程とを有し、前記補強層は、前記電子部品に対応する領域に配置され、前記電子部品の面積に対応する面積を有する電子部品装置の製造方法が提供される。

30

【発明の効果】

【0010】

以下の開示によれば、電子部品装置は、電子部品が搭載された下側配線基板の上に接続端子を介して上側配線基板が積層された構造を有する。

【0011】

40

電子部品が搭載された下側配線基板では、電子部品と下側配線基板との熱膨張係数の違いに基づいて発生する熱応力によって凸状の反りが発生しやすい。

【0012】

一つの好適な態様では、下側配線基板を、コア層を有するコア有基板として形成し、上側配線基板をコアレス基板として形成し、上側配線基板に補強層を形成することにより、下側配線基板の反りを矯正することができる。

【0013】

上記した態様の他に、下側配線基板及び上側配線基板の少なくとも一方をコアレス基板として形成し、コアレス基板に補強層が備えられていればよい。

【図面の簡単な説明】

50

【 0 0 1 4 】

【図 1】図 1 は反りの解析のシミュレーションに使用した電子部品装置の構造を示す断面図及び平面図である。

【図 2】図 2 はシミュレーションによる図 1 の電子部品装置の反りの解析結果を示す図である。

【図 3】図 3 (a) 及び (b) は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1) である。

【図 4】図 4 (a) 及び (b) は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 2) である。

【図 5】図 5 (a) 及び (b) は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 3) である。

10

【図 6】図 6 (a) 及び (b) は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 4) である。

【図 7】図 7 (a) ~ (d) は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 5) である。

【図 8】図 8 (a) 及び (b) は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 6) である。

【図 9】図 9 (a) ~ (e) は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 7) である。

【図 1 0】図 1 0 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 8) である。

20

【図 1 1】図 1 1 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 9) である。

【図 1 2】図 1 2 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 0) である。

【図 1 3】図 1 3 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 1) である。

【図 1 4】図 1 4 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 2) である。

【図 1 5】図 1 5 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 3) である。

30

【図 1 6】図 1 6 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 4) である。

【図 1 7】図 1 7 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 5) である。

【図 1 8】図 1 8 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 6) である。

【図 1 9】図 1 9 は第 1 実施形態の電子部品装置の製造方法を示す断面図 (その 1 7) である。

【図 2 0】図 2 0 は第 1 実施形態の電子部品装置を示す断面図及び平面図である。

40

【図 2 1】図 2 1 は第 1 実施形態の電子部品装置の補強層の変形例を示す部分平面図である。

【図 2 2】図 2 2 は図 2 0 の電子部品装置の上に他の半導体パッケージを積層した様子を断面図である。

【図 2 3】図 2 3 は第 1 実施形態の第 1 変形例の電子部品装置を示す断面図である。

【図 2 4】図 2 4 は第 1 実施形態の第 2 変形例の電子部品装置を示す断面図である。

【図 2 5】図 2 5 は第 1 実施形態の第 3 変形例の電子部品装置を示す断面図である。

【図 2 6】図 2 6 は第 1 実施形態の電子部品装置の別の製造方法を示す断面図 (その 1) である。

【図 2 7】図 2 7 は第 1 実施形態の電子部品装置の別の製造方法を示す断面図 (その 2)

50

である。

【図 2 8】図 2 8 は第 1 実施形態の電子部品装置の別の製造方法を示す断面図（その 3）である。

【図 2 9】図 2 9 は第 1 実施形態の電子部品装置の別の製造方法で得られる電子部品装置を示す断面図である。

【図 3 0】図 3 0 は第 2 実施形態の電子部品装置の製造方法を示す断面図（その 1）である。

【図 3 1】図 3 1 は第 2 実施形態の電子部品装置の製造方法を示す断面図（その 2）である。

【図 3 2】図 3 2 は第 2 実施形態の電子部品装置の製造方法を示す断面図（その 3）である。

10

【図 3 3】図 3 3 は第 2 実施形態の電子部品装置の製造方法を示す断面図（その 4）である。

【図 3 4】図 3 4 は第 2 実施形態の電子部品装置を示す断面図である。

【図 3 5】図 3 5 は第 3 実施形態の電子部品装置の製造方法を示す断面図（その 1）である。

【図 3 6】図 3 6 は第 3 実施形態の電子部品装置の製造方法を示す断面図（その 2）である。

【図 3 7】図 3 7 は第 3 実施形態の電子部品装置の製造方法を示す断面図（その 3）である。

20

【図 3 8】図 3 8 は第 3 実施形態の電子部品装置の製造方法を示す断面図（その 4）である。

【図 3 9】図 3 9 は第 3 実施形態の電子部品装置の製造方法を示す断面図（その 5）である。

【図 4 0】図 4 0 は第 3 実施形態の電子部品装置を示す断面図である。

【発明を実施するための形態】

【0015】

以下、実施の形態について、添付の図面を参照して説明する。

【0016】

実施形態を説明する前に、本発明者が行ったシミュレーションによる電子部品装置の反りの解析結果について説明する。

30

【0017】

まず、シミュレーションで想定した電子部品装置の構造について説明する。図 1 に示すように、電子部品装置 9 の下側配線基板 100 では、厚み方向の中央部にガラスエポキシ樹脂などからなるコア層 110 が形成されている。

【0018】

コア層 110 の両面には所要のビルドアップ配線層（不図示）がそれぞれ形成されている。両面側のビルドアップ配線層はコア層 110 の厚み方向に貫通する貫通導体（不図示）を介して相互接続されている。そして、下側配線基板 100 は、その両面側にビルドアップ配線層の最外のパッド P1、P2 をそれぞれ備えている。

40

【0019】

また、下側配線基板 100 の下面に、パッド P2 上に開口部 120a が設けられたソルダレジスト層 120 が形成されている。さらに、下側配線基板 100 の下面側のパッド P2 に外部接続端子 T が設けられている。

【0020】

下側配線基板 100 の上面側の中央部に配置されたパッド P1 に半導体チップ 200 のバンプ電極 220 がフリップチップ接続されている。半導体チップ 200 の下側にはアンダーフィル樹脂 240 が充填されている。

【0021】

また、下側配線基板 100 の上には、半導体チップ 200 を収容するように上側配線基

50

板 3 0 0 が配置されている。上側配線基板 3 0 0 では、絶縁層 3 2 0 の上面の周縁側にパッド P 3 が形成されている。パッド P 3 はその側面及び下面が絶縁層 3 2 0 に埋め込まれ、上面が露出した状態で形成されている。

【 0 0 2 2 】

さらに、絶縁層 3 2 0 の下面には配線層 4 0 0 が形成されている。絶縁層 3 2 0 にはパッド P 3 に到達するビアホール V H が形成されている。パッド P 3 はビアホール V H 内のビア導体を介して配線層 4 0 0 に接続されている。

【 0 0 2 3 】

ビアホール V H は上部から下部になるにつれて直径が大きくなる逆テーパ形状で形成されている。

10

【 0 0 2 4 】

そして、上側配線基板 3 0 0 の配線層 4 0 0 の接続部に金属柱 4 2 0 が形成されており、金属柱 4 2 0 の下部がはんだ 4 4 0 を介して下側配線基板 1 0 0 の接続パッド P 1 に接続されている。

【 0 0 2 5 】

また、絶縁層 3 2 0 の上面の中央部に第 1 補強層 R 1 が形成されている。第 1 補強層 R 1 はその周囲に配置されたパッド P 3 と同一層から形成され、側面及び下面が絶縁層 3 2 0 に埋め込まれて形成される。

【 0 0 2 6 】

また、第 1 補強層 R 1 に対応する領域の絶縁層 3 2 0 の下面に第 2 補強層 R 2 が形成されている。第 2 補強層 R 2 は配線層 4 0 0 と同一層から形成され、側面及び下面が層間絶縁層 3 2 0 から露出している。

20

【 0 0 2 7 】

さらに、下側配線基板 1 0 0 と上側配線基板 3 0 0 と間に封止樹脂 5 0 0 が充填されており、半導体チップ 2 0 0 が封止樹脂 5 0 0 で封止されている。第 1 補強層 R 1 及び第 2 補強層 R 2 は、半導体チップ 2 0 0 に対応する領域に配置される。

【 0 0 2 8 】

図 1 の電子部品装置 9 を平面視すると、図 1 の縮小平面図に示すように、上側配線基板 3 0 0 の絶縁層 3 2 0 の上面の中央部に第 1 補強層 R 1 が配置され、その周囲の領域に複数の接続パッド P 3 が並んで配置されている。

30

【 0 0 2 9 】

以上のように、下側配線基板 1 0 0 がコア層 1 1 0 を有するコア有基板として形成され、上側配線基板 3 0 0 がコア層を有さないコアレス基板として形成される。

【 0 0 3 0 】

次に、シミュレーションで使用する電子部品装置 9 の各要素の寸法について説明する。図 1 に示した電子部品装置 5 の各要素の厚み T 1 ~ T 7 を図 1 の表に示す厚みにそれぞれ設定した。

【 0 0 3 1 】

そして、半導体チップ 2 0 0 の面積を 1 0 mm x 1 0 mm とし、第 1、第 2 補強層 R 1 , R 2 の面積を 1 0 mm x 1 0 mm とし、電子部品装置 9 の全体の面積を 1 5 mm x 1 5 mm とした。

40

【 0 0 3 2 】

図 2 に示すように、図 1 の電子部品装置 9 において、第 1、第 2 補強層 R 1 , R 2 を共に形成しない条件を L E G 1 とした。

【 0 0 3 3 】

また、第 1 補強層 R 1 を形成せずに、下面側に第 2 補強層 R 2 のみを形成した条件を L E G 2 とした。

【 0 0 3 4 】

また、L E G 2 と逆に、第 2 補強層 R 2 を形成せずに、上面側に第 1 補強層 R 1 のみを形成した条件を L E G 3 とした。

50

【 0 0 3 5 】

さらに、第 1、第 2 補強層 R 1 , R 2 を共に形成した条件を L E G 4 とした。

【 0 0 3 6 】

以上のような電子部品装置 9 の構造を想定して、シミュレーション用のモデルを作成した。

【 0 0 3 7 】

図 2 の表及びグラフに示すように、L E G 1 では、第 1、第 2 補強層 R 1 , R 2 が共に存在しないため、室温及び 2 6 0 の雰囲気中で凸状の反りが発生した。L E G 1 での相対反り量を 1 0 0 % と規定した。

【 0 0 3 8 】

下面側に第 2 補強層 R 2 のみを形成した条件の L E G 2 では、相対反り量が室温で 9 4 %、2 6 0 の雰囲気中で 7 7 % であり、十分な反りの矯正効果は得られない。

【 0 0 3 9 】

また、上面側に第 1 補強層 R 1 のみを形成した条件の L E G 3 では、相対反り量が室温で 4 6 %、2 6 0 の雰囲気中で 5 4 % に改善されており、十分な反り矯正効果がある。

【 0 0 4 0 】

さらに、第 1、第 2 補強層 R 1 , R 2 を共に形成した条件の L E G 4 では、相対反り量が室温で 4 6 %、2 6 0 の雰囲気中で 4 2 % であり、L E G 3 と同様な反り矯正効果がある。

【 0 0 4 1 】

以上のことから、上側配線基板 3 0 0 の絶縁層 3 2 0 の下面側に第 2 補強層 R 1 を形成するよりも、絶縁層 3 2 0 の上面側に第 1 補強層 R 1 を形成する方が反り矯正効果が高いことが分かった。

【 0 0 4 2 】

このように、本願発明者は、半導体チップが搭載されたコア有基板の上にコアレス基板が積層された電子部品装置では、半導体チップからある程度離れたコアレス基板の絶縁層の上面側に補強層を形成することにより、反りがより十分に矯正されることを見出した。

【 0 0 4 3 】

これは、半導体チップが搭載されたコア有基板の凸状に反ろうとする応力によりコアレス基板の補強層が抵抗するためである。

【 0 0 4 4 】

また、図 1 の電子部品装置 9 においてコア有基板とコアレス基板とが上下で入れ替わる形態、又は上下の基板が共にコアレス基板の形態においても、コアレス基板の絶縁層の外面側に補強層を形成することにより、同様に反りの発生が防止される。

【 0 0 4 5 】

(第 1 の実施の形態)

図 3 ~ 図 1 9 は第 1 実施形態の電子部品装置の製造方法を示す図、図 2 0 は第 1 実施形態の電子部品装置を示す図である。本実施形態では、電子部品装置の製造方法を説明しながら、電子部品装置の構造について説明する。

【 0 0 4 6 】

電子部品装置では、電子部品が搭載された下側配線基板の上に、接続端子を介して上側配線基板が積層された構造を有する。第 1 実施形態では、下側配線基板としてコア層を有するコア有配線基板を使用し、上側配線基板としてコア層を有さないコアレス基板を使用する。

【 0 0 4 7 】

最初に、第 1 実施形態の電子部品装置の上側配線基板として使用される上側コアレス配線基板の製造方法について説明する。

【 0 0 4 8 】

図 3 (a) に示すように、まず、銅箔などからなる支持体 1 0 を用意する。次いで、図 3 (b) に示すように、フォトリソグラフィによって支持体 1 0 の上にめっきレジスト層

10

20

30

40

50

11をパターンニングする。

【0049】

めっきレジスト層11では、中央部に一括した四角状の第1開口部11aが配置され、第1開口部11aの周囲の領域に複数の第2開口部11bが分割されて配置される。

【0050】

続いて、図4(a)に示すように、支持体10をめっき給電経路に利用する電解めっきにより、めっきレジスト層11の第1開口部11a及び第2開口部11b内の支持体10の上に金属めっき層を形成する。

【0051】

めっきレジスト層11の第1開口部11aに形成された金属めっき層が補強層Rとして形成され、第2開口部11bに形成された金属めっき層がパッドPとして形成される。補強層R及びパッドPの厚みは、一例としては、 $10\mu\text{m} \sim 20\mu\text{m}$ に設定される。その後、図4(b)に示すように、めっきレジスト層11が除去される。

10

【0052】

後述するように、支持体10の上に多層配線層を形成した後に、所要の段階で支持体10が多層配線層からウェットエッチングにより除去される。

【0053】

このため、支持体10が銅から形成される場合は、補強層R及びパッドPの最下の層が銅のウェットエッチャントに耐性を有する金(Au)層又はNi(ニッケル)層から形成される。

20

【0054】

補強層R及びパッドPの各々の好適な例としては、下から順に、金(Au)層/パラジウム(Pd)層/ニッケル(Ni)層/銅(Cu)層、金(Au)層/ニッケル(Ni)層/銅(Cu)層、又は、ニッケル(Ni)層/銅(Cu)層の積層膜から形成される。

【0055】

上記した積層膜からパッドPを形成する場合は、支持体10を除去すると、パッドPの外面とその周囲の絶縁層の外面とが面一になる。

【0056】

パッドPを周囲の絶縁層から内部に沈み込ませる場合は、最下の金層又はニッケル層の下にその沈み込みの深さに相当する厚みの銅層を追加で形成する。これにより、支持体10(銅)を除去する際に最下の銅層も同時に除去されて、パッドPが周囲の絶縁層から内部に沈み込んだ構造が得られる。

30

【0057】

また、コアレス基板のパッドPの形成例として、銅からなる支持体10の上に銅層/ニッケル層/銅層を形成し、支持体10及び銅層を除去した後に、さらに、ニッケル層を除去して、銅からなるパッドPを周囲の絶縁層の表面から内部に凹ませてもよい。

【0058】

続いて、図5(a)に示すように、支持体10、補強層R及びパッドPの上に、未硬化の樹脂フィルムを貼付し、加熱処理して硬化させることにより、絶縁層20を形成する。絶縁層20の厚みは、例えば、 $20\mu\text{m} \sim 35\mu\text{m}$ 程度である。樹脂フィルムとしては、例えば、非感光性の熱硬化性の絶縁樹脂が使用される。そのような絶縁樹脂としては、例えば、エポキシ樹脂又はポリイミド樹脂などがある。

40

【0059】

その後、図5(b)に示すように、絶縁層20をレーザで加工することにより、パッドPに到達するビアホールVHを形成する。さらに、過マンガン酸法などによってビアホールVH内をデスミア処理することにより、樹脂スミアを除去してクリーニングする。

【0060】

次いで、図6(a)に示すように、絶縁層20の上に、ビアホールVH内のビア導体を介してパッドPに接続される配線層30を形成する。配線層30はセミアディティブ法によって形成される。

50

【0061】

図7(a)～(d)を参照して詳しく説明する。図7(a)～(d)では、図6(a)のパッドPの領域が部分的に示されている。

【0062】

詳しく説明すると、図7(a)に示すように、絶縁層20上及びビアホールVHの内面に無電解めっき又はスパッタ法により、銅などからなるシード層30aを形成する。

【0063】

次いで、図7(b)に示すように、配線層30が配置される領域に開口部13aが設けられためっきレジスト層13を形成する。

【0064】

続いて、図7(c)に示すように、シード層30aをめっき給電経路に利用する電解めっきにより、めっきレジスト層13の開口部13aに銅などからなる金属めっき層30bを形成する。その後、図7(d)に示すように、めっきレジスト層13を除去した後に、

金属めっき層30bをマスクにしてシード層30aをウェットエッチングにより除去する。これにより、シード層30a及び金属めっき層30bから配線層30が形成される。配線層30の厚みは、例えば、 $10\mu\text{m}$ ～ $20\mu\text{m}$ 程度に設定される。また、配線層30のライン(幅)：スペース(間隔)は $15\mu\text{m}$ ： $15\mu\text{m}$ 程度か、それよりも微細に形成することができる。

【0065】

続いて、図6(b)に戻って説明すると、絶縁層20及び配線層30の上に、配線層30の接続部上に開口部24aが設けられたソルダレジスト層24を形成する。ソルダレジスト層24の厚みは、例えば、 $20\mu\text{m}$ ～ $40\mu\text{m}$ 程度に設定される。ソルダレジスト層24として、フェノール樹脂又はポリイミド樹脂などからなる感光性の絶縁樹脂が使用される。

【0066】

次いで、図8(a)に示すように、ソルダレジスト層24の開口部24a内の配線層30の上に金属柱34を形成する。金属柱34は、柱部34aとその上のはんだ層34bから形成される。金属柱34が接続端子の一例である。

【0067】

図9(a)～(d)を参照して詳しく説明する。図9(a)～(d)では、図8(a)のソルダレジスト層24の開口部24aの領域が部分的に示されている。

【0068】

図9(a)に示すように、まず、ソルダレジスト層24の上及びその開口部24aの内面に、無電解めっき又はスパッタ法により、銅などからなるシード層34xを形成する。

【0069】

次いで、図9(b)に示すように、ソルダレジスト層24の開口部24a上のシード層34xの上に開口部15aが設けられためっきレジスト層15をフォトリソグラフィに基づいて形成する。

【0070】

さらに、図9(c)に示すように、シード層34xをめっき給電経路に利用する電解めっきにより、銅などからなる金属めっき層34yを形成する。その後、同様な電解めっきにより、金属めっき層34yの上にはんだ層34bを形成する。はんだ層34bとしては、例えば、錫(Sn)/銀(Ag)系はんだが使用される。

【0071】

続いて、図9(d)に示すように、めっきレジスト層15が除去される。さらに、図9(e)に示すように、金属めっき層34yをマスクにしてシード層34xをウェットエッチングにより除去する。シード層34x及び金属めっき層34yにより金属柱34の柱部34aが形成される。

【0072】

10

20

30

40

50

以上により、図 8 (a) に示した金属柱 3 4 が形成される。図 8 (a) では、図 9 (e) のシード層 3 4 x が省略されて描かれている。

【 0 0 7 3 】

本実施形態では、金属柱 3 4 をめっきレジスト層 1 5 の開口部 1 5 a に電解めっきで形成するため、はんだボールなどを使用する場合に比べて金属柱 3 4 の狭ピッチで配列することができる。

【 0 0 7 4 】

例えば、金属柱 3 4 の直径は $60\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度 3 4 であり、金属柱 3 4 の高さは $80\ \mu\text{m} \sim 160\ \mu\text{m}$ 程度であり、金属柱 3 4 の配置ピッチは $100\ \mu\text{m}$ 程度である。

【 0 0 7 5 】

なお、上下の配線基板を接続する接続端子に狭ピッチ化が要求されない場合は、接続端子として、はんだボール、又は、銅コアなどの導体コアを有するはんだボールを使用してもよい。

【 0 0 7 6 】

さらに、図 8 (b) に示すように、加熱処理して金属柱 3 4 の先端のはんだ層 3 4 b をリフローさせることにより、はんだ層 3 4 b の上面側を半球状に丸める。

【 0 0 7 7 】

以上により、支持体 1 0 の上に金属柱 3 4 を含む上側コアレス配線基板 2 が形成された上側配線部材 U W が得られる。

【 0 0 7 8 】

なお、金属柱 3 4 を電解めっきに基づいて形成する方法を例示したが、金属ワイヤなどを切断して得られる金属柱部材を振込器で整列させて各パッド P にはんだなどで接合してもよい。

【 0 0 7 9 】

本実施形態では、前述したように、薄膜の上側コアレス配線基板 2 を製造する工程は、支持体 1 0 の上で行なわれるため、上側コアレス配線基板 2 に反りが発生するおそれがない。

【 0 0 8 0 】

次に、本実施形態の電子部品装置の下側配線基板として使用される下側コア有配線基板の製造方法について説明する。

【 0 0 8 1 】

最初に、図 1 0 の構造体を得るまでの製造方法を説明する。まず、コア層 4 0 を用意する。コア層 4 0 は、織布又は不織布などの繊維補強材に樹脂を含浸させて得られるガラスエポキシ樹脂やビスマレイミドトリアジン樹脂などの繊維補強材含有樹脂から形成される。コア層 4 0 が備える繊維補強材としては、ガラス繊維の他に、アラミド繊維又はカーボン繊維などがある。

【 0 0 8 2 】

コア層 4 0 の厚みは、例えば、 $80\ \mu\text{m} \sim 200\ \mu\text{m}$ であり、前述した図 8 (b) の上側コアレス配線基板 2 の 1 層の絶縁層 2 0 の厚み (例えば $30\ \mu\text{m}$) よりも厚く設定される。このように、コア層 4 0 の厚みは、剛性を確保するために上側コアレス配線基板 2 の 1 層の絶縁層 2 0 の厚みの 2 倍以上に設定されることが好ましい。

【 0 0 8 3 】

コア層 4 0 は、全体にわたって繊維補強材含有樹脂から形成され、ある程度の剛性を確保するため厚みが $80\ \mu\text{m}$ 以上に設定される。

【 0 0 8 4 】

なお、前述した図 8 (b) の上側コアレス配線基板 2 の絶縁層 2 0 内に薄膜の繊維補強材含有樹脂層を形成して強度を補強する場合があるが、これは補助層であってコア層ではない。

【 0 0 8 5 】

次いで、コア層 4 0 に厚み方向に貫通するスルーホール T H をドリルなどで形成する。

10

20

30

40

50

さらに、コア層 40 の両面に、スルーホール TH 内に形成された貫通導体 TC を介して相互接続される第 1 配線層 51 をそれぞれ形成する。

【0086】

貫通導体 TC 及び第 1 配線層 51 はフォトリソグラフィ及びめっき技術に基づいて形成される。貫通導体 TC 及び第 1 配線層 51 は銅などから形成される。また、配線層 51 の厚みは、例えば、 $10\ \mu\text{m} \sim 20\ \mu\text{m}$ 程度に設定される。

【0087】

コア層 40 に形成される貫通導体 TC は、スルーホール TH 内に銅めっき層などを充填して形成してもよい。この場合は、コア層 40 の両面側からレーザ加工を行い、コア層 40 の厚みの中央部分の直径がコア層 40 の表裏の開口端の直径よりも小さいスルーホール TH を形成する。そして、そのスルーホール TH 内に電解めっきによって銅層を充填して貫通導体 TC を形成する。

【0088】

あるいは、貫通導体 TC はスルーホール TH の側壁に形成されたスルーホールめっき層であってもよく、その場合はスルーホール TH の残りの孔に樹脂が充填される。

【0089】

コア層 40 に形成されるスルーホール TH は垂直方向にストレートに形成される。一方、前述した図 8 (b) の上側コアレス配線基板 2 の絶縁層 20 に形成されるビアホール VH はテーパ形状で形成される点でもコア層 40 と異なる。

【0090】

このように、コア層 40 は、厚みが $80\ \mu\text{m}$ 以上の繊維補強材含有樹脂層から形成され、ストレート形状のスルーホール TH を備える点で、コアレス基板の薄膜の絶縁層と差別化される。

【0091】

次いで、コア層 40 の両面側に第 1 配線層 51 の接続部上に第 1 ビアホール VH1 が配置された第 1 絶縁層 61 をそれぞれ形成する。第 1 絶縁層 61 の厚みは、例えば、 $20\ \mu\text{m} \sim 35\ \mu\text{m}$ 程度に設定される。

【0092】

第 1 絶縁層 61 は未硬化の樹脂フィルムを貼付し、加熱処理して硬化させることにより形成される。樹脂フィルムとしては、例えば、非感光性の熱硬化性の絶縁樹脂が使用される。そのような絶縁樹脂としては、例えば、エポキシ樹脂又はポリイミド樹脂などがある。また、第 1 ビアホール VH は第 1 絶縁層 61 をレーザ加工することによって形成される。

【0093】

続いて、コア層 40 の上面側の第 1 絶縁層 61 の上に、第 1 ビアホール VH1 内のビア導体 VC を介して第 1 配線層 51 に接続される金属層 23a をブランク状に全面に形成する。

【0094】

さらに詳しくは、まず、第 1 絶縁層 61 上及び第 1 ビアホール VH1 の内面に無電解めっき又はスパッタ法により銅などからなるシード層を形成する。その後に、シード層をめっき給電経路に利用する電解めっきにより銅めっき層などを形成して金属層 23a を得る。金属層 23a の厚みは、例えば、 $10\ \mu\text{m} \sim 20\ \mu\text{m}$ 程度に設定される。

【0095】

さらに同時に、コア層 40 の下面側の第 1 絶縁層 61 の上に第 1 ビアホール VH1 内のビア導体を介して第 1 配線層 51 に接続される第 2 配線層 52 を形成する。第 2 配線層 52 は、前述した図 7 (a) ~ (d) と同様なセミアディティブ法によって形成される。例えば、第 2 配線層 52 の厚みは $10\ \mu\text{m} \sim 20\ \mu\text{m}$ 程度に設定され、第 2 配線層 52 のライン (幅) : スペース (間隔) は $16\ \mu\text{m} : 16\ \mu\text{m}$ 程度に設定される。

【0096】

続いて、コア層 40 の下面側の第 1 絶縁層 61 の上に、第 2 配線層 52 の接続部上に開

10

20

30

40

50

口部 4 2 a が設けられたソルダレジスト層 4 2 を形成する。ソルダレジスト層 4 2 の厚みは、例えば、 $20\ \mu\text{m} \sim 40\ \mu\text{m}$ 程度に設定される。

【0097】

ソルダレジスト層 4 2 として、フェノール樹脂又はポリイミド樹脂などからなる感光性の絶縁樹脂が使用される。

【0098】

次いで、図 1 1 に示すように、CMP (Chemical Mechanical Polishing) によって、上面側の金属層 2 3 a を第 1 絶縁層 6 1 が露出するまで研磨し、さらに、第 1 絶縁層 6 1 の表面を研磨して平坦化する。

【0099】

これにより、第 1 配線層 5 1 の段差の影響で生じた第 1 絶縁層 6 1 のグローバル段差が解消され、第 1 絶縁層 6 1 の上面は平坦面として形成される。

【0100】

そして、第 1 絶縁層 6 1 の第 1 ビアホール V H 1 内にビア導体 V C がビア電極として残される。これにより、ビア導体 V C の上面と第 1 絶縁層 6 1 の上面とが同一面となって平坦化される。

【0101】

このように、コア層 4 0 の上面側に形成される金属層 2 3 a は下地の平坦化のために形成され、研磨によって除去される。平坦化された第 1 絶縁層 6 1 の上面の表面粗さは、第 1 ビアホール V H 1 の内面の表面粗さより小さくなる。平坦化前の第 1 絶縁層 6 1 の上面の表面粗さ (R a) は $300\ \text{nm} \sim 400\ \text{nm}$ であり、平坦化後の第 1 絶縁層 6 1 の上面の表面粗さ (R a) は $15\ \text{nm} \sim 40\ \text{nm}$ である。

【0102】

続いて、図 1 2 に示すように、コア層 4 0 の上面側の第 1 絶縁層 6 1 の上に、ビア導体 V C に接続される第 2 配線層 5 2 を形成する。第 2 配線層 5 2 は、前述した図 7 (a) ~ (d) と類似したセミアディティブ法で形成される。

【0103】

具体的には、まず、第 1 絶縁層 6 1 及びビア導体 V C の上に、スパッタ法により下から順にチタン層及び銅層を形成してシード層とする。続いて、第 2 配線層 5 2 が配置される部分に開口部が設けられためっきレジスト層をシード層の上に形成する。

【0104】

次いで、シード層をめっき給電経路に利用する電解めっきにより、めっきレジスト層の開口部に銅などの金属めっき層を形成する。さらに、めっきレジスト層を除去した後に、金属めっき層をマスクにしてシード層を除去することにより、第 2 配線層 5 2 が得られる。第 2 配線層 5 2 の厚みは、例えば、 $1\ \mu\text{m} \sim 3\ \mu\text{m}$ に設定される。

【0105】

第 1 絶縁層 6 1 の上面は平坦化されているため、微細パターンを形成する際にフォトリソグラフィの焦点深度が低下するとしても、基板内で精度よく微細なめっきレジストをパターンニングすることができる。

【0106】

これにより、ライン (幅) : スペース (間隔) が、例えば $2\ \mu\text{m} : 2\ \mu\text{m}$ の微細な第 2 配線層 5 2 を設計スペック内で歩留りよく形成することができる。後述する第 3 ~ 第 4 配線層及びパッドの形成においても同様である。

【0107】

続いて、図 1 3 に示すように、図 1 2 の第 1 絶縁層 6 1 及び第 2 配線層 5 2 の上に、感光性樹脂 (不図示) を形成し、フォトリソグラフィに基づいて露光・現像を行った後に、加熱処理して硬化させる。感光性樹脂の形成は、液状樹脂を塗布してもよいし、薄膜の樹脂フィルムを貼付してもよい。

【0108】

これにより、第 2 配線層 5 2 の接続部上に第 2 ビアホール V H 2 が配置された第 2 絶縁

10

20

30

40

50

層 6 2 が第 1 絶縁層 6 1 の上に形成される。

【 0 1 0 9 】

感光性樹脂をフォトリソグラフィによってパターニングすることにより、微細な第 2 ビアホール V H 2 を備えた薄膜の第 2 絶縁層 6 2 を形成することができる。第 2 絶縁層 6 2 の厚みは、例えば、5 μm ~ 10 μm 程度に設定される。

【 0 1 1 0 】

第 2 絶縁層 6 2 の好適な一例としては、感光性を有するフェノール系樹脂又はポリイミド樹脂から形成される永久レジスト層が使用される。以下の他の絶縁層を形成する際にも同様な樹脂材料及び形成方法が採用される。

【 0 1 1 1 】

続いて、前述したコア層 4 0 の上面側の第 2 配線層 5 2 の形成と同様なセミアディティブ法により、第 2 ビアホール V H 2 内のビア導体を介してコア層 4 0 の上面側の第 2 配線層 5 2 に接続される第 3 配線層 5 3 を第 2 絶縁層 6 2 の上に形成する。

【 0 1 1 2 】

次いで、第 2 絶縁層 6 2 と同様に、第 3 配線層 5 3 の接続部上に第 3 ビアホール V H 3 が配置された第 3 絶縁層 6 3 を第 2 絶縁層 6 2 の上に形成する。

【 0 1 1 3 】

さらに、同様に、第 3 絶縁層 6 3 の上に、第 3 ビアホール V H 3 内のビア導体を介して第 3 配線層 5 3 に接続される第 4 配線層 5 4 を形成する。

【 0 1 1 4 】

次いで、同様に、第 4 配線層 5 4 の接続部上に第 4 ビアホール V H 4 が配置された第 4 絶縁層 6 4 を第 3 絶縁層 6 3 の上に形成する。

【 0 1 1 5 】

さらに、同様に、第 4 絶縁層 6 4 の上に、第 4 ビアホール V H 4 内のビア導体を介して第 4 配線層 5 4 に接続されるパッド P を第 5 配線層として形成する。パッド P は、島状に配置されてもよく、引き出し配線の一端に配置されていてもよい。

【 0 1 1 6 】

第 2 絶縁層 6 2、第 3 絶縁層 6 3 及び第 4 絶縁層 6 4 の各厚みは、第 1 絶縁層 6 1 の厚みよりも薄く設定される。また、コア層 4 0 の上面側の第 2 配線層 5 2、第 3 配線層 5 3 及び第 4 配線層 5 4 の各々のライン（幅）：スペース（間隔）は、第 1 配線層 5 1 及びコア層 4 0 の下面側の第 2 配線層 5 2 の各々のライン（幅）：スペース（間隔）よりも狭く設定されている。

【 0 1 1 7 】

以上により、第 1 実施形態の電子部品装置で使用される下側コア有配線基板 1 が得られる。

【 0 1 1 8 】

次に、図 1 4 に示すように、電子部品として 2 つの半導体チップ 7 0 を用意し、各半導体チップ 7 0 のパンプ電極 7 2 を下側コア有配線基板 1 の中央部のパッド P にフリップチップ接続して搭載する。その後、各半導体チップ 7 0 と下側コア有配線基板 1 との間の隙間にアンダーフィル樹脂 7 4 を充填する。

【 0 1 1 9 】

ここで、半導体チップ 7 0 をフリップチップ接続する際のリフロー加熱時に、半導体チップ 7 0 と下側コア有配線基板 1 との熱膨張係数の違いに基づいて熱応力が発生するため、下側コア有配線基板 1 がチップ搭載側に凸状に反った状態となる。

【 0 1 2 0 】

なお、図 1 4 の例では、電子部品として半導体チップ 7 0 を搭載しているが、キャパシタ、抵抗素子、インダクタ素子などの各種の電子部品を搭載してもよい。

【 0 1 2 1 】

次に、上記した図 1 4 の半導体チップ 7 0 が搭載された下側コア有配線基板 1 の上に、前述した図 8 (b) の上側配線部材 U W を積層する方法について説明する。

【0122】

図15に示すように、図14の下側コア有配線基板1の周縁側のパッドPの上に上側配線部材UWの金属柱34の先端のはんだ層34bが配置されるように、下側コア有配線基板1の上に上側配線部材UWを積層する。

【0123】

さらに、図16に示すように、加熱処理を行うことによって金属柱34のはんだ層34bをリフローさせて、下側コア有配線基板1のパッドPと上側配線部材UWの金属柱34とを接合する。

【0124】

これにより、半導体チップ70は、金属柱34によって構築される下側コア有配線基板1と上側配線部材UWとの間のスペースに収容された状態となる。

10

【0125】

さらに、図17に示すように、下側コア有配線基板1と上側配線部材UWとの間に封止樹脂76を充填する。封止樹脂76は、例えば、エポキシ樹脂から形成され、トランスモールドによって充填される。これにより、半導体チップ70が封止樹脂76によって封止される。

【0126】

この時点で、下側コア有配線基板1に発生している凸状の反りは、上側配線部材UWの支持体10によって矯正される。

【0127】

20

その後に、図18に示すように、図17の上側配線部材UWから支持体10をウェットエッチングによって除去する。支持体10が銅からなる場合は、アルカリ系のウェットエッチング液を使用することにより、パッドPの最外の金属層又はニッケル層、及び絶縁層20に対して選択的に支持体10をエッチングすることができる。

【0128】

このようにして、上側配線部材UWから支持体10が除去されて上側コアレス配線基板2が残される。

【0129】

ここで、本実施形態と違って、上側コアレス配線基板2の絶縁層20の上面側に補強層Rが形成されていない場合は、支持体10が除去された上側コアレス配線基板2は剛性が弱いため、下側コア有配線基板1が残留応力によって凸状の反りに戻ってしまう。

30

【0130】

しかし、本実施形態では、上側コアレス配線基板2は上面側に補強層Rを備えているため、下側コア有配線基板1が凸状に反ろうとする応力を打ち消すことができる。これにより、上側配線部材UWから支持体10が除去された後でも、補強層Rの作用によって下側コア有配線基板1の反りが矯正されたままの状態となる。

【0131】

なお、前述したように、パッドPの金属層又はニッケル層の外面側に銅層を形成しておくことで、絶縁層20の外面から内部に沈み込んで配置されるパッドPを形成することができる。

40

【0132】

次いで、図19に示すように、下側コア有配線基板1の下面側の第2配線層52にはんだボールを搭載するなどして外部接続端子Tを形成する。

【0133】

さらに、図20に示すように、下側コア有配線基板1及び上側コアレス配線基板2が複数の製品領域を備えた多面取り用の大型基板である場合は、各製品領域が得られるように、上側コアレス配線基板2の上面から下側コア有配線基板1の下面まで切断される。

【0134】

以上により、第1実施形態の電子部品装置3が得られる。

【0135】

50

図20に示すように、第1実施形態の電子部品装置3は、半導体チップ70が搭載された下側コア有配線基板1と、半導体チップ70を収容するようにして下側コア有配線基板1の上に金属柱34を介して積層された上側コアレス配線基板2とを備えている。

【0136】

下側コア有配線基板1は、厚み方向の内部にコア層40を備えている。コア層40の両面側に第1配線層51がそれぞれ形成されている。コア層40には貫通導体TCが形成されており、両面側の第1配線層51は貫通導体TCを介して相互接続されている。

【0137】

コア層40の両面側には第1配線層51の接続部上に第1ビアホールVH1が配置された第1絶縁層61がそれぞれ形成されている。コア層40の下面側の第1絶縁層61の上には、第1ビアホールVH1を介して第1配線層51に接続される第2配線層52が形成されている。

10

【0138】

さらに、コア層40の下面側の第1絶縁層61の上には、第2配線層52の接続部上に開口部42aが設けられたソルダレジスト層42が形成されている。

【0139】

ソルダレジスト層42の開口部42a内の第2配線層52に外部接続端子Tが形成されている。

【0140】

また、コア層40の上面側の第1絶縁層61の第1ビアホールVH1内にはビア導体VCが充填されている。コア層40の上面側の第1絶縁層61の上面は研磨によって平坦化されており、第1絶縁層61の上面とビア導体VCの上面とは面一となっている。

20

【0141】

上面側の第1絶縁層61の上にはビア導体VCに接続された第2配線層52が形成されている。

【0142】

さらに、平坦化された第1絶縁層61の上に、第2配線層52に接続される微細な多層配線層MRが形成されている。多層配線層MRは、第2配線層52、第2絶縁層62、第3配線層53、第3絶縁層63、第4配線層54、第4絶縁層64、及びパッドPが順に積層されて形成されている。

30

【0143】

第2配線層52は、第2絶縁層62に形成された第2ビアホールVH2を介して第3配線層53に接続されている。また、第3配線層53は、第3絶縁層63に形成された第3ビアホールVH3を介して第4配線層54に接続されている。さらに、第4配線層54は第4絶縁層64に形成された第4ビアホールVH4を介してパッドPに接続されている。

【0144】

前述したように、多層配線層MRは平坦化された第1絶縁層61の上に形成されるため、第1配線層51の配線ピッチよりも狭く設定することができる。

【0145】

以上のようにして、下側コア有配線基板1が構築されている。そして、下側コア有配線基板1の中央部のパッドPに2つの半導体チップ70のバンプ電極72がフリップチップ接続されている。さらに、半導体チップ70の下側にアンダーフィル樹脂74が充填されている。

40

【0146】

微細な多層配線層MRの全体の厚みをソルダレジスト層42の厚みと同じに設定するか、あるいはソルダレジスト層42の厚み以下とすることにより、下側コア有配線基板1自体の反りを低減することができる。

【0147】

これは、コア層40の上下側で、絶縁層やソルダレジスト層の体積及び配線層の体積の釣り合いがとれるようになるからである。

50

【 0 1 4 8 】

下側コア有配線基板 1 の上に積層された上側コアレス配線基板 2 はコア層を有していない。上側コアレス配線基板 2 は基板として薄膜の絶縁層 2 0 を有し、絶縁層 2 0 の上面（外面）側の中央部に補強層 R が形成されている。また、絶縁層 2 0 の上面の補強層 R の周囲の領域に複数のパッド P が並んで形成されている。

【 0 1 4 9 】

補強層 R はパッド P（配線層）と同一層から形成され、各々の側面及び下面が絶縁層 2 0 に埋め込まれており、各々の上面が絶縁層 2 0 から露出している。これは前述したように、支持体 1 0 の上に上側コアレス配線基板 2 が形成された上側配線部材 U W から支持体 1 0 が除去され、その上側コアレス配線基板 2 が上下反転して配置されたためである。

10

【 0 1 5 0 】

絶縁層 2 0 にはパッド P に到達するビアホール V H が形成されている。ビアホール V H は上部から下部になるにつれて直径が大きくなる逆テーパ形状となって形成されている。これは、パッド P 上の絶縁層 2 0 を上面からレーザ加工してビアホール V H し、そのビアホール V H が上下反転して配置されたためである。

【 0 1 5 1 】

上記した下側コア有配線基板 1 の第 1 ～ 第 4 ビアホール V H 1 ～ V H 4 は上部から下部になるにつれて直径が小さくなる順テーパ形状であり、上側コアレス配線基板 2 のビアホール V H と逆の形状になっている。

【 0 1 5 2 】

また、絶縁層 2 0 の下面にはビアホール V H 内のビア導体を介してパッド P に接続される配線層 3 0 が形成されている。配線層 3 0 はその側面及び下面が絶縁層 2 0 から露出した状態で形成されている。

20

【 0 1 5 3 】

また、絶縁層 2 0 の下面には、配線層 3 0 の接続部上に開口部 2 4 a が設けられたソルダレジスト層 2 4 が形成されている。ソルダレジスト層 2 4 の開口部 2 4 a に配線層 2 0 に接続される金属柱 3 4 が形成されている。

【 0 1 5 4 】

そして、上側コアレス配線基板 2 に形成された金属柱 3 4 の先端がはんだ層 3 4 b によって下側コア有配線基板 1 の周縁側のパッド P に接合されている。

30

【 0 1 5 5 】

このように、上側コアレス配線基板 2 では、絶縁層 2 0 と配線層 3 0 及びパッド P とが積層されている。そして、絶縁層 2 0 のビアホール V H 内に形成された全てのビア導体は、電子部品装置 3 の外面側の直径が電子部品装置 3 の内方側の直径よりも小さい円錐台形状となっている。

【 0 1 5 6 】

さらに、下側コア有配線基板 1 と上側コアレス配線基板 2 の間に封止樹脂 7 6 が充填されており、半導体チップ 7 0 が封止樹脂 7 6 で封止されている。

【 0 1 5 7 】

第 1 実施形態の電子部品装置 3 では、半導体チップ 7 0 が搭載された下側コア有配線基板 1 は凸状に反ろうとする残留応力を有している。また、上側コアレス配線基板 2 では、その絶縁層 2 0 の上面側に補強層 R が形成されている。

40

【 0 1 5 8 】

本実施形態では、前述した図 2 のシミュレーション結果のように、上側コアレス配線基板 2 の補強層 R の作用によって下側コア有配線基板 1 内の凸状に反ろうとする残留応力を打ち消すことができる。このため、電子部品装置 3 に反りが発生することが防止される。

【 0 1 5 9 】

前述した図 2 のシミュレーション結果のように、下側コア有配線基板 1 に搭載された半導体チップ 7 0 からある程度離れた位置の上側コアレス配線基板 2 の絶縁層 2 0 の上面側に補強層 R を配置することが肝要である。

50

【0160】

また、補強層 R は半導体チップ 70 に対応する領域に配置される。補強層 R の面積は、半導体チップ 70 の面積よりも一回り小さく設定してもよいし、あるいは半導体チップ 70 の面積より大きく設定されてもよい。好適には、補強層 R の面積は、半導体チップ 70 の面積の 0.8 倍 ~ 2 倍程度に設定される。

【0161】

図 20 のように、複数の半導体チップ 70 が搭載される場合は、複数の半導体チップ 70 が配置された一括した領域を半導体チップ 70 の面積とすればよい。

【0162】

補強層 R は、平面視して半導体チップ 70 の搭載領域と重複して配置される。

10

【0163】

なお、上側コアレス配線基板 2 の全体の厚みを下側コア有配線基板 1 のコア層 40 の厚みより薄くしてもよい。この場合でも、補強層 R の存在により電子部品装置 3 の反りの発生を防止することができる。

【0164】

また、第 1 実施形態の電子部品装置 3 では、上側配線基板をコアレス基板としているため、薄型化を図ることができる。また、高性能な半導体チップ 70 の高密度実装に合わせて、金属柱 34 の配列を狭ピッチ化できるため、小型化を図ることができる。

【0165】

例えば、下側コア有配線基板 1 の接続端子 T を除く厚みは、200 ~ 250 μm 程度であり、上側コアレス配線基板 2 の金属柱 34 を除く厚みは 70 μm ~ 100 μm である。このように、コアレス基板とすることにより、コア有基板よりもの厚みをかなり薄くすることができる。

20

【0166】

図 21 の部分平面図に示すように、補強層 R は、前述した図 1 (平面図) で示したような一括した四角パターンの他に、一括パターンの内部に複数のガス抜き孔 G が開口されていてよい。補強層 R のガス抜き孔 G 内には絶縁層 20 の樹脂が充填されている。

図 21 の例では、四角状のガス抜き孔 G によって補強層 R が格子状に形成されているが、円形や六角形などの各種の形状を採用することができる。

【0167】

30

これにより、各種の加熱処理によって電子部品装置 3 内でガスが発生するとしても、ガスが補強層 R の下に留まって膨張するおそれなくなり、層間剥離などが発生することが防止される。

【0168】

以上説明したように、第 1 実施形態の電子部品装置 3 では、下側コア有配線基板 1 と上側コアレス配線基板 2 とを用いている。多層配線層 MR を有する下側コア有配線基板 1 では、平坦化された第 1 絶縁層 61 の上に多層配線層 MR が形成されている。このため、一般的なコア層を有する配線基板と比較し、多層配線層 MR のライン (幅) : スペース (間隔) を狭くすることができる。

【0169】

40

よって、多層配線層 MR に、金属柱 34 や半導体チップ 70 を接続するためのパッド P を高密度で配置することができる。これにより、下側コア有配線基板 1 の平面的なサイズを小型化することができる。

【0170】

また同様に、上側コアレス配線基板 2 を製造する際には、平坦な支持体 10 の上に絶縁層と配線層とが積層される。このため、一般的なコア層を有する配線基板と比較し、配線層のライン (幅) : スペース (間隔) を狭くすることができる。

【0171】

よって、上側コアレス配線基板 2 に、金属柱 34 や半導体チップ 70 を接続するためのパッドを高密度で配置することができる。これにより、上側コアレス配線基板 2 の平面的

50

なサイズを小型化することができる。しかも、上側コアレス配線基板 2 はコア層を有さないため、配線基板を薄型化することができる。

【0172】

また、下側コア有配線基板 1 と上側コアレス配線基板 2 とを接続する接続端子として、はんだボールよりも狭ピッチ化が可能な金属柱 34 を使用している。

【0173】

このように、第 1 実施形態の電子部品装置 3 では、上記した配線基板及び接続端子を用いるため、さらなる小型化及び薄型化が可能になる。

【0174】

図 22 には、第 1 実施形態の電子部品装置 3 の使用例が示されている。図 22 に示すように、さらに、別の半導体パッケージ 8 を用意する。半導体パッケージ 8 は、配線基板 80 の上面のパッド P に半導体チップ 90 のバンプ電極 92 がフリップチップ接続されている。半導体チップ 90 と配線基板 80 との間にアンダーフィル樹脂 94 が充填されている。

10

【0175】

そして、半導体パッケージ 8 の配線基板 80 の下面のパッド P がはんだ電極 96 を介して、電子部品装置 3 の上側コアレス配線基板 2 の上面側のパッド P に接続されている。

【0176】

例えば、電子部品装置 3 の半導体チップ 70 は CPU などのロジックチップであり、半導体パッケージ 8 の半導体チップ 90 は DRAM などのメモリチップである。

20

【0177】

さらに、下側コア有配線基板 1 の外部接続端子 T がマザーボードなどの実装基板の接続電極（不図示）に接続される。

【0178】

本実施形態の電子部品装置 3 では、反りの発生が防止されるため、電子部品装置 3 の上に別の半導体パッケージ 8 を信頼性よく接続することができる。また同様な理由で、電子部品装置 3 の外部接続端子 T を信頼性よく実装基板に接続することができる。

【0179】

図 22 の例では、電子部品装置 3 の上に別の半導体パッケージ 8 を搭載しているが、半導体チップ、チップキャパシタ、インダクタ、又は抵抗などの各種の電子部品を搭載してもよい。

30

【0180】

例えば、半導体チップを搭載する場合は、上側コアレス配線基板 2 のパッド P に半導体チップの電極をフリップチップ接続し、半導体チップと絶縁層 20 との間にアンダーフィル樹脂を充填する。

【0181】

図 23 には、第 1 実施形態の第 1 変形例の電子部品装置 3a が示されている。図 23 の第 1 変形例の電子部品装置 3a のように、前述した図 20 の電子部品装置 3 において、上側コアレス配線基板 2 の下面側のソルダレジスト層 24 を省略してもよい。これにより、ソルダレジスト層 24 の厚み分（例えば 20 μm ）だけ電子部品装置を薄型化することができる。

40

【0182】

図 24 には、第 1 実施形態の第 2 変形例の電子部品装置 3b が示されている。図 24 の第 2 変形例の電子部品装置 3b のように、前述した図 20 の電子部品装置 3 において、上側コアレス配線基板 2 の上面側にパッド P 上に開口部 26a が設けられたソルダレジスト層 26 を形成してもよい。

【0183】

これにより、前述した図 22 のように他の半導体パッケージ 8 を上側コアレス配線基板 2 のパッド P に接続する際に、はんだ電極 96 のはんだがソルダレジスト層 26 でせき止められる。よって、パッド P が狭ピッチ化される場合であっても、はんだ電極 96 同士の

50

電気ショートが発生が防止される。

【0184】

また、図25には、第1実施形態の第3変形例の電子部品装置3cが示されている。図25に示すように、第3変形例の電子部品装置3cでは、前述した図20の電子部品装置3において、上側コアレス配線基板2の配線層が多層化され、内部の絶縁層に補強層Rが埋め込まれている。

【0185】

詳しく説明すると、第1絶縁層21の上面の全体領域に複数のパッドPが形成されている。パッドPの側面及び下面が第1絶縁層21に埋め込まれている。第1絶縁層21の下面の中央部に補強層Rが形成されている。

10

【0186】

また、第1絶縁層21の下面の補強層Rの周囲には、第1絶縁層21に形成された第1ビアホールVH1内のビア導体を介してパッドPに接続される第1配線層31が形成されている。

【0187】

また、第1絶縁層21の下には第1配線層31に到達する第2ビアホールVH2が設けられた第2絶縁層22が形成されている。さらに、第2絶縁層22の下面には、第2ビアホールVH2を介して第1配線層31に到達する第2配線層32が形成されている。

【0188】

そして、上側コアレス配線基板2の第2配線層32に金属柱34が接続されている。他の要素は前述した図20の電子部品装置3と同じである。

20

【0189】

前述した図20の電子部品装置3では、上側コアレス配線基板2の絶縁層20の上面の中央部に補強層Rが配置されるため、パッドPを絶縁層20の上面の全体領域に配置する要求がある場合に容易に対応することはできない。

【0190】

これに対して、第3変形例の電子部品装置3cでは、多層配線を採用し、補強層Rの上に第1絶縁層21が形成されるため、第1絶縁層21の上面の全体領域に複数のパッドPを配置することができる。

【0191】

30

図26～図28には、第1実施形態の電子部品装置の別の製造方法が示されている。前述した電子部品装置の製造方法では、上側コアレス配線基板2に金属柱34を形成している。

【0192】

電子部品装置の別の製造方法では、図26に示すように、前述した図13の下側コア有配線基板1を用意し、下側コア有配線基板1の周縁側のパッドPに金属柱34を形成する。金属柱34は、前述した図8及び図9と同様な方法によって形成される。

【0193】

さらに、図27に示すように、金属柱34が形成された下側コア有配線基板1の中央部のパッドPに半導体チップ70の bumps 電極72をフリップチップ接続した後に、その下側にアンダーフィル樹脂74を充填する。

40

【0194】

次いで、図28に示すように、下側コア有配線基板1の金属柱34の上に前述した図6(b)の上側配線部材UWのパッドPを配置する。さらに、加熱処理を行うことによって金属柱34のはんだ層34bをリフローさせて、下側コア有配線基板1の金属柱34と上側配線部材UWのパッドPとを接合する。その後、図29に示すように、上側配線部材UWから支持体10が除去される。

【0195】

これにより、図29に示すように、前述した図20の電子部品装置3と実質的に同一構造の電子部品装置3dが得られる。前述した図20の電子部品装置3では、金属柱34の

50

はんだ層 3 4 b が下側コア有配線基板 1 のパッド P に接合される。これとは逆に、図 2 8 の電子部品装置 3 d では、金属柱 3 4 のはんだ層 3 4 b が上側コアレス配線基板 2 のパッド P に接合される。

【 0 1 9 6 】

(第 2 の実施の形態)

図 3 0 ~ 図 3 3 は第 2 実施形態の電子部品装置の製造方法を示す図、図 3 4 は第 2 実施形態の電子部品装置を示す図である。

【 0 1 9 7 】

第 2 実施形態では、下側配線基板及び上側配線基板として、共に、コア層を有さないコアレス配線基板を使用する。

10

【 0 1 9 8 】

図 3 0 に示すように、前述した第 1 実施形態の図 3 (a) ~ 図 6 (b) の工程を遂行することにより、図 6 (b) の上側配線部材 U W と実質的に同一構造の下側配線部材 L W を作成する。図 3 0 の下側配線部材 L W は、図 6 (b) の上側配線部材 U W の配線層 3 0 がパッド P として形成される点で図 6 (b) と異なり、他の要素は同一である。

【 0 1 9 9 】

次いで、図 3 1 に示すように、下側配線部材 L W の中央部のパッド P に半導体チップ 7 0 のパンプ電極 7 2 をフリップチップ接続する。このとき、第 1 実施形態と同様に、半導体チップ 7 0 と下側配線部材 L W との間の熱膨張係数の差に基づいて発生する熱応力が内部に残留する。この時点では、下側配線部材 L W は支持体 1 0 を有するため、見かけ上は反りは発生しない。

20

【 0 2 0 0 】

その後、半導体チップ 7 0 の下側の隙間にアンダーフィル樹脂 7 4 を充填する。

【 0 2 0 1 】

続いて、図 3 2 に示すように、前述した第 1 実施形態の図 8 (b) と同一構造の金属柱 3 4 が形成された上側配線部材 U W を用意する。そして、下側配線部材 L W の周縁側のパッド P に上側配線部材 U W の金属柱 3 4 を配置する。

【 0 2 0 2 】

さらに、加熱処理を行うことによって金属柱 3 4 のはんだ層 3 4 b をリフローさせて、下側配線部材 L W のパッド P と上側配線部材 U W の金属柱 3 4 とを接合する。

30

【 0 2 0 3 】

さらに、下側配線部材 L W と上側配線部材 U W との間に封止樹脂 7 6 を充填して、半導体チップ 7 0 を封止する。その後、図 3 3 に示すように、下側配線部材 L W 及び上側配線部材 U W から支持体 1 0 をそれぞれ除去する。

【 0 2 0 4 】

これにより、下側配線部材 L W 及び上側配線部材 U W から下側コアレス配線基板 1 a 及び上側コアレス配線基板 2 が得られる。下側コアレス配線基板 1 a の絶縁層 2 0 の下面側に補強層 R 及びパッド P が露出する。また同様に、上側コアレス配線基板 2 の絶縁層 2 0 の上面側に補強層 R 及びパッド P が露出する。

【 0 2 0 5 】

40

さらに、図 3 4 に示すように、下側配線基板 1 a の下面に露出するパッド P にはんだボールを搭載するなどして外部接続端子 T を設ける。その後、必要に応じて、各製品領域が得られるように、上側コアレス配線基板 2 及び下側コアレス配線基板 1 a を切断する。

【 0 2 0 6 】

以上により、第 2 実施形態の電子部品装置 4 が得られる。

【 0 2 0 7 】

図 3 4 に示すように、第 2 実施形態の電子部品装置 4 では、下側配線基板として下側コアレス配線基板 1 a が使用され、上側配線基板として上側コアレス配線基板 2 が使用されており、上下の基板が共にコアレス基板となっている。

【 0 2 0 8 】

50

下側コアレス配線基板 1 a の中央部のパッド P に 2 つの半導体チップ 7 0 のバンプ電極 7 2 がフリップチップ接続されている。半導体チップ 7 0 の下側にはアンダーフィル樹脂 7 4 が充填されている。

【 0 2 0 9 】

上側コアレス配線基板 2 に形成された金属柱 3 4 の先端が下側コアレス配線基板 1 a の周縁側のパッド P にはんだ層 3 4 b によって接合されている。

【 0 2 1 0 】

半導体チップ 7 0 は金属柱 3 4 によって構築される下側コアレス配線基板 1 a と上側コアレス配線基板 2 との間のスペースに収容されている。さらに、下側コアレス配線基板 1 a と上側コアレス配線基板 2 との間に封止樹脂 7 6 が充填されて、半導体チップ 7 0 が封止樹脂 7 6 で封止されている。

10

【 0 2 1 1 】

第 2 実施形態では、上側コアレス配線基板 2 の絶縁層 2 0 の上面（外面）側に補強層 R が形成されているばかりでではなく、下側コアレス配線基板 1 a の絶縁層 2 0 の下面（外面）側にも補強層 R が形成されている。

【 0 2 1 2 】

これにより、下側配線部材 L W 及び上側配線部材 U W から支持体 1 0 をそれぞれ除去した後に、半導体チップ 7 0 が搭載された下側コアレス配線基板 1 a の残留応力が解放されるとしても、両面側の補強層 R の作用により反りの発生が防止される。

【 0 2 1 3 】

20

また、下側配線基板及び上側配線基板が共にコアレス基板であるため、第 1 実施形態よりもさらに薄型化を図ることができる。

【 0 2 1 4 】

（第 3 の実施の形態）

図 3 5 ～図 3 9 は第 3 実施形態の電子部品装置の製造方法を示す図、図 4 0 は第 3 実施形態の電子部品装置を示す図である。

【 0 2 1 5 】

第 3 実施形態では、第 1 実施形態と逆に、下側配線基板として下側コアレス配線基板を使用し、上側配線基板として上側コア有配線基板を使用する。

【 0 2 1 6 】

30

まず、図 3 5 に示すように、前述した第 1 実施形態の図 1 2 の製造途中の配線部材の第 2 配線層 5 2 をパッド P として形成する。さらに、第 1 絶縁層 6 1 の上に、周縁側のパッド P 上に開口部 2 4 a が設けられたソルダレジスト層 2 4 を形成する。

【 0 2 1 7 】

続いて、前述した第 1 実施形態の図 8 ～図 9 と同様な方法により、ソルダレジスト層 2 4 の開口部 2 4 a 内のパッド P の上に金属柱 3 4 を形成する、

これにより、第 3 実施形態で使用される上側コア有配線基板 2 a が得られる。あるいは、前述した第 1 実施形態の図 1 3 のような多層配線層 M R（図 2 0）を有する下側コア有配線基板 1 を用い、その多層配線層 M R のパッド P に金属柱 3 4 を設けて、上側コア有配線基板 2 a としてもよい。

40

【 0 2 1 8 】

次に、図 3 6 に示すように、前述した第 2 実施形態の図 3 0 と同一の下側配線部材 L W を用意する。続いて、図 3 7 に示すように、前述した第 2 実施形態の図 3 1 と同様に、下側配線部材 L W の中央部のパッド P に半導体チップ 7 0 のバンプ電極 7 2 をフリップチップ接続する。

【 0 2 1 9 】

このとき、第 1 実施形態と同様に、半導体チップ 7 0 と下側配線部材 L W との間の熱膨張係数の差に基づいて発生する熱応力が内部に残留する。この時点では、第 2 実施形態と同様に、下側配線部材 L W は支持体 1 0 を有するため、見かけ上は反りは発生しない。その後に、半導体チップ 7 0 の下側にアンダーフィル樹脂 7 4 を充填する。

50

【 0 2 2 0 】

次いで、図 3 8 に示すように、下側配線部材 L W のパッド P に図 3 5 の上側コア有配線基板 2 a の金属柱 3 4 を配置する。

【 0 2 2 1 】

続いて、加熱処理を行うことによって金属柱 3 4 のはんだ層 3 4 b をリフローさせて、下側配線部材 L W のパッド P と上側コア有配線基板 2 a の金属柱 3 4 とを接合する。これにより、半導体チップ 7 0 は、金属柱 3 4 によって構築される下側配線部材 L W と上側コア有配線基板 2 a との間のスペースに収容される。

【 0 2 2 2 】

さらに、下側配線部材 L W と上側コア有配線基板 2 a との間に封止樹脂 7 6 を充填して、半導体チップ 7 0 を封止する。

10

【 0 2 2 3 】

次いで、図 3 9 に示すように、図 3 8 の下側配線部材 L W から支持体 1 0 を除去する。これにより、下側コアレス配線基板 1 a が得られ、その下面に補強層 R 及びパッド P が露出する。その後、図 4 0 に示すように、下側配線基板 1 a の下面から露出するパッド P にはんだボールを搭載するなどして外部接続端子 T を形成する。

【 0 2 2 4 】

その後、必要に応じて、各製品領域が得られるように、上側コア有配線基板 2 a 及び下側コアレス配線基板 1 a を切断する。以上により、第 3 実施形態の電子部品装置 5 が得られる。

20

【 0 2 2 5 】

図 4 0 に示すように、第 3 実施形態の電子部品装置 5 では、下側配線基板として下側コアレス配線基板 1 a が使用され、上側配線基板として上側コア有配線基板 2 a が使用される。下側コアレス配線基板 1 a の中央部のパッド P に半導体チップ 7 0 のバンプ電極 7 2 がフリップチップ接続されている。

【 0 2 2 6 】

半導体チップ 7 0 の下側にはアンダーフィル樹脂 7 4 が充填されている。半導体チップ 7 0 は、金属柱 3 4 によって構築される下側コアレス配線基板 1 a と上側コア有配線基板 2 a との間のスペースに収容されている。

【 0 2 2 7 】

上側コア有配線基板 2 a に形成された金属柱 3 4 の先端が下側コアレス配線基板の周縁側のパッド P にはんだ層 3 4 b によって接合されている。

30

【 0 2 2 8 】

さらに、下側コアレス配線基板 1 a と上側コア有配線基板 2 a との間に封止樹脂 7 6 が充填されて、半導体チップ 7 0 が封止樹脂 7 6 で封止されている。

【 0 2 2 9 】

第 3 実施形態では、下側コアレス配線基板 1 a の絶縁層 2 0 の下面（外面）側に補強層 R が形成されている。

【 0 2 3 0 】

これにより、半導体チップ 7 0 が搭載された下側配線部材 L W から支持体 1 0 を除去した後に、下側コアレス配線基板 1 a の残留応力が解放されるとしても、下側コアレス配線基板 1 a の下面（外面）側の補強層 R の作用により反りを低減させることができる。

40

【 符号の説明 】

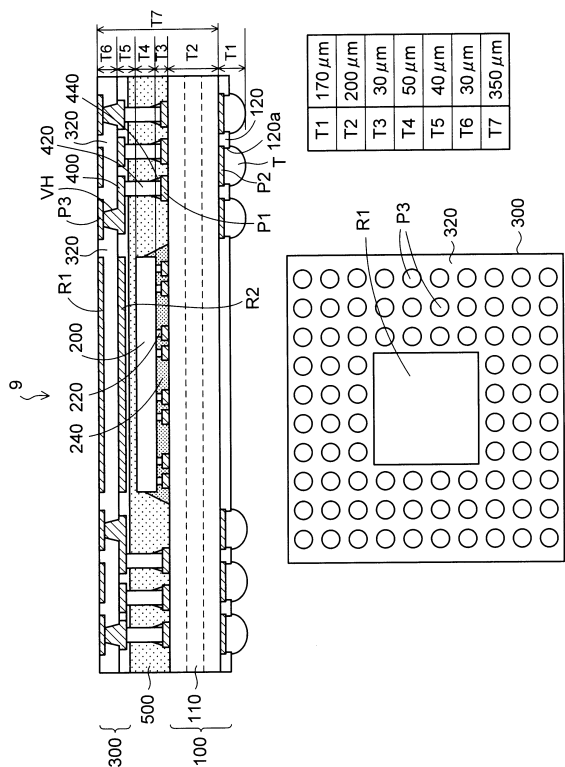
【 0 2 3 1 】

1 ... 下側コア有配線基板、 1 a ... 下側コアレス配線基板、 2 ... 上側コアレス配線基板、 2 a ... 上側コア有配線基板、 3 , 3 a , 3 b , 3 c , 3 d , 4 , 5 ... 電子部品装置、 8 ... 半導体パッケージ、 1 0 ... 支持体、 1 1 , 1 3 , 1 5 ... めっきレジスト層、 1 1 a , 1 3 a , 1 5 a , 2 4 a , 2 6 a , 4 2 a ... 開口部、 2 0 , 2 1 , 2 2 ... 絶縁層、 2 4 , 2 6 , 4 4 ... ソルダレジスト層、 2 3 a ... 金属層、 3 0 , 3 1 , 3 2 ... 配線層、 3 0 a , 3 4 x ... シード層、 3 0 b , 3 4 y ... 金属めっき層、 3 4 ... 金属柱、 3 4 a ... 柱部、 3 4 b ... は

50

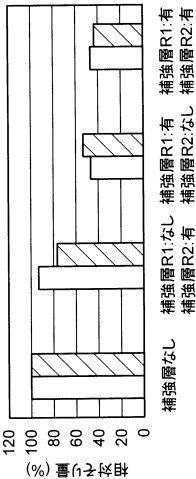
んだ層、40...コア層、51...第1配線層、52...第2配線層、53...第3配線層、54...第4配線層、61...第1絶縁層、62...第2絶縁層、63...第3絶縁層、64...第4絶縁層、70,90...半導体チップ、72,92...パンプ電極、74,94...アンダーフィル樹脂、76...封止樹脂、80...配線基板、96...はんだ電極、P...パッド、G...ガス抜き孔、LW...下側配線部材、UW...上側配線部材、R...補強層、T...外部接続端子、TC...貫通導体、TH...スルーホール、VC...ビア導体、VH1,VH1,VH2,VH3...ビアホール。

【図1】

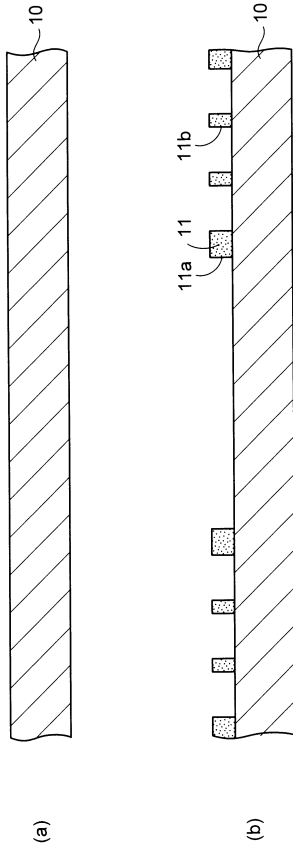


【図2】

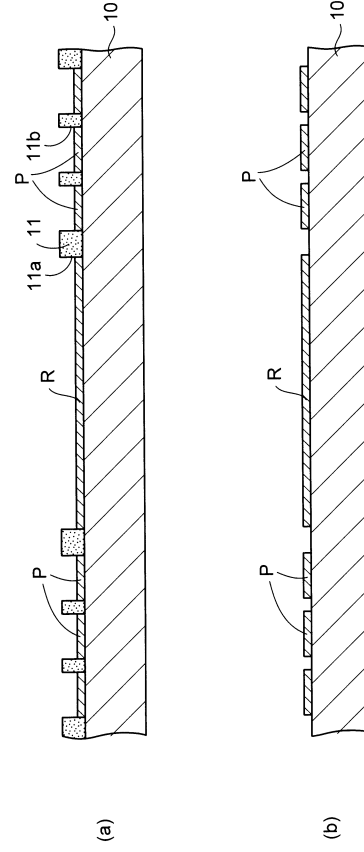
	LEG1	LEG2	LEG3	LEG4
	補強層なし	補強層R1なし 補強層R2有	補強層R1有 補強層R2なし	補強層R1有 補強層R2有
室温	100%	94%	46%	46%
260℃	100%	77%	54%	42%



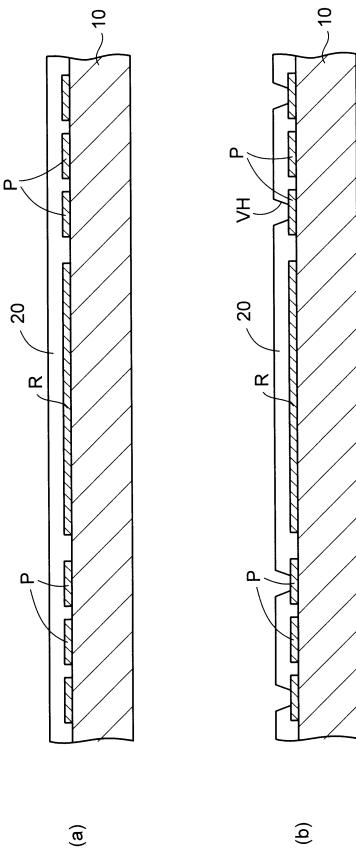
【図 3】



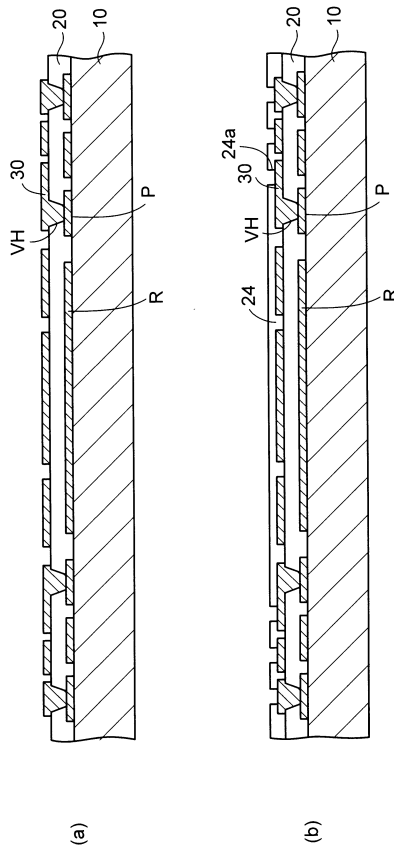
【図 4】



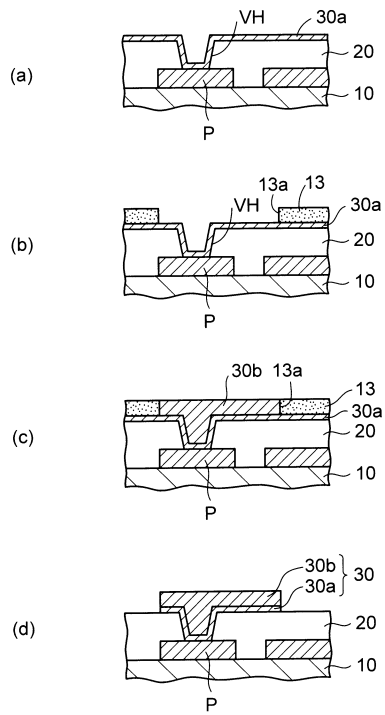
【図 5】



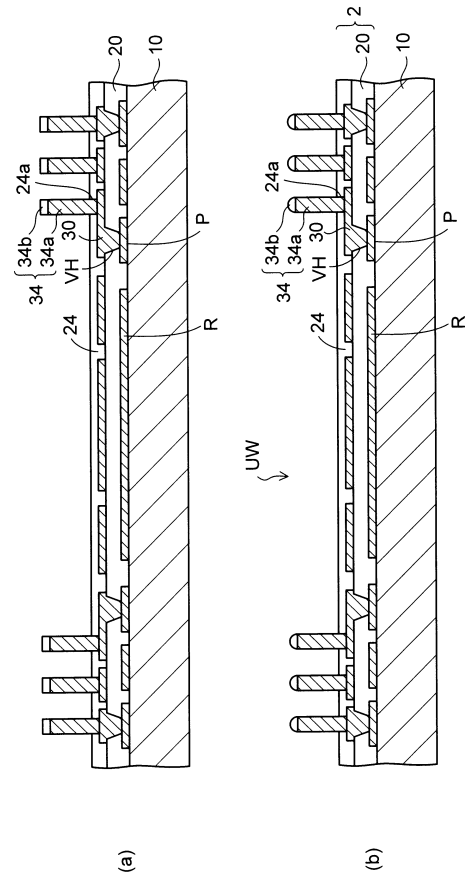
【図 6】



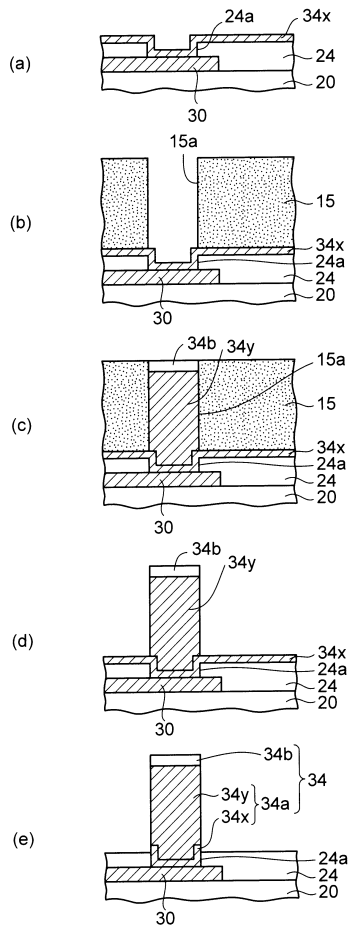
【図 7】



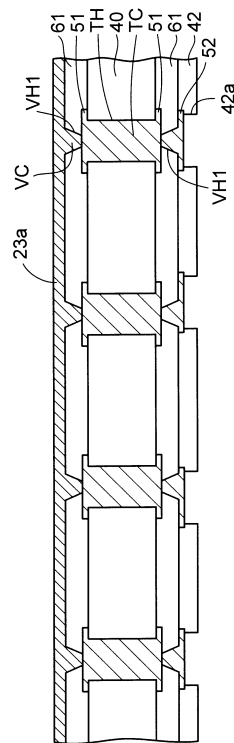
【図 8】



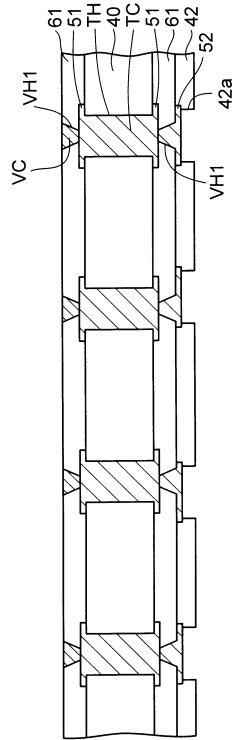
【図 9】



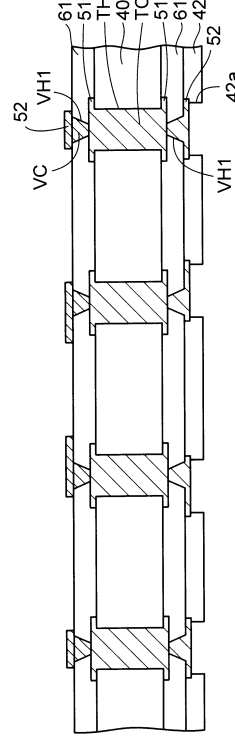
【図 10】



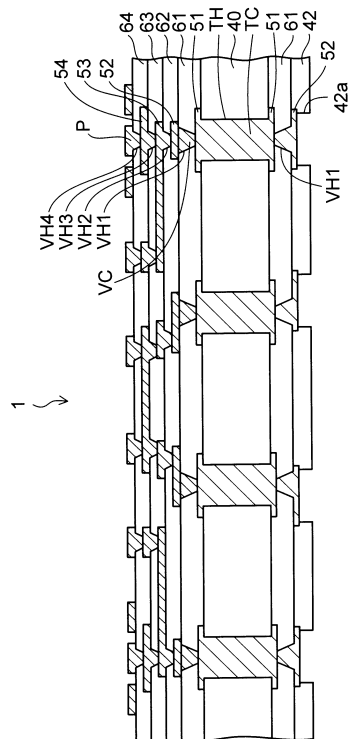
【図 1 1】



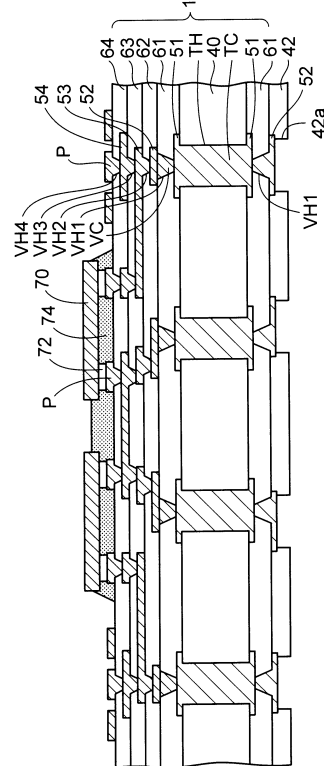
【図 1 2】



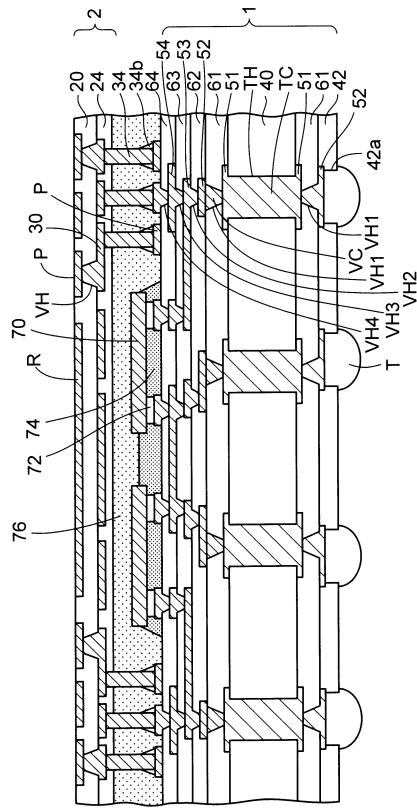
【図 1 3】



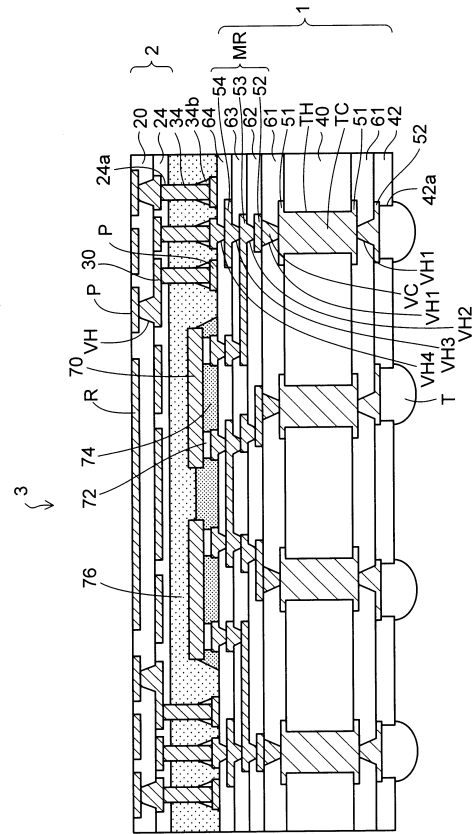
【図 1 4】



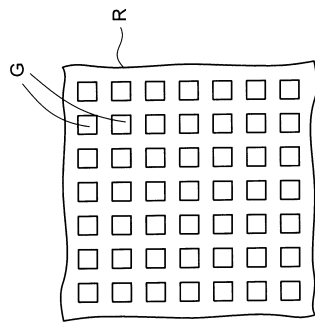
【図 19】



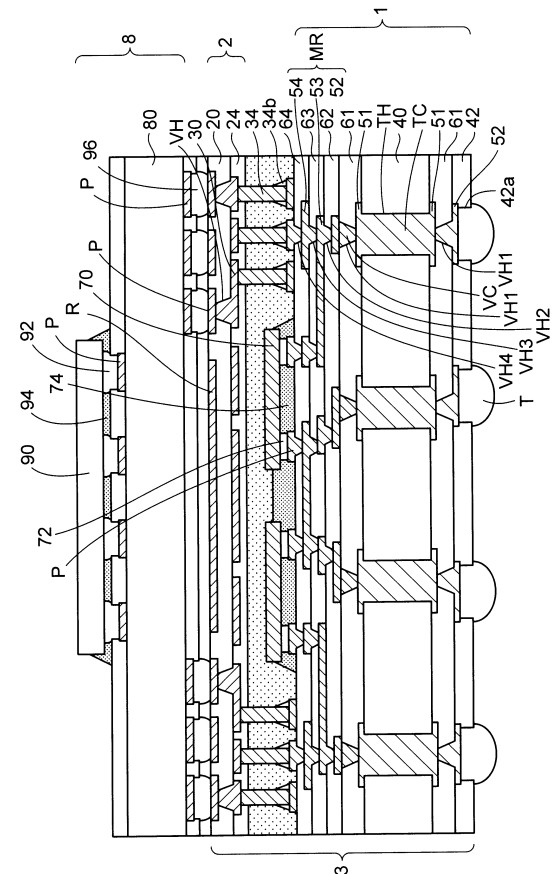
【図 20】



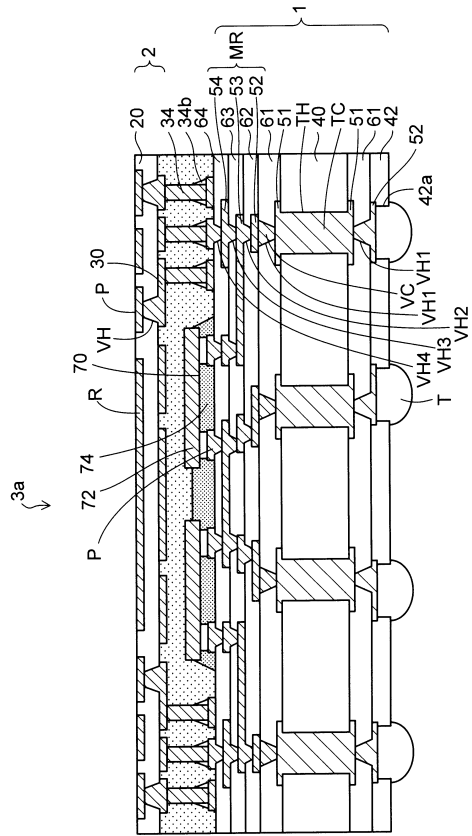
【図 21】



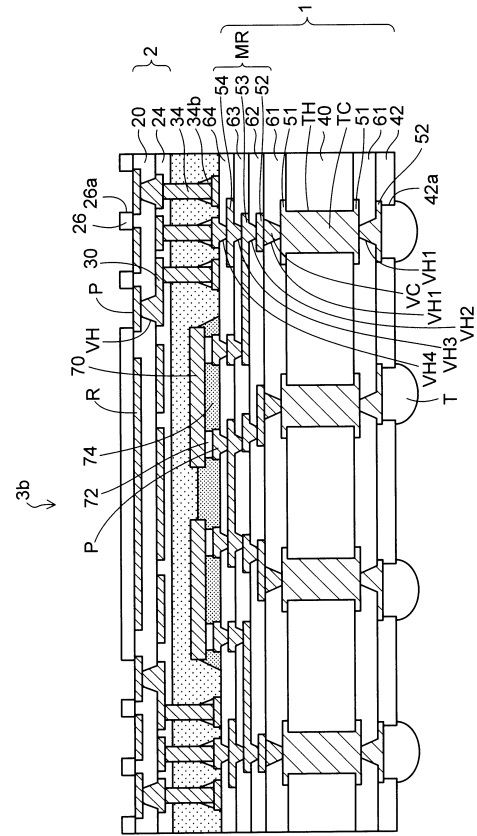
【図 22】



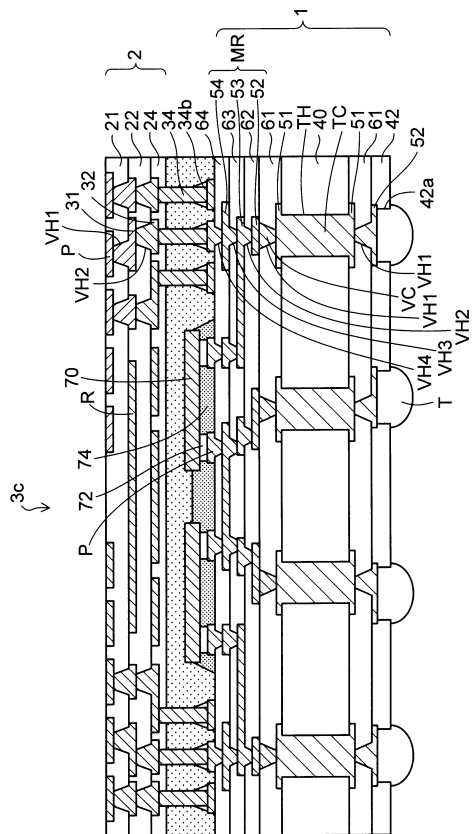
【図 2 3】



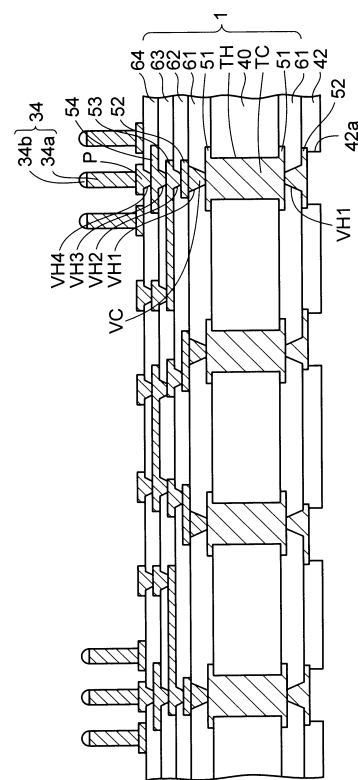
【図 2 4】



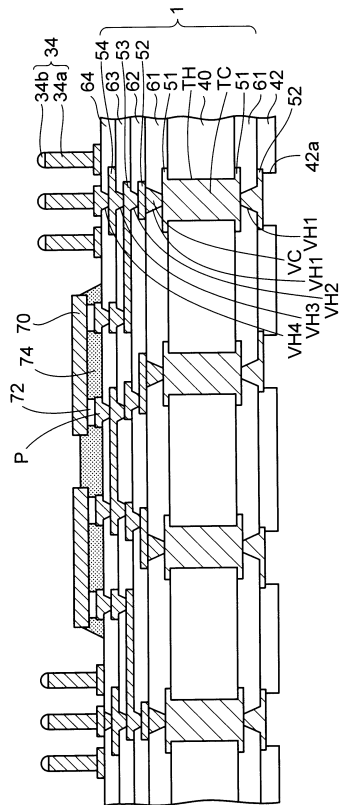
【図 2 5】



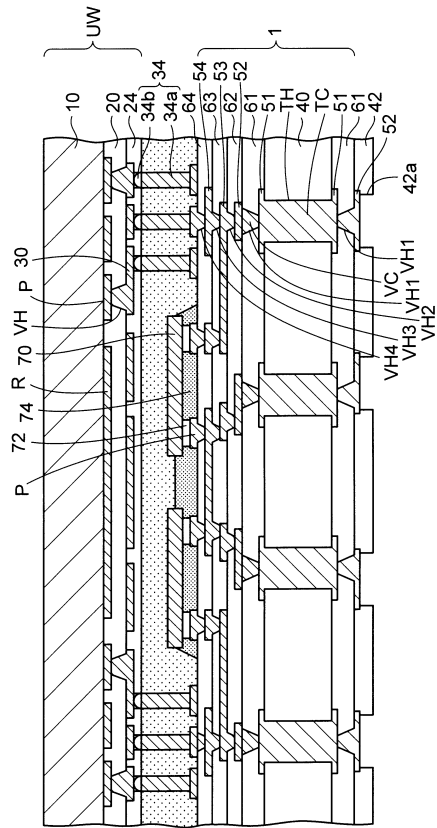
【図 2 6】



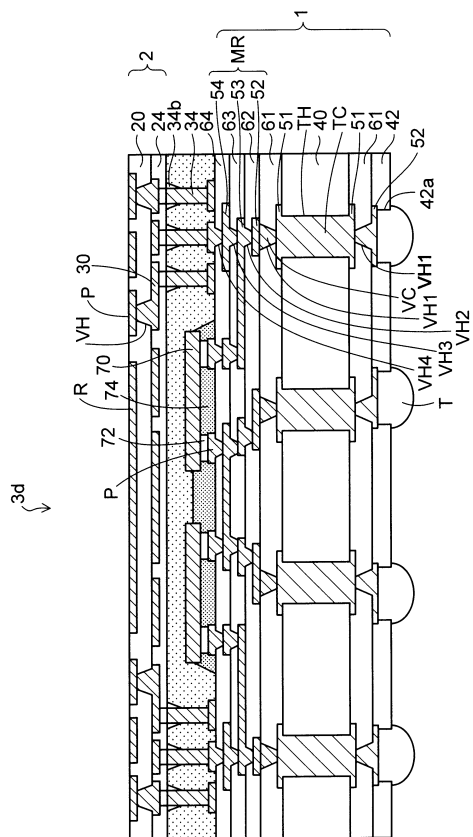
【図 27】



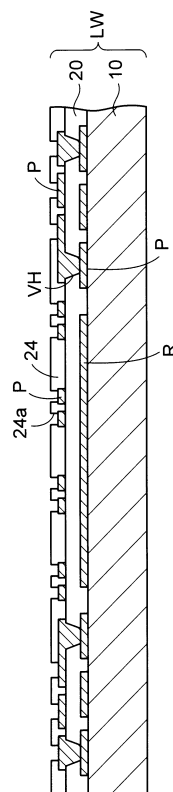
【図 28】



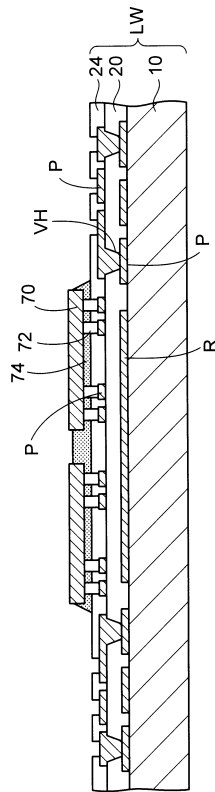
【図 29】



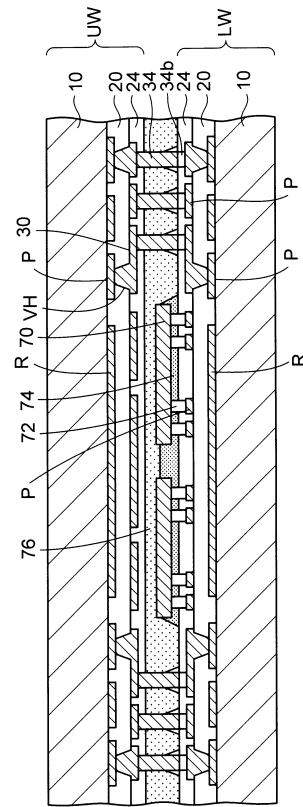
【図 30】



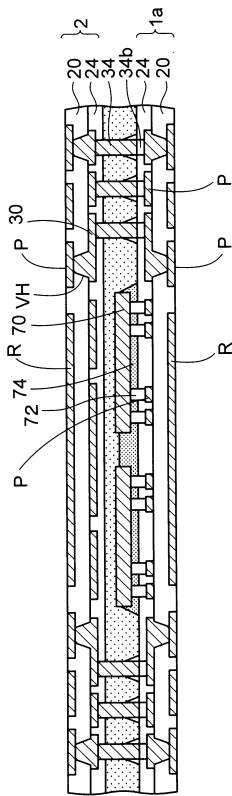
【図 3 1】



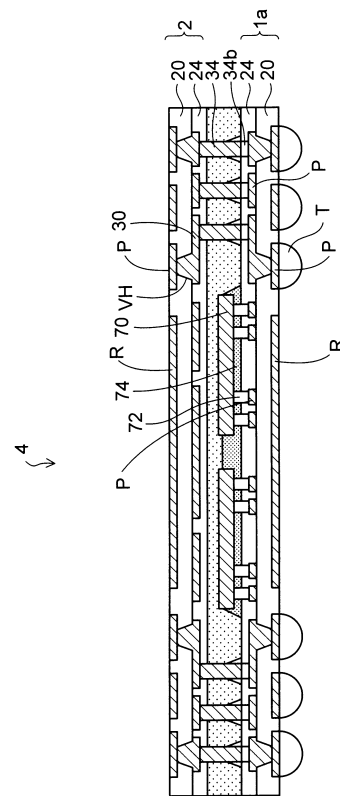
【図 3 2】



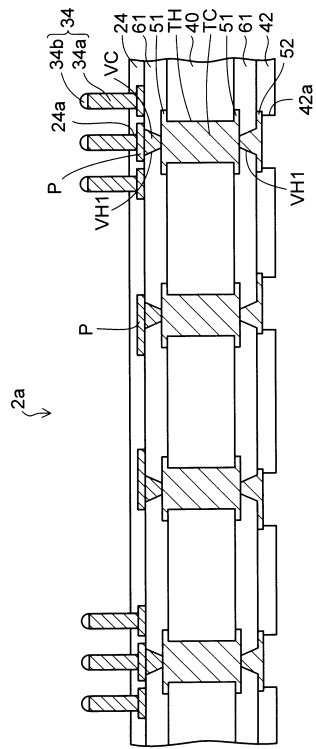
【図 3 3】



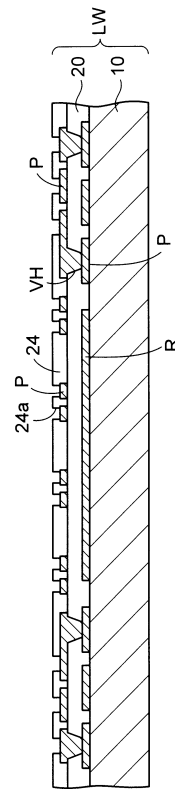
【図 3 4】



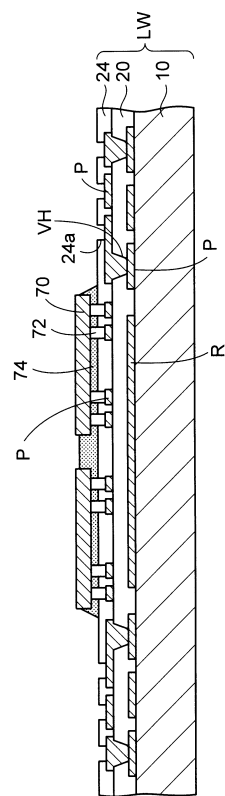
【図 3 5】



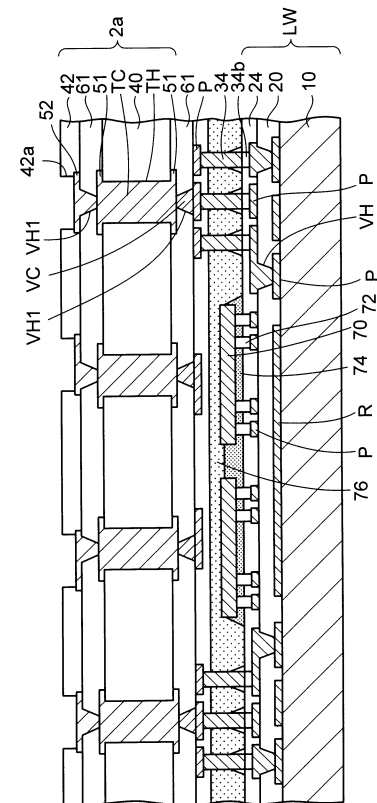
【図 3 6】



【図 3 7】



【図 3 8】



 フロントページの続き

(51)Int.Cl.			F I		
H 0 5 K	3/22	(2006.01)	H 0 5 K	3/46	N
H 0 5 K	1/02	(2006.01)	H 0 5 K	3/46	Q
			H 0 5 K	3/46	Z
			H 0 5 K	3/22	C
			H 0 5 K	1/02	E

(56)参考文献 特開 2 0 0 8 - 0 1 0 8 8 5 (J P , A)
 特開 2 0 1 2 - 0 6 0 1 5 9 (J P , A)
 特開 2 0 1 0 - 1 2 9 8 9 9 (J P , A)
 特開 2 0 1 0 - 8 0 4 5 7 (J P , A)
 特開 2 0 0 7 - 5 9 8 2 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 3 / 1 2
H 0 1 L	2 5 / 1 0
H 0 1 L	2 5 / 1 1
H 0 1 L	2 5 / 1 8
H 0 5 K	1 / 0 2
H 0 5 K	3 / 2 2
H 0 5 K	3 / 4 6