

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】令和4年6月22日(2022.6.22)

【国際公開番号】WO2020/034500  
 【公表番号】特表2021-536051(P2021-536051A)  
 【公表日】令和3年12月23日(2021.12.23)  
 【出願番号】特願2021-507739(P2021-507739)  
 【国際特許分類】

G 0 6 T 1/60(2006.01)  
 G 0 6 F 13/28(2006.01)  
 G 0 6 F 13/24(2006.01)  
 G 0 6 F 9/38(2006.01)  
 G 0 6 F 12/02(2006.01)  
 G 0 6 T 1/20(2006.01)

10

【F I】

G 0 6 T 1/60 4 5 0 F  
 G 0 6 F 13/28 3 1 0 E  
 G 0 6 F 13/24 3 1 0 Z  
 G 0 6 F 9/38 3 7 0 C  
 G 0 6 F 12/02 5 8 0 J  
 G 0 6 T 1/20 A

20

【誤訳訂正書】

【提出日】令和4年6月8日(2022.6.8)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

30

【特許請求の範囲】

【請求項1】

A H Bバスを介して外部の画像メモリを読み込み・書き込みする、二値化アルゴリズムに基づくアクセラレーション制御システムであって、  
 マスター制御モジュール、二値化モジュール、及び二値化F I F Oモジュールをさらに含み、

二値化モジュールは、前記画像メモリ内のバースト伝送する画素データを受信及び二値化処理してから、処理して得られた二値化データを二値化F I F Oモジュールに伝送し、前記画像メモリに記憶された画像のすべての画素データの処理が完了すると、C P Uに割り込み命令を送信する旨を前記アクセラレーション制御システムに通知するように構成され

40

、  
 マスター制御モジュールは、マスターステートマシン、バースト読み込みステートマシン、バースト書き込みステートマシン、及びインターフェース制御ステートマシンを含み、マスターステートマシンがバースト読み込みモード状態である場合、インターフェース制御ステートマシンによってA H Bバスを制御して前記画像メモリ内の処理対象の画素データを読み出させ、A H Bバス内の現在の画素データを制御して二値化モジュールにバースト伝送し処理させるとともに、二値化モジュールにおける、直前にバースト伝送された画素データに基づいて処理して得られた二値化データを読み出すように、二値化F I F Oモジュールをバースト読み込みステートマシンによって制御することによって、前記アクセラレーション制御システムがマスターステートマシンの制御下で、パイプラインの作動方

50

式で二値化処理速度を加速させるように構成され、  
マスター制御モジュールは、さらに、マスターステートマシンがバースト書き込みモード状態である場合、バースト書き込みステートマシンによって二値化FIFOモジュールに保存された二値化データをAHBバス内に書き込むとともに、インターフェース制御ステートマシンによってAHBバス内の二値化データを制御して前記画像メモリに書き戻させるように構成される、ことを特徴とする二値化アルゴリズムに基づくアクセラレーション制御システム。

【請求項2】

前記マスターステートマシンは、バースト読み込みモード状態で、前記バースト読み込みステートマシンを初期状態からバースト読み込み作動状態に入るようにアクティブ化し、  
AHBバスを介して前記画像メモリ内の1つのバースト伝送長さ分の前記画素データをバースト読み込みし、AHBバス内の前記画素データを制御して前記二値化モジュールにバースト伝送させるとともに、前記二値化モジュールにおいて処理して得られた前記二値化データをバースト読み込みするように前記二値化FIFOモジュールを前記バースト読み込みステートマシンによって制御し、1つのバースト伝送長さ分の前記二値化データが前記二値化FIFOモジュールに完全に保存されるまで、前記インターフェース制御ステートマシンによって、AHBバス内でバースト読み込みされた次のバースト伝送長さ分の前記画素データを制御して前記二値化モジュールにバースト伝送し処理させ、1つのバースト伝送長さ分の前記二値化データが前記二値化FIFOモジュールに完全に保存されると、  
バースト読み込みモードウェイト状態に入るように構成され、

前記マスターステートマシンは、バースト読み込みモードウェイト状態で、AHBバスが前記二値化FIFOモジュールにバースト書き込みできるまでウェイトし、当該状態が1クロックサイクルだけ持続されると、バースト読み込みモードウェイト状態からバースト書き込みモード状態に切り替わるように構成され、

前記マスターステートマシンは、バースト書き込みモード状態で、前記バースト書き込みステートマシンを初期状態からバースト書き込み作動状態に入るようにアクティブ化し、1つのバースト伝送長さ分の前記二値化データを制御して前記二値化FIFOモジュールからAHBバスにバースト書き出しさせるとともに、インターフェース制御ステートマシンによってAHBバス内の1つのバースト伝送長さ分の前記二値化データを制御して前記画像メモリに書き戻させ、1つのバースト伝送長さ分の前記二値化データが前記画像メモリ内に完全に書き込むまで、前記バースト書き込みステートマシンによって前記二値化FIFOモジュール内の次のバースト伝送長さ分の前記二値化データを制御してAHBバスにバースト伝送させ、1つのバースト伝送長さ分の前記二値化データが前記画像メモリ内に完全に書き込まれると、バースト書き込みモード状態からバースト書き込みモードウェイト状態に入るように構成され、

前記マスターステートマシンは、バースト書き込みモードウェイト状態で、前記二値化FIFOモジュール内の前記二値化データの数に基づいて前記画像メモリのすべての前記画素データの二値化処理が完了したか否かを判断し、そうであれば、バースト書き込みモードウェイト状態から終了状態に入り、そうでなければ、バースト読み込みモード状態に入るように構成され、

前記二値化FIFOモジュールの深さが前記バースト伝送長さに等しく、前記バースト伝送長さは、毎回バースト伝送するデータの数であり、バースト読み込みモード状態とバースト書き込みモード状態とは等しい、ことを特徴とする請求項1に記載のアクセラレーション制御システム。

【請求項3】

前記バースト読み込みステートマシンは、前記バースト読み込み作動状態で、前記画像メモリ内の1つのバースト伝送長さ分の前記画素データを前記二値化モジュールに完全にバースト読み込みさせるとともに、前記二値化モジュールにおいてバースト伝送された前記画素データを二値化処理し、それに応じて、処理して得られた前記二値化データを前記二値化FIFOモジュールに伝送し、1つのバースト伝送長さ分の前記二値化データのうち

10

20

30

40

50

の最後のデータが前記二値化 F I F O モジュールに伝送され始めると、バースト読み込み完了状態に入るように構成され、

前記バースト読み込みステートマシンは、バースト読み込み完了状態で、1つのバースト伝送長さ分の前記二値化データのうちの最後のデータが前記二値化 F I F O モジュールに伝送されている場合、バースト読み込みウェイト状態に入り、インターフェース準備信号が高レベルになって前記初期状態に戻るまでウェイトするように構成され、

前記バースト書き込みステートマシンは、前記バースト書き込み作動状態で、1つのバースト伝送長さ分の前記二値化データが A H B バスにバースト書き戻しするように前記二値化 F I F O モジュールを制御するとともに、前記二値化データを制御して A H B バスから前記画像メモリ内に伝送し書き込ませ、1つのバースト伝送長さ分の前記二値化データのうちの最後のデータが前記画像メモリに伝送されて書き込まれ始めると、バースト書き込み完了状態に入るように構成され、

前記バースト書き込みステートマシンは、バースト書き込み完了状態で、1つのバースト伝送長さ分の前記二値化データのうちの最後のデータが前記画像メモリにバースト書き戻しされている場合、バースト書き込みウェイト状態に入り、前記インターフェース準備信号が高レベルになって前記初期状態に戻るまでウェイトするように構成される、ことを特徴とする請求項 2 に記載のアクセラレーション制御システム。

10

#### 【請求項 4】

前記インターフェース制御ステートマシンは、初期状態で伝送をウェイトし、前記バースト読み込みステートマシンが前記バースト読み込み作動状態に入るか、又は前記バースト書き込みステートマシンが前記バースト書き込み作動状態に入り、且つ前記画像メモリがインターフェース準備信号によってバースト読み込み / 書き込み準備をするように指示する場合、非連続伝送状態に入るように構成され、

前記インターフェース制御ステートマシンは、非連続伝送状態で、前記バースト読み込みステートマシンが前記バースト読み込み作動状態で1つのバースト伝送長さ分の前記二値化データを前記二値化 F I F O モジュールに完全にバースト読み込みさせていないか、又は、前記バースト書き込みステートマシンが前記バースト書き込み作動状態で A H B バスを間接的に制御して、1つのバースト伝送長さ分の前記二値化データを前記画像メモリ内に完全にバースト書き込みさせていない場合、連続伝送状態に入るように構成され、

前記インターフェース制御ステートマシンは、非連続伝送状態で、前記バースト読み込みステートマシンが前記バースト読み込み作動状態で1つのバースト伝送長さ分の前記二値化データを前記二値化 F I F O モジュールに完全にバースト読み込みさせるか、又は、前記バースト書き込みステートマシンが前記バースト書き込み作動状態で A H B バスを間接的に制御して1つのバースト伝送長さ分の前記二値化データを前記画像メモリ内に完全にバースト書き込みさせる場合、前記初期状態に入るように構成され、

前記インターフェース制御ステートマシンは、前記連続伝送状態で、1つのバースト伝送長さ分の前記二値化データのうちの最後のデータが前記二値化 F I F O モジュールにバースト読み込みされているか、又は、1つのバースト伝送長さ分の前記二値化データのうちの最後のデータが前記画像メモリ内にバースト書き込みされている場合、前記初期状態に入るように構成される、ことを特徴とする請求項 1 ~ 請求項 3 のいずれか 1 項に記載のアクセラレーション制御システム。

20

30

40

#### 【請求項 5】

A H B バスがバースト伝送するための読み込み・書き込みレジスタ群が配置されており、読み込みレジスタは、前記画像メモリからバースト伝送された前記画素データ、対応するバースト伝送長さ情報、及び前記インターフェース制御ステートマシンから送信された A H B プロトコルのバースト読み込み命令情報を記憶するように構成され、

書き込みレジスタは、前記二値化モジュールからバースト伝送された前記二値化データ、対応するバースト伝送長さ情報、及び前記インターフェース制御ステートマシンから送信された A H B プロトコルのバースト書き込み命令情報を記憶するように構成され、

前記読み込み・書き込みレジスタ群は、前記インターフェース制御ステートマシンから送

50

信された A H B プロトコルに基づくバースト命令情報に従って読み込み・書き込み操作を行い、バースト読み込み操作を行う場合、A H B バスにより解析されたバースト読み込み命令情報に従って、前記読み込みレジスタによる前記画素データの読み込み又は読み出しを選択し、バースト書き込み操作を行う場合、A H B バスにより解析されたバースト書き込み命令情報に従って、前記書き込みレジスタによる前記二値化データの書き込み又は書き出しを選択する、ことを特徴とする請求項 1 に記載のアクセラレーション制御システム。

【請求項 6】

前記画像メモリに記憶された画像のすべての画素データの二値化処理が完了すると、前記画像メモリにおける対応するアドレスユニットから前記二値化データを抽出する旨を C P U に通知してから、ソフトウェア処理を行うように構成された割り込みレジスタがさらに配置されている、ことを特徴とする請求項 1 に記載のアクセラレーション制御システム。

10

【請求項 7】

前記画素データの二値化処理を加速する請求項 1 ~ 請求項 6 のいずれか 1 項に記載のアクセラレーション制御システムを内部構造として含む画像処理チップである、ことを特徴とするチップ。

【請求項 8】

請求項 7 に記載の画像処理チップが内蔵されているモバイルビジョンロボットである、ことを特徴とするロボット。

【誤訳訂正 2】

20

【訂正対象書類名】明細書

【訂正対象項目名】0 0 0 3

【訂正方法】変更

【訂正の内容】

【0 0 0 3】

本発明の目的は、A H B バスを介して外部の画像メモリを読み込み・書き込みするように構成される、二値化アルゴリズムに基づくアクセラレーション制御システムであって、マスター制御モジュール、二値化モジュール、及び二値化 F I F O モジュールをさらに含み、

二値化モジュールは、前記画像メモリ内のバースト伝送する画素データを受信及び二値化処理してから、処理して得られた二値化データを二値化 F I F O モジュールに伝送し、前記画像メモリに記憶された画像のすべての画素データの処理が完了すると、C P U に割り込み命令を送信する旨を前記アクセラレーション制御システムに通知するように構成され、

30

マスター制御モジュールは、マスターステートマシン、バースト読み込みステートマシン、バースト書き込みステートマシン、及びインターフェース制御ステートマシンを含み、マスターステートマシンがバースト読み込みモード状態である場合、インターフェース制御ステートマシンによって A H B バスを制御して前記画像メモリ内の処理対象の画素データを読み出させ、A H B バス内の現在の画素データを制御して二値化モジュールにバースト伝送し処理させるとともに、二値化モジュールにおける、直前にバースト伝送された画素データに基づいて処理して得られた二値化データを読み出すように、二値化 F I F O モジュールをバースト読み込みステートマシンによって制御することによって、前記アクセラレーション制御システムがマスターステートマシンの制御下で、パイプラインの作動方式で二値化処理速度を加速させるように構成され、

40

マスター制御モジュールは、さらに、マスターステートマシンがバースト書き込みモード状態である場合、バースト書き込みステートマシンによって二値化 F I F O モジュールに保存された二値化データを A H B バス内に書き込むとともに、インターフェース制御ステートマシンによって A H B バス内の二値化データを制御して前記画像メモリに書き戻させるように構成されるアクセラレーション制御システムを提供する。

【誤訳訂正 3】

50

【訂正対象書類名】明細書

【訂正対象項目名】0018

【訂正方法】変更

【訂正の内容】

【0018】

本発明の実施例では、前記マスター制御モジュールにおいて、マスターステートマシン、バースト読み込みステートマシン、バースト書き込みステートマシン、及びインターフェース制御ステートマシンの合計4つのステートマシンが設計されている。前記マスター制御モジュールは、マスターステートマシンの制御下で、前記画像メモリ内の前記画素データを読み出して二値化処理するとともに、前記二値化データを前記画像メモリに書き戻すように制御される。具体的には、CPUは、割り込み有効化命令を送信して、スタートフラグ `start` に1を設定し、マスターステートマシンは、初期状態 `IDLE` からバースト読み込みモード状態 `BRD_ST` に移行する。マスターステートマシンがバースト読み込みモード状態 `BRD_ST` である場合、前記マスター制御モジュールは、インターフェース制御ステートマシンの `AHB` 解析命令を通じて `AHB` バスを制御して前記画像メモリ内の処理対象の画素データを読み出させ、`AHB` バス内の現在の画素データを制御して前記二値化モジュールにバースト伝送して処理し、一方、バースト読み込みステートマシンは、読み込み制御信号 `B_R` を前記二値化 `FIFO` モジュールに送信することによって、二値化モジュールにおける、直前にバースト伝送された画素データに基づいて処理して得られた前記二値化データを読み出すように、前記二値化 `FIFO` モジュールを制御する。よって、前記アクセラレーション制御システムは、複数の前記バースト伝送長さの前記画素データを同時に読み出して処理し、パイプラインのような動作構造となり、二値化処理を加速する。ウェイト状態が1つのクロックサイクルだけ持続されると、マスターステートマシンはバースト書き込みモード状態 `BWR_ST` に移行する。バースト書き込みモード状態 `BWR_ST` では、バースト書き込みステートマシンは、書き込み制御信号 `B_W` を前記二値化 `FIFO` モジュールに送信し、これにより、前記二値化 `FIFO` モジュールに保存された前記二値化データが `AHB` バス内に書き込むように制御されるとともに、前記インターフェース制御ステートマシンによって、`AHB` バス内の前記二値化データが前記画像メモリに書き戻されるように制御される。よって、前記二値化データの読み込み・書き込みを加速する。

10

20

30

40

50