



- (51) 국제특허분류:
G01R 31/02 (2006.01) **G01R 35/02** (2006.01)
G01R 31/01 (2006.01) **G01R 19/10** (2006.01)
G01R 27/26 (2006.01)
- (21) 국제출원번호: PCT/KR2016/005773
- (22) 국제출원일: 2016년 5월 31일 (31.05.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
 10-2016-0021445 2016년 2월 23일 (23.02.2016) KR
- (71) 출원인: 한국표준과학연구원 (KOREA RESEARCH INSTITUTE OF STANDARDS AND SCIENCE) [KR/KR]; 34113 대전시 유성구 가정로 267, Daejeon (KR).
- (72) 발명자: 정재갑 (JUNG, Jae Kap); 34130 대전시 유성구 가정로 266, 13 동 106 호, Daejeon (KR). 김규태 (KIM, Kyu Tae); 34145 대전시 유성구 왕가봉로 23 1109 동 304 호, Daejeon (KR).
- (74) 대리인: 특허법인 고려 (KORYO IP&LAW); 06239 서울시 강남구 테헤란로 8길 41, 6층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

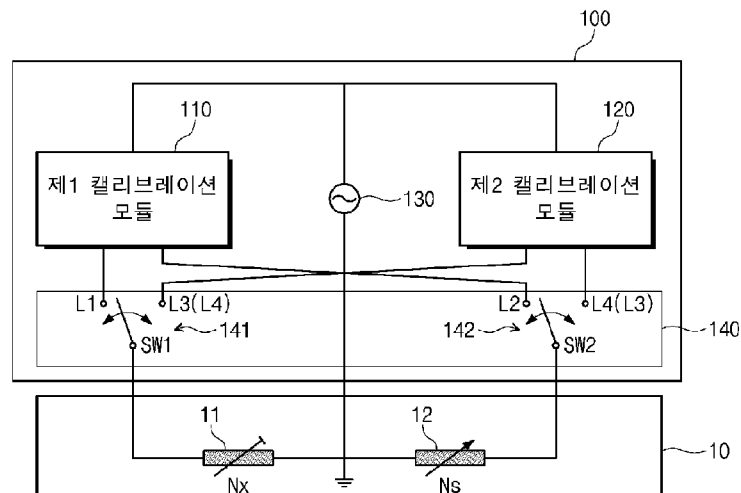
규칙 4.17에 의한 선언서:

— 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예외에 관한 선언 (규칙 4.17(v))

[다음 쪽 계속]

(54) Title: CAPACITOR RESISTOR BANK DEVICE FOR EVALUATING ELECTRIC CAPACITANCE BRIDGE

(54) 발명의 명칭 : 전기 용량 브리지를 평가하기 위한 커패시터 레지스터 뱅크 장치



110 ... First calibration module
 120 ... Second calibration module

(57) Abstract: The present invention relates to a capacitor resistor bank device. The capacitor resistor bank device of the present invention comprises: a first calibration module for measuring a capacitance ratio of an electric capacitance bridge; a second calibration module for measuring a loss coefficient of the electric capacitance bridge; a power supply unit, of which one end is connected to a ground terminal of the electric capacitance bridge, for providing an operating voltage; and a switch unit for connecting one of the first calibration module and the second calibration module to the electric capacitance bridge.

(57) 요약서:

[다음 쪽 계속]

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 커패시터 레지스터 뱅크 장치에 관한 것이다. 본 발명의 커패시터 레지스터 뱅크 장치는 전기 용량 브리지의 커패시턴스비를 측정하기 위한 제 1 캘리브레이션 모듈, 상기 전기 용량 브리지의 손실 계수를 측정하기 위한 제 2 캘리브레이션 모듈, 전기 용량 브리지의 접지단에 일단이 연결되고, 동작 전압을 제공하는 제공하는 전원부, 및 전기 용량 브리지에 제 1 캘리브레이션 모듈과 제 2 캘리브레이션 모듈 중 하나를 연결하기 위한 스위치부를 포함한다.

명세서

발명의 명칭: 전기 용량 브리지를 평가하기 위한 커패시터 레지스터 뱅크 장치

기술분야

- [1] 본 발명은 측정 장치에 관련된 것으로서, 전기 용량 브리지(일례로, 상용 고전압 전기 용량 브리지)를 평가하기 위한 커패시터 레지스터 뱅크 장치에 관한 것이다.

배경기술

- [2] 일반적으로 산업체, 연구소, 교정기관 등에서 변압기, 리액터, 고전압 케이블 등의 중전기기 설비의 절연 진단 시험과 용량기의 전기용량과 손실 계수를 측정하기 위해 전류 비교기 방식의 고전압 전기 용량 브리지가 광범위하게 사용되고 있다.
- [3] 이러한 고전압 전기용량 브릿지는 국내의 모든 중전기기업체에서 변압기의 손실 측정과 피티/씨티(PT/CT) 브리지의 정확한 평가로 국내 중전기기 성능 및 품질 향상에 기여하고 있다.
- [4] 하지만, 이와 같은 시험 장치인 고전압 전기 용량 브리지의 성능을 평가하기 위한 장치에 대한 필요성이 있었다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 목적은 전기 용량 브리지를 평가하기 위한 커패시터 레지스터 뱅크 장치를 제공함에 있다.
- [6] 본 발명의 목적은 간단한 구조로서 제조 비용을 합리화시킬 수 있는 커패시터 레지스터 뱅크 장치를 제공함에 있다.
- [7] 본 발명의 다른 목적은 전기 용량 브리지의 교정에 필요한 시간과 비용을 절감할 수 있는 커패시터 레지스터 뱅크 장치를 제공함에 있다.

과제 해결 수단

- [8] 본 발명에 따른 전기 용량 브리지를 평가하기 위한 커패시터 레지스터 뱅크 장치는 전기 용량 브리지의 커패시턴스비를 측정하기 위한 제 1 캘리브레이션 모듈, 상기 전기 용량 브리지의 손실 계수를 측정하기 위한 제 2 캘리브레이션 모듈, 상기 전기 용량 브리지의 접지단에 일단이 연결되고, 동작 전압을 제공하는 제공하는 전원부, 및 상기 전기 용량 브리지에 상기 제 1 캘리브레이션 모듈과 상기 제 2 캘리브레이션 모듈 중 하나를 연결하기 위한 스위치부를 포함한다.
- [9] 이 실시예에 있어서, 상기 제 1 캘리브레이션 모듈은 상기 전기 용량 브리지의 제 1 윈도우(Nx)에 일단이 상기 스위치부를 통해 연결되고, 상기 전원부에 다른 일단이 연결된 테스트 커패시터부, 및 상기 전기 용량 브리지의 제 2

윈도우(N_s)에 일단이 상기 스위치부를 통해 연결되고, 상기 전원부에 다른 일단이 연결된 기준 커패시터부를 포함한다.

- [10] 이 실시예에 있어서, 상기 테스트 커패시터부는 제 1 테스트 노드와 제 2 테스트 노드 중 하나를 상기 전원부로 연결하기 위한 제 1 선택 스위치, 제 3 테스트 노드와 제 4 테스트 노드 중 하나를 상기 제 1 윈도우로 연결하기 위한 제 2 선택 스위치, 10마이크로 패럿의 용량을 갖고, 일단이 상기 제 1 테스트 노드에 연결되는 10개의 제 1 테스트 커패시터들, 상기 제 1 테스트 커패시터들 각각의 다른 일단에 연결되고, 온 동작을 통해 상기 제 3 테스트 노드에 연결되는 10개의 제 1 테스트 스위치들, 100나노 패럿의 용량을 갖고, 일단이 상기 제 2 테스트 노드에 연결되는 10개의 제 2 테스트 커패시터들, 및 상기 제 2 테스트 커패시터들 각각의 다른 일단에 연결되고, 온 동작을 통해 상기 제 4 테스트 노드에 연결되는 10개의 제 2 테스트 스위치들을 포함한다.
- [11] 이 실시예에 있어서, 상기 기준 커패시터부는 100나노 패럿의 용량을 갖고, 일단이 전원부에 연결되는 제 1 기준 커패시터, 상기 제 1 기준 커패시터의 다른 일단에 연결되고, 온 동작을 통해 상기 제 2 윈도우에 연결되는 제 1 기준 스위치, 10나노 패럿의 용량을 갖고, 일단이 전원부에 연결되는 제 2 기준 커패시터, 및 상기 제 2 기준 커패시터의 다른 일단에 연결되고, 온 동작을 통해 상기 제 2 윈도우에 연결되는 제 2 기준 스위치를 포함한다.
- [12] 이 실시예에 있어서, 상기 1 캘리브레이션 모듈은 상기 스위치부를 통해 상기 전기 용량 브리지에 연결되면, 상기 제 1 기준 스위치의 온 동작과 상기 제 1 테스트 스위치들의 선택적인 온 동작에 의해 20대1부터 100대1까지의 비율을 갖는 커패시턴스 비를 측정하고, 상기 제 1 기준 스위치의 온 동작과 상기 제 2 테스트 스위치들의 선택적인 온 동작에 의해 1대1부터 10대1까지의 비율을 갖는 커패시턴스 비를 측정하고, 상기 제 2 기준 스위치의 온 동작과 상기 제 1 테스트 스위치들의 선택적인 온 동작에 의해 200대1부터 1000대1까지의 비율을 갖는 커패시턴스 비를 측정한다.
- [13] 이 실시예에 있어서, 상기 제 2 캘리브레이션 모듈은 상기 전기 용량 브리지의 제 1 윈도우(N_x)에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 가변 커패시터부, 상기 전원부, 상기 제 1 윈도우, 및 상기 전원부와 상기 전기 용량 브리지의 접지단 사이의 접점에 연결되고, 가변되는 레지스턴스를 갖는 티 레지스터 네트워크부, 및 상기 전기 용량 브리지의 제 2 윈도우(N_s)에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 기준 커패시터부를 포함한다.
- [14] 이 실시예에 있어서, 상기 가변 커패시터부는 10나노 패럿의 용량을 갖고, 상기 제 1 윈도우에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 커패시터, 및 100피코패럿 내지 150피코패럿 사이의 값으로 가변되는 용량을 갖고, 상기 제 1 윈도우에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 가변 커패시터를 포함한다.
- [15] 이 실시예에 있어서, 상기 티 레지스터 네트워크부는 상기 전원부에 일단이

연결된 제 1 레지스터, 상기 제 1 레지스터의 다른 일단에 연결되고, 상기 전원부와 상기 전기 용량 브리지의 접지단 사이의 접점에 연결되는 제 2 레지스터, 및 상기 제 1 레지스터와 상기 제 2 레지스터 사이에 일단이 연결되고, 다른 일단이 상기 제 1 윈도우에 연결되는 가변 레지스터를 포함한다.

[16] 이 실시예에 있어서, 상기 기준 커패시터부는 10나노 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 2 윈도우에 일단이 연결되는 제 1 기준 커패시터, 및 100피코 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 2 윈도우에 일단이 연결되는 제 2 기준 커패시터를 포함한다.

[17] 이 실시예에 있어서, 상기 제 2 캘리브레이션 모듈은 상기 제 3 레지스터의 레지스턴스 변화를 통해 1×10^{-4} 부터 1×10^{-1} 까지의 포지티브 극성을 갖는 손실 계수를 캘리브레이션한다.

[18] 이 실시예에 있어서, 상기 제 2 캘리브레이션 모듈은 상기 전기 용량 브리지의 제 2 윈도우(N_s)에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 가변 커패시터부, 상기 전원부, 상기 제 2 윈도우, 및 상기 전원부와 상기 전기 용량 브리지의 접지단 사이의 접점에 연결되고, 가변되는 레지스턴스를 갖는 터 레지스터 네트워크부, 및 상기 전기 용량 브리지의 제 1 윈도우(N_x)에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 기준 커패시터부를 포함한다.

[19] 이 실시예에 있어서, 상기 가변 커패시터부는 10나노 패럿의 용량을 갖고, 상기 제 2 윈도우에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 커패시터, 및 100피코패럿 내지 150피코패럿 사이의 값으로 가변되는 용량을 갖고, 상기 제 2 윈도우에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 가변 커패시터를 포함한다.

[20] 이 실시예에 있어서, 상기 터 레지스터 네트워크부는 상기 전원부에 일단이 연결된 제 1 레지스터, 상기 제 1 레지스터의 다른 일단에 연결되고, 상기 전원부와 상기 전기 용량 브리지의 접지단 사이의 접점에 연결되는 제 2 레지스터, 및 상기 제 1 레지스터와 상기 제 2 레지스터 사이에 일단이 연결되고, 다른 일단이 상기 제 2 윈도우에 연결되는 가변 레지스터를 포함한다.

[21] 이 실시예에 있어서, 상기 기준 커패시터부는 10나노 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 1 윈도우에 일단이 연결되는 제 1 기준 커패시터, 및 100피코 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 1 윈도우에 일단이 연결되는 제 2 기준 커패시터를 포함한다.

[22] 이 실시예에 있어서, 상기 제 2 캘리브레이션 모듈은 상기 제 3 레지스터의 레지스턴스 변화를 통해 1×10^{-4} 부터 1×10^{-1} 까지의 네거티브 극성을 갖는 손실 계수를 캘리브레이션한다.

발명의 효과

[23] 본 발명의 커패시터 레지스터 뱅크 장치는 커패시턴스 캘리브레이션과 손실 계수 캘리브레이션을 통해 전기 용량 브리지의 성능을 평가할 수 있다. 커패시터

레지스터 뱅크 장치는 간단한 구조를 통해 구현됨에 따라 저비용으로, 전기 용량 브리지의 성능 평가를 간단하게 할 수 있으며, 성능 평가에 고가의 장비를 사용할 필요가 없음으로, 교정에 필요한 시간과 비용을 절감할 수 있다.

도면의 간단한 설명

- [24] 도 1은 본 발명에 따른 전기 용량 브리지를 평가하기 위한 커패시터 레지스터 뱅크 장치를 예시적으로 도시한 도면,
- [25] 도 2는 도 1에 도시된 커패시터 레지스터 뱅크 장치의 제 1 캘리브레이션 모듈을 예시적으로 도시한 도면,
- [26] 도 3은 도 2의 제 1 캘리브레이션 모듈을 상세히 도시한 도면,
- [27] 도 4는 도 1의 제 2 캘리브레이션 모듈을 예시적으로 도시한 도면,
- [28] 도 5는 제 2 캘리브레이션 모듈에서 티-네트워크 레지스터들의 조합을 예시적으로 도시한 도면,
- [29] 도 6은 본 발명에 따른 커패시턴스 비를 예시적으로 도시한 도면, 및
- [30] 도 7은 본 발명에 따른 디시페이션 팩터를 예시적으로 도시한 도면이다.

발명의 실시를 위한 최선의 형태

- [31] 본 발명의 실시를 위한 최선의 형태를 보여주는 도면은 도 1이다.

발명의 실시를 위한 형태

- [32] 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 모호하지 않도록 하기 위해 생략될 것이라는 것을 유의하여야 한다.
- [33] 본 발명은 전기 용량 브릿지 일예로, 상용 고전압 전기 용량 브릿지를 평가하기 위한 커패시터 레지스터 뱅크 장치를 제공한다.
- [34] 도 1은 본 발명에 따른 전기 용량 브리지를 평가하기 위한 커패시터 레지스터 뱅크 장치를 도시한 도면이다.
- [35] 도 1을 참조하면, 커패시터 레지스터 뱅크 장치(100)는 제 1 캘리브레이션 모듈(110)과 제 2 캘리브레이션 모듈(120), 전원부(130), 및 스위치부(140)를 포함한다.
- [36] 커패시터 레지스터 뱅크 장치(100)는 전기 용량 브리지(10)를 평가하기 위한 장치이다. 여기서, 전기 용량 브리지(10)는 고전압 전기 용량 브리지일 수 있다. 전기 용량 브릿지(10)는 제 1 윈도우(N_x)(11)와 제 2 윈도우(N_s)(12)를 포함한다. 여기서, 제 1 윈도우(11)는 널인디케이터(nullindicator)에 연결된 브리지의 윈도우이고, 제 2 윈도우(12)는 조절 윈도우이다.
- [37] 제 1 캘리브레이션 모듈(110)은 스위치부(140)를 통해 전기 용량 브리지(10)에 연결되고, 전기 용량 브리지(10)의 커패시턴스비(capacitance ratio)를 측정한다.
- [38] 제 2 캘리브레이션 모듈(120)은 스위치부(140)를 통해 전기 용량 브리지(10)에 연결되고, 전기 용량 브리지(10)의 손실 계수(또는, 디시페이션 팩터)(dissipation

factor)를 측정한다.

- [39] 전원부(130)는 캘리브레이션 모듈(110, 120)의 동작을 위한 동작 전원 또는 동작 전압을 제공한다. 전원부(130)는 전기 용량 브리지(10)의 접지단에 연결될 수 있다.
- [40] 스위치부(140)는 제 1 스위치(141)와 제 2 스위치(142)를 포함한다. 제 1 스위치부(141)와 제 2 스위치부(142)는 제 1 캘리브레이션 모듈(141)에 연결되거나 제 2 캘리브레이션 모듈(142)에 연결될 수 있다.
- [41] 따라서, 제 1 스위치(141)가 제 1 노드(L1)에 연결되면, 제 2 스위치(142)는 제 2 노드(L2)에 연결되고, 제 1 스위치(141)가 제 3 노드(L3)에 연결되면, 제 2 스위치(142)는 제 4 노드(L4)에 연결된다.
- [42] 여기서, 스위치부(141) 내 각 스위치들(141, 142)의 동작은 사용자 선택 신호 입력(또는, 사용자 조절)에 의해 제어되거나, 별도의 제어부 등을 통해 제어될 수 있다.
- [43] 이를 통해, 본 발명에서는 전기 용량 브리지(10)의 커패시턴스비와 디시패이션 팩터의 캘리브레이션에 따른 성능을 평가할 수 있는 커패시터 레지스터 뱅크 장치를 제공할 수 있다.
- [44] 도 2는 도 1에 도시된 커패시터 레지스터 뱅크 장치의 제 1 캘리브레이션 모듈을 예시적으로 도시한 도면이다.
- [45] 도 2를 참조하면, 제 1 캘리브레이션 모듈(110)은 테스트 커패시터부(111)와 제 1 기준 커패시터부(112)를 포함한다. 제 1 스위치(SW1)는 제 1 노드(L1)와 전기 용량 브릿지(10)의 제 1 윈도우(Nx)(11)를 연결하고, 제 2 스위치(SW2)는 제 2 노드(L2)와 전기 용량 브릿지(10)의 제 2 윈도우(Ns)(12)를 연결한 상태이다.
- [46] 테스트 커패시터부(111)는 100나노패럿(nF)을 기준으로 수백(nF)의 값 또는 1마이크로패럿(μ F)을 기준으로 수(μ F)의 일반화된 값들로 가변하여 테스트 커패시터값(Cx)을 설정할 수 있다. 테스트 커패시터부(111)는 일단이 제 1 노드(L1)에 연결되고, 다른 일단이 제 5 노드(H1)에 연결된다.
- [47] 제 1 기준 커패시터부(112)는 10nF 또는 100(nF) 중 하나의 값으로 기준 커패시터값(Cn)을 설정할 수 있다. 제 1 기준 커패시터부(112)는 일단이 제 2 노드(L2)에 연결되고, 다른 일단이 제 6 노드(H2)에 연결된다.
- [48] 이때, 전원부(130)는 제 1 윈도우(Nx)(11)와 제 2 윈도우(Ns)(12)의 접점(즉, 접지단)에 일단이 연결되고, 테스트 커패시터부(111)와 제 1 기준 커패시터부(112)의 접점(제 5 노드(H5)와 제 6 노드(H6))에 다른 일단이 연결된다.
- [49] 이를 통해, 테스트 커패시턴스부(111)는 커패시턴스비의 범위를 일대일(1/1(1:1))부터 천대일(1000/1(1000:1))까지 커패시턴스 값들을 변화시켜가며, 전기 용량 브리지(10)의 성능을 측정할 수 있다.
- [50] 도 3은 도 2의 제 1 캘리브레이션 모듈을 상세히 도시한 도면이다.
- [51] 도 3을 참조하면, 제 1 캘리브레이션 모듈(110)은 도 2에서 도시된 제 1

- 노드(L1)와 제 5 노드(H1) 사이에 연결된 테스트 커패시터부(111)와 제 2 노드(L2)와 제 6 노드(H2) 사이에 연결된 제 1 기준 커패시터부(112)를 포함한다.
- [52] 테스트 커패시터부(111)는 테스트 커패시터들(Cx1-Cx20), 테스트 스위치들(S1-S20), 및 스위치들(SW3, SW4)을 포함한다.
- [53] 테스트 커패시터부(111)에서 커패시터들(Cx1-Cx10) 각각이 제 1 테스트 노드(L11)와 제 2 테스트 노드(H11)에 연결된다. 여기서, 10개의 커패시터들(Cx1-Cx10) 각각은 1 μ F의 용량을 갖는다.
- [54] 테스트 커패시터들(Cx1-Cx10) 각각은 일단이 테스트 스위치들(S1-S10) 각각을 통해 제 1 테스트 노드(L11)에 연결되고, 다른 일단이 제 2 테스트 노드(H11)에 연결된다. 또한, 테스트 커패시터들(Cx1-Cx10)의 다른 일단과 테스트 스위치들(S1-S10) 사이의 접점은 제 1 테스트 노드(L11)에 연결된다.
- [55] 예를 들면, 제 1 테스트 커패시터(Cx1)의 일단이 제 1 테스트 스위치(S1)를 통해 제 1 테스트 노드(L11)에 연결되고, 제 1 테스트 커패시터(Cx1)의 다른 일단이 제 2 테스트 노드(H11)에 연결된다. 제 1 테스트 커패시터(Cx1)와 제 1 테스트 스위치(S1) 사이의 접점은 제 1 테스트 노드(L11)에 연결된다.
- [56] 제 2 테스트 커패시터(Cx2)의 일단이 제 2 테스트 스위치(S2)를 통해 제 1 테스트 노드(L11)에 연결되고, 제 2 테스트 커패시터(Cx2)의 다른 일단이 제 2 테스트 노드(H11)에 연결된다. 제 2 테스트 커패시터(Cx2)와 제 2 테스트 스위치(S2) 사이의 접점은 제 1 테스트 노드(L11)에 연결된다.
- [57] 이와 같이, 나머지 테스트 커패시터들(Cx3-Cx10)과 나머지 테스트 스위치들(S3-S10)도 제 1 테스트 커패시터(Cx1) 및 제 1 테스트 스위치(S1) 또는 제 2 테스트 커패시터(Cx2) 및 제 2 테스트 스위치(S2)와 같은 형태로 제 1 테스트 노드(L11)와 제 2 테스트 노드(H11)에 연결된다.
- [58] 이를 통해, 테스트 커패시터(Cx1-Cx10)들은 테스트 스위치(S1-S10)의 온 동작에 따라 상호 간에 병렬로 연결된다.
- [59] 또한, 테스트 커패시터부(111)에서 테스트 커패시터들(Cx11-Cx20) 각각이 테스트 스위치들(S11-S20)을 통해 연결된다. 여기서, 10개의 커패시터들(Cx11-Cx20) 각각은 100nF의 용량을 갖는다.
- [60] 테스트 커패시터들(Cx11-Cx20) 각각은 일단이 테스트 스위치들(S11-S20) 각각을 통해 제 3 테스트 노드(L12)에 연결되고, 다른 일단이 제 4 테스트 노드(H12)에 연결된다. 또한, 테스트 커패시터들(Cx11-Cx20)의 다른 일단과 테스트 스위치들(S11-S20) 사이의 접점은 제 3 스위치 1 노드(L12)에 연결된다.
- [61] 예를 들면, 제 11 테스트 커패시터(Cx11)의 일단이 제 11 테스트 스위치(S11)를 통해 제 3 테스트 노드(L12)에 연결되고, 제 11 테스트 커패시터(Cx11)의 다른 일단이 제 4 테스트 노드(H12)에 연결된다. 제 11 테스트 커패시터(Cx11)와 제 11 테스트 스위치(S11) 사이의 접점은 제 3 테스트 노드(L12)에 연결된다.
- [62] 제 12 테스트 커패시터(Cx12)의 일단이 제 12 테스트 스위치(S12)를 통해 제 3 테스트 노드(L12)에 연결되고, 제 12 테스트 커패시터(Cx12)의 다른 일단이 제 4

- 테스트 노드(H12)에 연결된다. 제 12 테스트 커패시터(Cx12)와 제 12 테스트 스위치(S12) 사이의 접점은 제 3 테스트 노드(L12)에 연결된다.
- [63] 이와 같이, 나머지 테스트 커패시터들(Cx13-Cx20)과 나머지 테스트 스위치들(S13-S20)도 제 11 테스트 커패시터(Cx11) 및 제 11 테스트 스위치(S11) 또는 제 12 테스트 커패시터(Cx12) 및 제 12 테스트 스위치(S12)와 같은 형태로 제 3 테스트 노드(L12)와 제 4 테스트 노드(H12)에 연결된다.
- [64] 이를 통해, 테스트 커패시터(Cx11-Cx20)들은 테스트 스위치(S11-S20)의 온 동작에 따라 상호 간에 병렬로 연결된다.
- [65] 한편, 테스트 커패시터부(111)는 테스트 선택 스위치들(SW3, SW4)을 포함한다. 제 1 테스트 선택 스위치(SW3)는 제 1 노드(L1)에 연결되고, 제 1 테스트 노드(L11)와 제 3 테스트 노드(L12) 중 하나의 노드에 연결된다. 또한, 제 2 테스트 선택 스위치(SW4)는 제 5 노드(H1)에 연결되고, 제 2 테스트 노드(H11)와 제 4 테스트 노드(H12) 중 하나의 노드에 연결된다.
- [66] 제 1 테스트 선택 스위치(SW3)가 제 1 테스트 노드(L11)에 연결될 때, 제 2 테스트 선택 스위치(SW4)가 제 2 테스트 노드(H11)에 연결되고, 제 1 테스트 선택 스위치(SW3)가 제 2 테스트 노드(L12)에 연결될 때, 제 2 테스트 선택 스위치(SW4)가 제 4 테스트 노드(H12)에 연결된다.
- [67] 제 1 기준 커패시터부(112)는 기준 커패시터들(Cn1, Cn2)과 기준 스위치들(Sn1, Sn2)을 포함한다.
- [68] 기준 커패시터(112)에서 기준 커패시터들(Cn1, Cn2)이 제 3 노드(L2)와 제 6 노드(H2)에 연결된다. 여기서, 제 1 기준 커패시터(Cn1)는 100nF의 용량을 갖고, 제 2 기준 커패시터(Cn2)는 제 10nF의 용량을 갖는다.
- [69] 제 1 기준 커패시터(Cn1)는 일단이 제 1 기준 스위치(Sn1)를 통해 제 3 노드(L2)에 연결되고, 다른 일단이 제 6 노드(H2)에 연결된다.
- [70] 제 2 기준 커패시터(Cn2)는 일단이 제 2 기준 스위치(Sn2)를 통해 제 3 노드(L2)에 연결되고, 다른 일단이 제 6 노드(H2)에 연결된다.
- [71] 제 1 캘리브레이션 모듈(110)을 구성하는 커패시터들(Cn1, Cn2, Cx1-Cx20) 각각은 200볼트(V)까지 견딜 수 있는 세라믹 유전체 물질로 구성된 세라믹 커패시터일 수 있다.
- [72] 제 1 캘리브레이션 모듈(110)은 10nF 또는 100nF의 용량을 갖는 기준 커패시터들(Cn1, Cn2)과 100nF 또는 1μF의 용량을 갖는 테스트 커패시터들(Cx1-Cx20)을 사용하여 1:1부터 1000:1까지의 커패시턴스 비(capacitance ratio)의 범위를 만들 수 있다.
- [73] 여기서, 테스트 커패시터들(Cx1-Cx20)과 기준 커패시터들(Cn1, Cn2)은 약 200V까지의 전압을 견딜 수 있는 구조를 갖는다. 각 커패시터들은 커패시턴스와 손실계수의 실제 값을 측정하기 위해 획득되기 위한 전류 비교기 기반 고전압 커패시턴스 브리지(CCB-HVCB: current-comparator-based high voltage capacitance bridge)를 사용하여 측정된다. 테스트 커패시터들은 액면 값에 근접하게 전체

커패시턴스를 획득할 수 있고, 평균 손실 계수는 가능한 최소화된다.

[74] 이와 같이, 10개의 테스트 커패시터들을 병렬 연결함으로써, 1nF을 갖는 테스트 커패시턴스의 경우, 10개를 이용하여 10nF의 커패시턴스 값을 구현함에 따라 상대적으로 낮은 평균 손실 계수를 가질 수 있다.

[75] 테스트 커패시턴스들 전체 커패시턴스(C_{tot})와 전체 컨덕턴스(G_{tot})는 하기의 수학적 식 1과 같이 나타낼 수 있다.

[76] [수식1]

$$C_{tot} = C_1 + C_2 + C_3 + \dots + C_{10}, \quad G_{tot} = G_1 + G_2 + G_3 + \dots + G_{10}$$

[77] 여기서, C_1 내지 C_{10} 은 테스트 커패시터들(C_{x1} - C_{x10}) 또는 테스트 커패시터들(C_{x11} - C_{x20})의 각각의 커패시턴스를 나타내고, G_1 내지 G_{10} 은 테스트 커패시터들(C_{x1} - C_{x10}) 또는 테스트 커패시터들(C_{x11} - C_{x20})의 각각의 컨덕턴스를 나타낼 수 있다.

[78] 또한, 손실 계수는 하기의 수학적 식 2에 근거하여 나타낼 수 있다.

[79] [수식2]

$$D_{avr} = G_{tot} \cdot \frac{1}{2 \cdot \pi \cdot f \cdot C_{tot}}$$

[80] 우선, 비율 1/1(1:1)부터 10/1(10:1)까지의 비율은 제 1 기준 커패시터(C_{n1})와 테스트 커패시터들(C_{x11} - C_{x20})에 의해 만들어질 수 있다. 이때, 제 1 기준 스위치(S_{n1})가 온(ON) 동작하고, 제 11 테스트 스위치(S_{11}) 내지 제 20 테스트 스위치(S_{20})가 선택적으로 온 동작한다. 예를 들어, 테스트 스위치(S_{11} - S_{20})들 중 한 개가 온 동작하면, 1/1의 비율을 만들 수 있고, 다섯 개가 온 동작하면 5/1의 비율을 만들 수 있고, 열 개가 온 동작하면, 10/1의 비율을 만들 수 있다.

[81] 이때, 제 1 테스트 선택 스위치($SW3$)는 제 1 노드($L1$)와 제 3 테스트 노드($L12$)를 연결하고, 제 2 테스트 선택 스위치($SW4$)는 제 5 노드($H1$)와 제 4 테스트 노드($H12$)를 연결한다.

[82] 비율 20/1(20:1)부터 100/1(100:1)까지의 비율은 제 1 기준 커패시터(C_{n1})와 테스트 커패시터들(C_{x1} - C_{x10})에 의해 만들어질 수 있다. 이때, 제 1 기준 스위치(S_{n1})가 온(ON) 동작하고, 제 1 테스트 스위치($S1$) 내지 제 10 테스트 스위치($S10$)가 선택적(즉, 2개 이상이 온 동작)으로 온 동작한다. 예를 들어, 테스트 스위치($S1$ - $S10$)들 중 두 개가 온 동작하면, 20/1의 비율을 만들어낼 수 있고, 열 개가 온 동작하면, 100/1의 비율을 만들 수 있다.

[83] 이때, 제 1 테스트 선택 스위치($SW3$)는 제 1 노드($L1$)와 제 1 테스트 노드($L11$)를 연결하고, 제 2 테스트 선택 스위치($SW4$)는 제 5 노드($H1$)와 제 3 테스트 노드($H11$)를 연결한다.

[84] 다음으로, 비율 200/1(200:1)부터 1000/1(1000:1)까지의 비율을 제 2 기준 커패시터(C_{n2})와 테스트 커패시터들(C_{x1} - C_{x10})에 의해 만들어질 수 있다. 이때,

제 2 기준 스위치(Sn2)가 온(ON) 동작하고, 제 1 테스트 스위치(S1) 내지 제 10 테스트 스위치(S10)가 선택적(즉, 2개 이상이 온 동작)으로 온 동작한다. 예를 들어, 테스트 스위치(S1-S10)들 중 두 개가 온 동작하면, 200/1의 비율을 만들어낼 수 있고, 열 개가 온 동작하면, 1000/1의 비율을 만들 수 있다.

[85] 이때, 제 1 테스트 선택 스위치(SW3)는 제 1 노드(L1)와 제 1 테스트 노드(L11)를 연결하고, 제 2 테스트 선택 스위치(SW4)는 제 5 노드(H1)와 제 3 테스트 노드(H11)를 연결한다.

[86] 제 1 캘리브레이션 모듈(110)에서 커패시턴스비에 따른 이론 값(TV: theoretical value)과 측정된 값(MV: measured value)의 비교에 의해 에러값(δ)은 하기의 수식식3과 같이 나타낼 수 있다.

[87] [수식3]

$$\delta = \frac{MV - TV}{TV} \times 10^6$$

[88] 이를 통해, 제 1 캘리브레이션 모듈(110)은 연결된 전기 용량 브릿지(10)의 성능 측정 시 일대일(1/1(1:1))부터 천대일(1000/1(1000:1))까지 범위를 측정할 수 있다.

[89] 도 4는 도 1의 제 2 캘리브레이션 모듈을 예시적으로 도시한 도면이다.

[90] 도 4를 참조하면, 제 2 캘리브레이션 모듈(120)은 가변 커패시터부(121), 티(T)-레지스터 네트워크부(122), 및 제 2 기준 커패시터부(123)를 포함한다.

[91] 제 1 스위치(SW1)는 제 3 노드(L3)와 전기 용량 브릿지(10)의 제 1 윈도우(Nx)(11)를 연결하고, 제 2 스위치(SW2)는 제 4 노드(L4)와 전기 용량 브릿지(10)의 제 2 윈도우(Ns)(12)를 연결한 상태이다.

[92] 가변 커패시터부(121)는 커패시터(Cx31)와 가변 커패시터(Cx32)를 포함한다.

[93] 가변 커패시터부(121)에서 커패시터(Cx31)와 가변 커패시터(Cx32)는 제 3 노드(L3)와 제 7 노드(H3) 사이에 연결된다.

[94] 커패시터(Cx31)는 일단이 제 3 노드(L3)에 연결되고, 다른 일단이 제 7노드(H7)에 연결된다. 커패시터(Cx31)는 10nF의 용량을 갖는다.

[95] 가변 커패시터(Cx32)는 일단이 제 3 노드(L3)에 연결되고, 다른 일단이 제 7 노드(H7)에 연결된다. 가변 커패시터(Cx32)는 용량을 가변되도록 조절할 수 있다. 가변 커패시터(Cx32)는 일예로, 약 100pF 내지 150pF의 값 사이에서 변화할 수 있다.

[96] 이를 통해, 커패시터(Cx31)와 가변 커패시터(Cx32)는 제 3 노드(L3)와 제 7 노드(H7)에서 병렬로 연결된다.

[97] 티(T) 레지스터 네트워크부(122)는 제 1 레지스터(R1), 제 2 레지스터(R2), 및 가변 레지스터(R3)를 포함한다. 티 레지스터 네트워크부(122)는 가변 커패시터부(121)의 커패시턴스 변화에 손실 계수 캘리브레이션 동안 부유 커패시턴스(stray capacitance) 또는 기생 커패시턴스(parasitic capacitance)를 생성한다.

- [98] 제 1 레지스터(R1)는 일단이 제 7 노드(H3)에 연결되고, 다른 일단이 제 9 노드(T1)에 연결된다.
- [99] 제 2 레지스터(R2)는 일단이 제 9 노드(T1)에 연결되고, 다른 일단이 전원부(130)와 전기 용량 브리지(10)의 접지단 사이에 연결된다.
- [100] 여기서, 제 1 레지스터(R1)와 제 2 레지스터(R2)는 고정된 레지스턴스를 갖는다.
- [101] 가변 레지스터(R3)는 일단이 제 9 노드(T1)에 연결되고, 다른 일단이 제 3 노드(L3)에 연결된다. 가변 레지스터(R3)는 가변되는 레지스턴스를 갖는다. 이때, 가변 레지스터(R3)의 가변 레지스턴스를 갖는 것에 따른 가변 레지스터 회로(1221)를 예시적으로 도시한다. 그러므로, 가변 레지스터(R3)는 가변 레지스터 회로(1221)로 구현될 수 있다.
- [102] 가변 레지스터 회로(1221)는 보조 스위치들(S31-S38)과 보조 레지스터들(R11-R18)로 구현될 수 있다. 제 9 노드(T1)와 제 3 노드(L3) 사이에 제 1 보조 스위치(S31)와 제 1 보조 레지스터(R11)가 직렬 연결되고, 제 9 노드(T1)와 제 3 노드(L3) 사이에 제 2 보조 스위치(S32)와 제 2 보조 레지스터(S33)가 직렬 연결된다. 이와 같이, 나머지 보조 스위치들(S33-S38)과 보조 레지스터들(R13-R18)도 보조 스위치들(S31, S32) 및 보조 레지스터들(R11, 12)과 같이 연결된다. 제 1 보조 스위치(S31) 내지 제 8 보조 스위치(S38)의 온 또는 오프에 의해 가변 레지스터 회로(1221)의 레지스턴스가 조절될 수 있다.
- [103] 제 2 기준 커패시터부(123)는 제 3 기준 커패시터(Cn3)와 제 4 기준 커패시터(Cn4)를 포함한다. 제 2 기준 커패시터부(123)에서 제 3 기준 커패시터(Cn3)와 제 4 기준 커패시터(Cn4)는 제 4 노드(L4)와 제 8 노드(H4) 사이에 연결된다.
- [104] 제 3 기준 커패시터(Cn3)는 일단이 제 4 노드(L4)에 연결되고, 다른 일단이 제 8 노드(H4)에 연결된다. 제 3 기준 커패시터(Cn3)는 10nF의 용량을 갖는다.
- [105] 제 4 기준 커패시터(Cn4)는 일단이 제 4 노드(L4)에 연결되고, 다른 일단이 제 8 노드(H4)에 연결된다. 제 4 기준 커패시터(Cn4)는 100pF의 용량을 갖는다. 여기서, 제 4 기준 커패시터(Cn4)는 커패시터(Cx31)과 단일 비율(unity ratio)로 매치되기 위해 제 3 기준 커패시터(Cn3)와 가변 커패시터(Cx32)를 필요로 한다.
- [106] 또한, 단일 비율(unity ratio)이 획득된 이후, 추가적인 커패시턴스 값은 가변 커패시터(Cx32)의 값의 조절에 의해 획득될 수 있다.
- [107] 이를 통해, 제 3 기준 커패시터(Cn3)와 제 4 기준 커패시터(Cn4)는 제 4 노드(L4)와 제 8 노드(H4)에서 병렬로 연결된다.
- [108] 제 2 캘리브레이션 모듈(120)을 통한 손실 계수(DF)의 범위는 포지티브 및 네거티브 극성에서 모두 1×10^{-4} 부터 1×10^{-1} 까지의 범위를 갖는다. 이때, 포지티브 극성을 위해 테스트 객체 암(test object arm)에서 사중 전류 주입 회로(quadrature current injection circuit)를 필요로 한다.
- [109] 전기 용량 브릿지(10)의 제 2 윈도우(Ns)에서 두 개의 기준 커패시터들(Cn3,

Cn4)이 연결되고, 제 1 윈도우(Nx)에서 두 개의 커패시터들(Cx31, Cx32)과 터 레지스터 네트워크부(122)가 연결된다.

[110] 손실 계수(Dcalc) 측정은 하기의 수학식 3으로 할 수 있다.

[111] [수식4]

$$D_{calc} = \frac{1}{w \cdot R_x \cdot (C_{x31} + C_{x32})} = \frac{1}{w \cdot R_x \cdot (C_n3 + C_n4)}$$

[112] 수학식 4는 정확히 1:1의 비율일 경우이다.

[113] 터 네트워크 레지스터부(122)의 균등 레지스터는 하기의 수학식 5로 나타낼 수 있다.

[114] [수식5]

$$R_{Xeq} = \frac{R1R2 + R2R3 + R1R3}{R2}$$

[115] Dcalc 값은 정확히 1:1의 비율에서 제 2 기준 커패시턴스부(123)의 커패시턴스로부터 획득될 수 있다. 손실 계수 캘리브레이션 절차는 정확히 1:1 비율(가변 커패시턴스부와 제 2 기준 커패시턴스 간의 비율)에서 수행된다.

[116] 도 5는 제 2 캘리브레이션 모듈에서 터 네트워크 레지스터들의 조합을 예시적으로 도시한 도면이다.

[117] 도 5를 참조하면, R1은 약 100010옴(Ω)이고, R2는 약 1 000.23 Ω 을 갖는다고 가정한다. 세 개의 레지스터들(R1, R2, R3)는 해당 손실 계수(DF) 캘리브레이션 포인트들을 획득하기 위한 조합이다.

[118] 이때, R3값의 변화에 따른 균등 레지스터(Rxeq)와 실제 레지스터(Rx)가 표시된다. 균등 레지스터(Rxeq)는 수학식 4와 5에 근거한 터 레지스터 네트워크에 의해 획득된 값이다. 가변 레지스터(R3)의 값의 변화에 의해 손실 계수 다이얼(DF dial)들이 도시되어 있다.

[119] 이때, 가변 레지스터(R3)가 가변 레지스터 회로(1221)로 구현된 경우, 보조 스위치들(S1-S8)의 선택적인 온 동작에 의해 가변 레지스터(R3)의 값이 도시된 바와 같이 결정될 수 있다.

[120] 또한, 손실 계수는 플러스(+) 극성과 마이너스(-) 극성을 모두 가질 수 있다.

[121] 터 레지스터 네트워크부(122)의 가변 레지스터(R3)의 레지스터값 변화에 의해, 손실 계수 다이얼에 대한 예러는 수학식 4와 5로부터 주어진 계산된 손실 계수들로부터 측정된 손실 계수를 감산하여 획득할 수 있다.

[122] 시험 중인 전기 용량 브리지들을 위한 커패시턴스 비와 손실 계수 모두의 캘리브레이션은 60헤르쯔(Hz)의 주파수를 갖는 약 100볼트(V)의 안정적인 전압 소스의 적용에 의해 수행될 수 있다. 캘리브레이션되는 커패시턴스 비의 범위는 1:1부터 1000:1까지의 범위를 갖고, 손실 계수 다이얼 범위는 포지티브 및 네거티브 극성 모두에서 10^{-4} 부터 10^{-1} 까지의 범위를 갖는다.

[123] 손실 계수의 캘리브레이션은 모든 레지스터들을 오픈한 상태로 측정한다.

이때, 측정된 값들은 전기 용량 브리지, 케이블 임피던스, 및 그라운드 조건들의 윈도우 레지스터스에 의해 야기된다. 이후, 세 개의 레지스터들(R1, R2, R3)의 접속에 의해 손실 계수 측정을 위한 캘리브레이션을 수행한다.

[124] 도 6은 본 발명에 따른 커패시턴스 비를 예시적으로 도시한 그래프이다.

[125] 도 6을 참조하면, 두 개의 전기 용량 브리지들(A, B)에 대해 1:1부터 1000:1까지의 커패시턴스 비 범위에 대한 캘리브레이션 결과를 그래프 형태로 각각 도시한다. 세로축은 수학식 3에서와 같은 설정(이론)값과 측정된 값 사이의 차이를 나타낸다. 가로축은 1:1부터 1000:1까지의 커패시턴스 비를 나타낸다.

[126] 조사된 전체 커패시턴스 비의 범위에서 캘리브레이션에 따른 커패시턴스 비율 에러는 6×10^{-5} 보다 작은 값을 갖는다.

[127] 그래프에서 좌측은 전기 용량 브리지(A)에 대한 캘리브레이션에서 커패시턴스 비에 대한 에러를 나타낸다. 여기서, 그래프 내부의 점선은 2×10^{-4} 의 에러율을 나타낸다. 우측은 전기 용량 브리지(B)에 대한 캘리브레이션에서 커패시턴스 비에 대한 에러를 나타낸다. 그래프 내부의 점선은 10^{-4} 의 에러율을 나타낸다.

[128] 이를 통해, 본 발명에서 제안된 커패시터 레지스터 뱅크 장치는 제조된 전기 용량 브리지들의 스펙을 만족하는 커패시턴스 비(캘리브레이션에 따름)의 에러율을 가지고 있음을 검증할 수 있다.

[129] 도 7은 본 발명에 따른 디스패이션 팩터를 예시적으로 도시한 그래프이다.

[130] 도 7을 참조하면, 두 개의 전기 용량 브리지들(A, B)에 대해 전체 손실 계수 다이얼들 범위에 대한 캘리브레이션 결과를 그래프 형태로 각각 도시한다. 세로축은 수학식 4와 수학식 5에 대해 계산된 값과 측정된 값의 차이에 따른 절대 에러(absolute error)를 나타낸다. 가로축은 10^{-1} 부터 10^{-4} 까지의 손실 계수를 나타낸다.

[131] 네거티브 극성에 대한 캘리브레이션은 제 1 윈도우(11)(Nx)와 제 2 윈도우(12)(Nx)를 바꾸어 결합시켜 획득한다. 이때, 도 4에서 제 1 윈도우(Nx)에 기준 커패시터부(123)(또는, 제 4 노드(L4))가 결합되도록 연결하고, 제 2 윈도우(Ns)에 가변 커패시터부(121)(또는 제 3 노드(L3))가 결합되도록 연결한다.

[132] 그래프에서 좌측은 전기 용량 브리지(A)에 대한 캘리브레이션에서 손실 계수에 따른 에러를 나타낸다. 여기서, 실선은 손실 계수의 스펙을 나타내고, 약 0.5% 리딩 +/- 0.0001로 계산된다. 그래프에서 우측은 전기 용량 브리지(B)에 대한 캘리브레이션에서 손실 계수에 따른 에러를 나타낸다. 여기서, 실선은 손실 계수의 스펙을 나타내고, 약 1% 리딩 +/- 0.00002로 계산된다. 도 5에서 내부에 삽입된 도면들은 -10^{-3} 부터 10^{-3} 까지의 손실 계수 범위를 확장하여 도시한다.

[133] 이를 통해, 본 발명에서 제안된 커패시턴스-레지스터 뱅크 장치는 제조된 전기 용량 브리지들의 스펙을 만족하는 손실 계수(캘리브레이션에 따름)의 절대 에러를 가지고 있음을 검증할 수 있다.

[134] 또한, 본 발명에서 커패시터 레지스터 뱅크 장치의 내부에 존재하는 테스트 스위치들, 선택 스위치들, 보조 스위치들과 같은 스위치들과 가변 커패시터,

가변 레지스터와 같은 가변 소자들은 커패시터 레지스터 뱅크 장치 내부의 제어부의 제어에 따라 제어되거나, 사용자로부터의 제어 또는 입력으로 발생된 제어 신호에 의해 제어될 수 있다.

- [135] 이를 통해, 본 발명에서 제안된 커패시터 레지스터 뱅크 장치는 전기 용량 브리지의 커패시턴스 비와 손실 계수를 캘리브레이션을 통해 측정함으로써, 전기 용량 브리지의 성능을 평가할 수 있다. 전기 용량 브리지의 성능 평가를 커패시터 레지스터 뱅크 장치를 통해 저비용으로, 간단하게 할 수 있으며, 성능 평가에 고가의 장비를 사용할 필요가 없음으로, 교정에 필요한 시간과 비용을 절감할 수 있다.

- [136] 한편, 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

산업상 이용가능성

- [137] 본 발명은 측정 장치에 관한 것으로서, 전기 용량 브리지(일예로, 상용 고전압 전기 용량 브리지)를 평가하기 위한 커패시터 레지스터 뱅크 장치를 제공할 수 있다.

청구범위

- [청구항 1] 전기 용량 브리지의 커패시턴스비를 측정하기 위한 제 1 캘리브레이션 모듈;
 상기 전기 용량 브리지의 손실 계수를 측정하기 위한 제 2 캘리브레이션 모듈;
 상기 전기 용량 브리지의 접지단에 일단이 연결되고, 동작 전압을 제공하는 제공하는 전원부; 및
 상기 전기 용량 브리지에 상기 제 1 캘리브레이션 모듈과 상기 제 2 캘리브레이션 모듈 중 하나를 연결하기 위한 스위치부를 포함하는 커패시터 레지스터 뱅크 장치.
- [청구항 2] 제 1 항에 있어서,
 상기 제 1 캘리브레이션 모듈은
 상기 전기 용량 브리지의 제 1 윈도우(N_x)에 일단이 상기 스위치부를 통해 연결되고, 상기 전원부에 다른 일단이 연결된 테스트 커패시터부; 및
 상기 전기 용량 브리지의 제 2 윈도우(N_s)에 일단이 상기 스위치부를 통해 연결되고, 상기 전원부에 다른 일단이 연결된 기준 커패시터부를 포함하는 커패시터 레지스터 뱅크 장치.
- [청구항 3] 제 2 항에 있어서,
 상기 테스트 커패시터부는
 제 1 테스트 노드와 제 2 테스트 노드 중 하나를 상기 전원부로 연결하기 위한 제 1 선택 스위치;
 제 3 테스트 노드와 제 4 테스트 노드 중 하나를 상기 제 1 윈도우로 연결하기 위한 제 2 선택 스위치;
 10마이크로 패럿의 용량을 갖고, 일단이 상기 제 1 테스트 노드에 연결되는 10개의 제 1 테스트 커패시터들;
 상기 제 1 테스트 커패시터들 각각의 다른 일단에 연결되고, 온 동작을 통해 상기 제 3 테스트 노드에 연결되는 10개의 제 1 테스트 스위치들;
 100나노 패럿의 용량을 갖고, 일단이 상기 제 2 테스트 노드에 연결되는 10개의 제 2 테스트 커패시터들; 및
 상기 제 2 테스트 커패시터들 각각의 다른 일단에 연결되고, 온 동작을 통해 상기 제 4 테스트 노드에 연결되는 10개의 제 2 테스트 스위치들을 포함하는 커패시터 레지스터 뱅크 장치.
- [청구항 4] 제 3 항에 있어서,
 상기 기준 커패시터부는
 100나노 패럿의 용량을 갖고, 일단이 전원부에 연결되는 제 1 기준 커패시터;
 상기 제 1 기준 커패시터의 다른 일단에 연결되고, 온 동작을 통해 상기 제

2 윈도우에 연결되는 제 1 기준 스위치;
 10나노 패럿의 용량을 갖고, 일단이 전원부에 연결되는 제 2 기준
 커패시터; 및
 상기 제 2 기준 커패시터의 다른 일단에 연결되고, 온 동작을 통해 상기 제
 2 윈도우에 연결되는 제 2 기준 스위치를 포함하는 커패시터 레지스터
 뱅크 장치.

[청구항 5] 제 4 항에 있어서,
 상기 1 캘리브레이션 모듈은 상기 스위치부를 통해 상기 전기 용량
 브리지에 연결되면,
 상기 제 1 기준 스위치의 온 동작과 상기 제 1 테스트 스위치들의
 선택적인 온 동작에 의해 20대1부터 100대1까지의 비율을 갖는
 커패시턴스 비를 측정하고,
 상기 제 1 기준 스위치의 온 동작과 상기 제 2 테스트 스위치들의
 선택적인 온 동작에 의해 1대1부터 10대1까지의 비율을 갖는 커패시턴스
 비를 측정하고,
 상기 제 2 기준 스위치의 온 동작과 상기 제 1 테스트 스위치들의
 선택적인 온 동작에 의해 200대1부터 1000대1까지의 비율을 갖는
 커패시턴스 비를 측정하는 커패시터 레지스터 뱅크 장치.

[청구항 6] 제 1 항에 있어서,
 상기 제 2 캘리브레이션 모듈은
 상기 전기 용량 브리지의 제 1 윈도우(N_x)에 일단이 연결되고, 상기
 전원부에 다른 일단이 연결된 가변 커패시터부;
 상기 전원부, 상기 제 1 윈도우, 및 상기 전원부와 상기 전기 용량
 브리지의 접지단 사이의 접점에 연결되고, 가변되는 레지스턴스를 갖는
 터 레지스터 네트워크부; 및
 상기 전기 용량 브리지의 제 2 윈도우(N_s)에 일단이 연결되고, 상기
 전원부에 다른 일단이 연결된 기준 커패시터부를 포함하는 커패시터
 레지스터 뱅크 장치.

[청구항 7] 제 6 항에 있어서,
 상기 가변 커패시터부는
 10나노 패럿의 용량을 갖고, 상기 제 1 윈도우에 일단이 연결되고, 상기
 전원부에 다른 일단이 연결된 커패시터; 및
 100피코패럿 내지 150피코패럿 사이의 값으로 가변되는 용량을 갖고,
 상기 제 1 윈도우에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된
 가변 커패시터를 포함하는 커패시터 레지스터 뱅크 장치.

[청구항 8] 제 7 항에 있어서,
 상기 터 레지스터 네트워크부는
 상기 전원부에 일단이 연결된 제 1 레지스터;

상기 제 1 레지스터의 다른 일단에 연결되고, 상기 전원부와 상기 전기 용량 브리지의 접지단 사이의 접점에 연결되는 제 2 레지스터; 및
상기 제 1 레지스터와 상기 제 2 레지스터 사이에 일단이 연결되고, 다른 일단이 상기 제 1 윈도우에 연결되는 가변 레지스터를 포함하는 커패시터 레지스터 뱅크 장치.

[청구항 9] 제 8 항에 있어서,
상기 기준 커패시터부는
10나노 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 2 윈도우에 일단이 연결되는 제 1 기준 커패시터; 및
100피코 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 2 윈도우에 일단이 연결되는 제 2 기준 커패시터를 포함하는 커패시터 레지스터 뱅크 장치.

[청구항 10] 제 9 항에 있어서,
상기 제 2 캘리브레이션 모듈은 상기 제 3 레지스터의 레지스턴스 변화를 통해 1×10^{-4} 부터 1×10^{-1} 까지의 포지티브 극성을 갖는 손실 계수를 캘리브레이션하는 커패시터 레지스터 뱅크 장치.

[청구항 11] 제 1 항에 있어서,
상기 제 2 캘리브레이션 모듈은
상기 전기 용량 브리지의 제 2 윈도우(N_6)에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 가변 커패시터부;
상기 전원부, 상기 제 2 윈도우, 및 상기 전원부와 상기 전기 용량 브리지의 접지단 사이의 접점에 연결되고, 가변되는 레지스턴스를 갖는 터 레지스터 네트워크부; 및
상기 전기 용량 브리지의 제 1 윈도우(N_x)에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 기준 커패시터부를 포함하는 커패시터 레지스터 뱅크 장치.

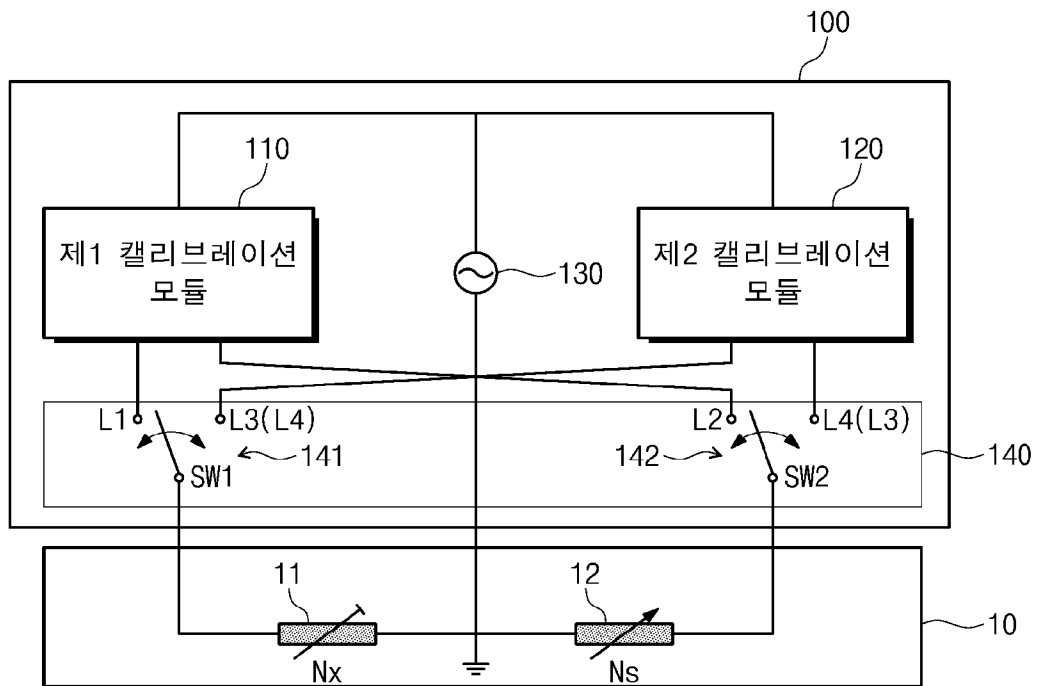
[청구항 12] 제 11 항에 있어서,
상기 가변 커패시터부는
10나노 패럿의 용량을 갖고, 상기 제 2 윈도우에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 커패시터; 및
100피코패럿 내지 150피코패럿 사이의 값으로 가변되는 용량을 갖고, 상기 제 2 윈도우에 일단이 연결되고, 상기 전원부에 다른 일단이 연결된 가변 커패시터를 포함하는 커패시터 레지스터 뱅크 장치.

[청구항 13] 제 12 항에 있어서,
상기 터 레지스터 네트워크부는
상기 전원부에 일단이 연결된 제 1 레지스터;
상기 제 1 레지스터의 다른 일단에 연결되고, 상기 전원부와 상기 전기 용량 브리지의 접지단 사이의 접점에 연결되는 제 2 레지스터; 및

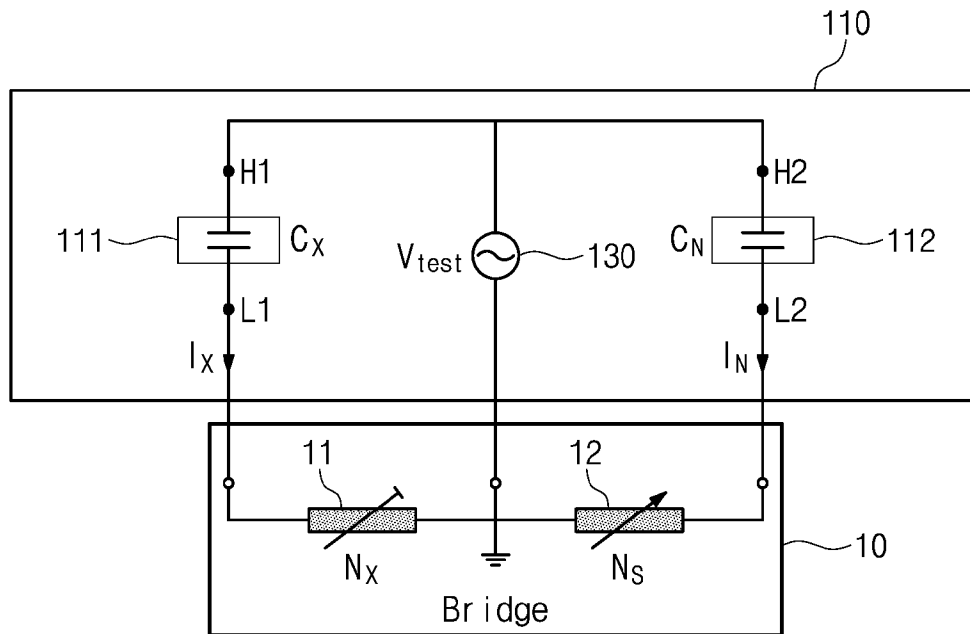
상기 제 1 레지스터와 상기 제 2 레지스터 사이에 일단이 연결되고, 다른 일단이 상기 제 2 윈도우에 연결되는 가변 레지스터를 포함하는 커패시터 레지스터 뱅크 장치.

- [청구항 14] 제 13 항에 있어서,
상기 기준 커패시터부는
10나노 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 1 윈도우에 일단이 연결되는 제 1 기준 커패시터; 및
100피코 패럿의 용량을 갖고, 상기 전원부에 일단이 연결되고, 상기 제 1 윈도우에 일단이 연결되는 제 2 기준 커패시터를 포함하는 커패시터 레지스터 뱅크 장치.
- [청구항 15] 제 14 항에 있어서,
상기 제 2 캘리브레이션 모듈은 상기 제 3 레지스터의 레지스턴스 변화를 통해 1×10^{-4} 부터 1×10^{-1} 까지의 네거티브 극성을 갖는 손실 계수를 캘리브레이션하는 커패시터 레지스터 뱅크 장치.

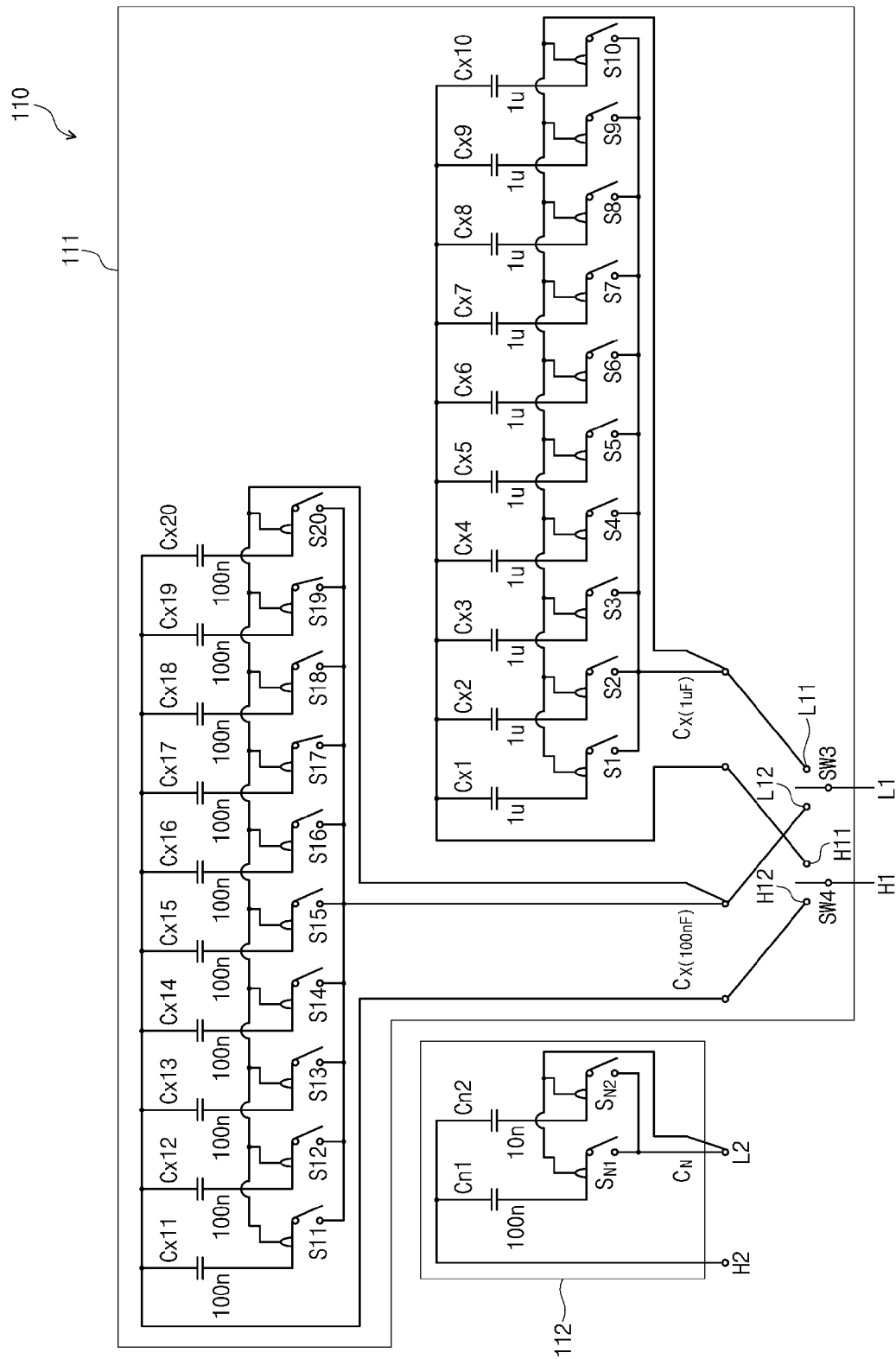
[도1]



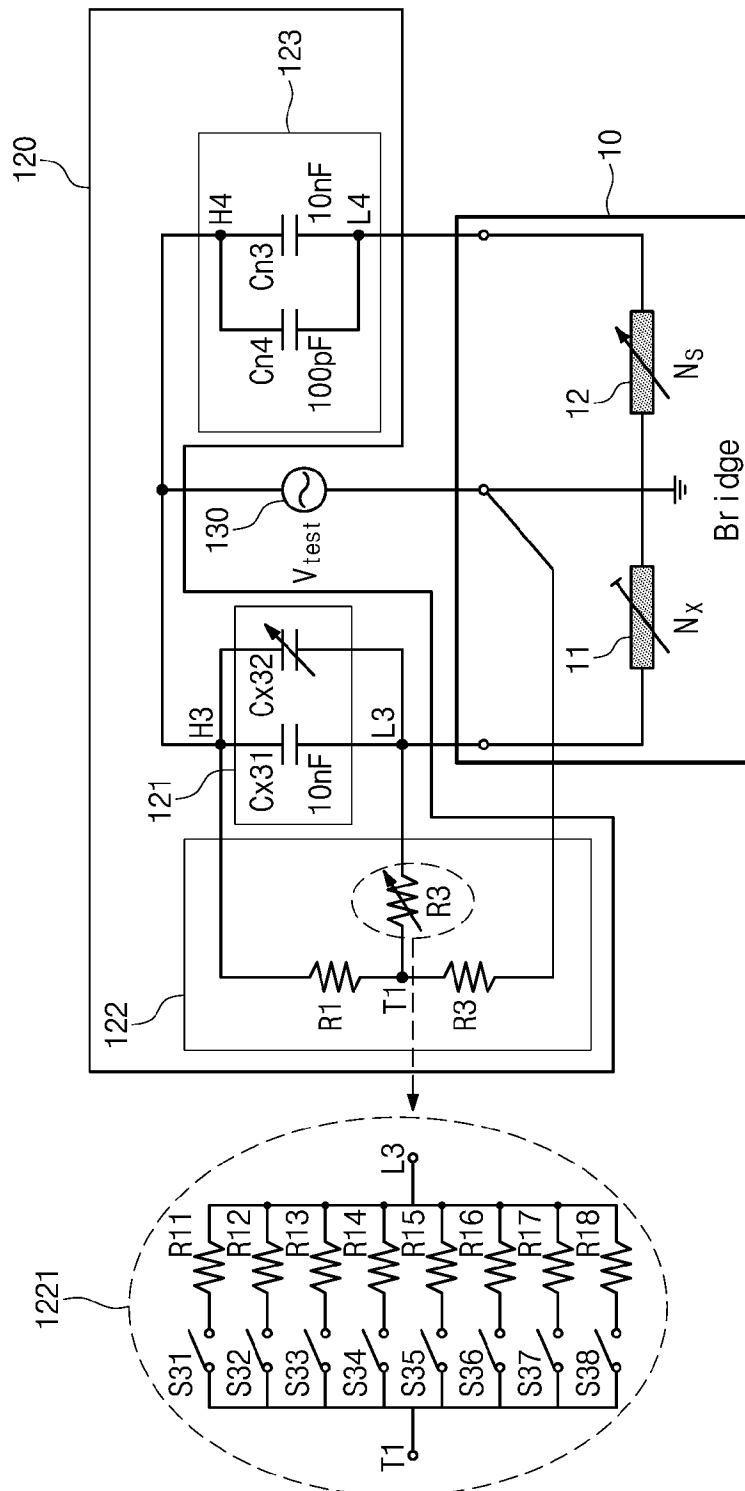
[도2]



[도3]



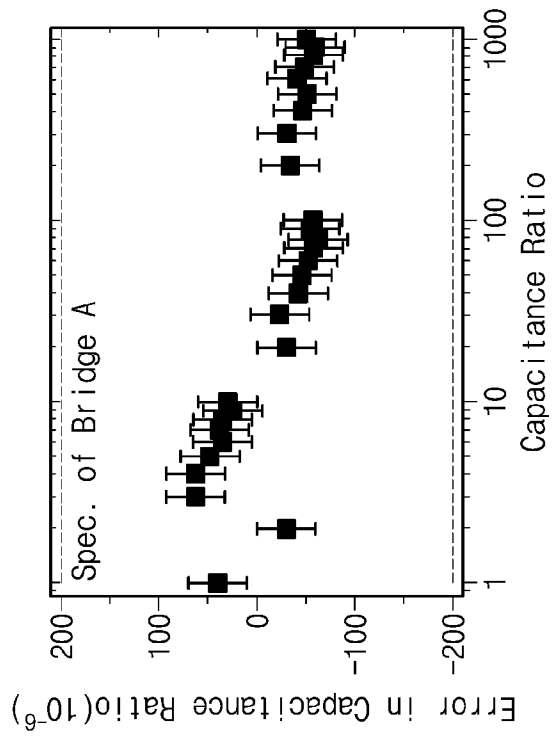
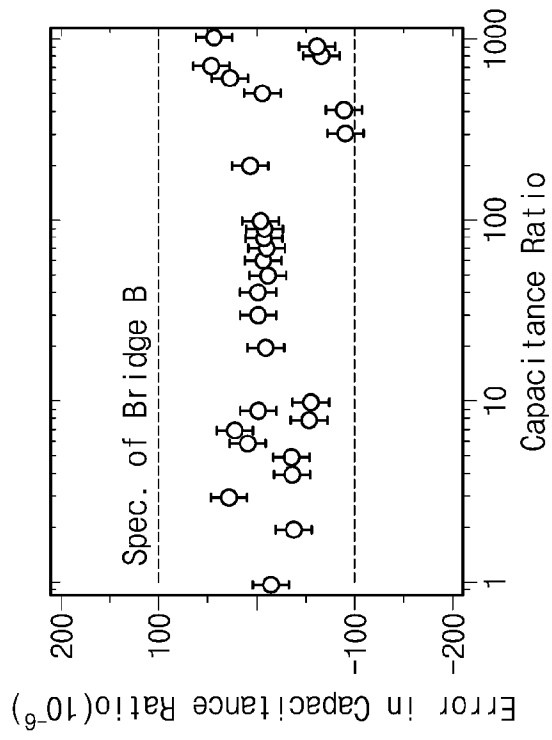
[도4]



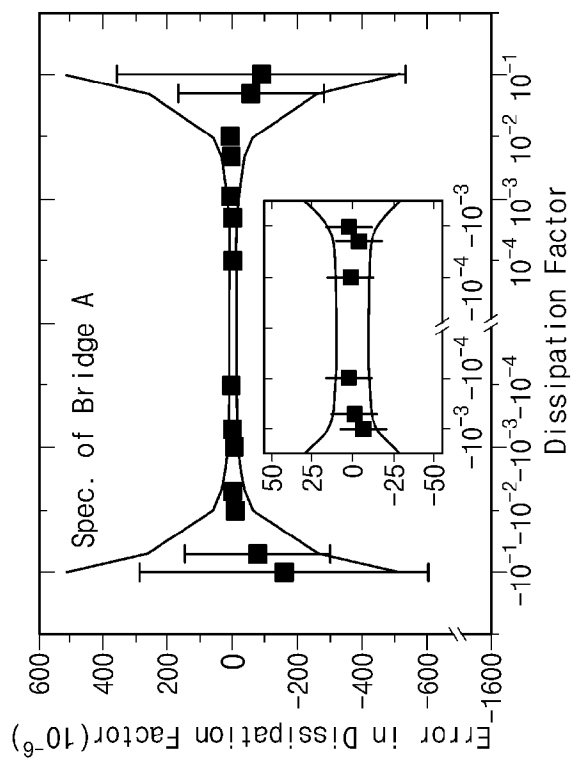
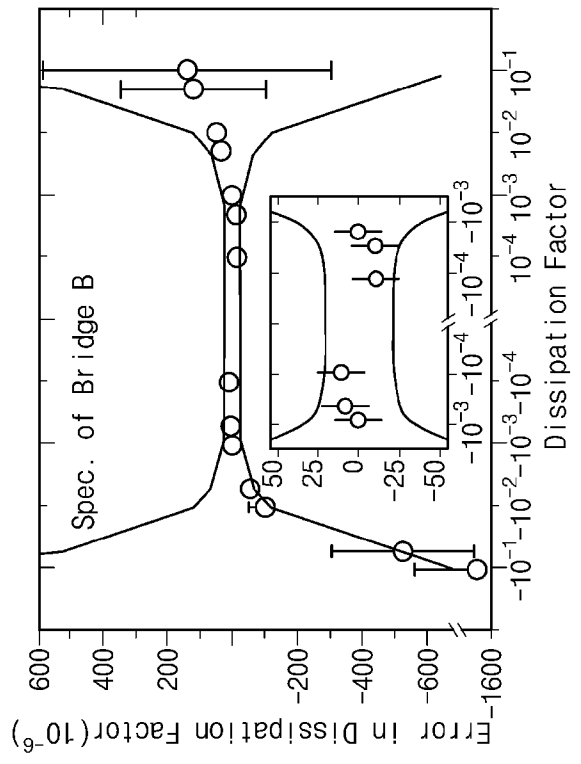
[도5]

DF dial(10^{-6})	$R_3(k\Omega)$	$R_{Xeq}(M\Omega)$	$R_X(M\Omega)$
100	2640.10	2637.05	2627.00
500	530.05	529.52	529.10
1,000	264.82	264.60	264.62
5,000	52.91	52.95	52.96
10,000	26.38	26.45	26.46
50,000	5.20	5.29	5.29
100,000	2.54	2.64	2.64
-100	2640.10	2637.05	2627.00
-500	530.05	529.52	529.10
-1,000	264.82	264.60	264.62
-5,000	52.91	52.95	52.96
-10,000	26.38	26.45	26.46
-50,000	5.20	5.29	5.29
-100,000	2.54	2.64	2.64

[도6]



[도7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/005773

A. CLASSIFICATION OF SUBJECT MATTER

G01R 31/02(2006.01)i, G01R 31/01(2006.01)i, G01R 27/26(2006.01)i, G01R 35/02(2006.01)i, G01R 19/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R 31/02; G01R 27/26; H03M 1/38; G01R 31/01; G01R 35/02; G01R 19/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: electric capacity bridge, assessment, capacitor, register

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JUNG, Jae Kap et al., "Fabrication of Capacitor-resistor Bank for Calibrating Commercial Capacitance and Tan δ Measuring Bridge", Precision Electromagnetic Measurements (CPEM 2014), 2014 Conference, 24-29 August 2014 See pages 612-613.	1-5
Y		6-15
Y	KIM, Yoon-Hyoung et al., "Development and Verification of Evaluation Technique for High Voltage Capacitance Bridge", Proceedings of the Korea Institute of Electrical Engineers, July 2009 See pages 2059-2060.	6-15
X	JUNG, Jae Kap et al., "Fabrication of Capacitor-resistor Bank for Calibrating Commercial Capacitance and Tan δ Measuring Bridge", IEEE Transactions on Instrumentation and Measurement (volume: 64, issue: 6), June 2015 See pages 1564-1569. (The present document pertains to a known document indicating exceptions to lack of novelty by the applicant.)	1-15
A	KR 10-1299215 B1 (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 22 August 2013 See abstract and figure 4.	1-15
A	US 2011-0254567 A1 (GEHRIG et al.) 20 October 2011 See abstract, claims 1-9 and figures 3-6.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 NOVEMBER 2016 (21.11.2016)

Date of mailing of the international search report

21 NOVEMBER 2016 (21.11.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/005773

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1299215 B1	22/08/2013	NONE	
US 2011-0254567 A1	20/10/2011	CH 699774 A2	30/04/2010
		CN 102203594 A	28/09/2011
		CN 102203594 B	22/10/2014
		CN 104280429 A	14/01/2015
		EP 2347251 A1	27/07/2011
		EP 2347251 B1	26/02/2014
		EP 2700936 A2	26/02/2014
		EP 2700936 A3	02/04/2014
		EP 2700936 B1	24/02/2016
		JP 2012-506057 A	08/03/2012
		US 2015-219580 A1	06/08/2015
		US 8698510 B2	15/04/2014
		WO 2010-043063 A1	22/04/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G01R 31/02(2006.01)i, G01R 31/01(2006.01)i, G01R 27/26(2006.01)i, G01R 35/02(2006.01)i, G01R 19/10(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G01R 31/02; G01R 27/26; H03M 1/38; G01R 31/01; G01R 35/02; G01R 19/10

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전기 용량 브리지, 평가, 커패시터, 레지스터

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JAE KAP JUNG 등 "Fabrication of capacitor-resistor bank for calibrating commercial capacitance and tan δ measuring bridge", Precision Electromagnetic Measurements (CPEM 2014), 2014 Conference, 2014.08.24-29, 페이지 612-613 참조.	1-5
Y		6-15
Y	김윤형 등 "고전압 전기용량 브리지 평가 기술 개발 및 검증", 대한전기학회 학술대회 논문집 2009.7, 페이지 2059-2060 참조.	6-15
X	JAE KAP JUNG 등 "Fabrication of capacitor-resistor bank for calibrating commercial capacitance and tan δ measuring bridges", IEEE Transactions on Instrumentation and Measurement (Volume:64, Issue:6) 2015.06, 페이지 1564-1569 참조. (본 문헌은 출원인이 신규성 상실의 예외로서 선언한 공지문헌임)	1-15
A	KR 10-1299215 B1 (전자부품연구원) 2013.08.22 요약 및 도면 4 참조.	1-15
A	US 2011-0254567 A1 (GEHRIG 등) 2011.10.20 요약, 청구항 1-9 및 도면 3-6 참조.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"&" 동일한 대응특허문헌에 속하는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 11월 21일 (21.11.2016)

국제조사보고서 발송일

2016년 11월 21일 (21.11.2016)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이은규

전화번호 +82-42-481-3580



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1299215 B1	2013/08/22	없음	
US 2011-0254567 A1	2011/10/20	CH 699774 A2	2010/04/30
		CN 102203594 A	2011/09/28
		CN 102203594 B	2014/10/22
		CN 104280429 A	2015/01/14
		EP 2347251 A1	2011/07/27
		EP 2347251 B1	2014/02/26
		EP 2700936 A2	2014/02/26
		EP 2700936 A3	2014/04/02
		EP 2700936 B1	2016/02/24
		JP 2012-506057 A	2012/03/08
		US 2015-219580 A1	2015/08/06
		US 8698510 B2	2014/04/15
		WO 2010-043063 A1	2010/04/22