

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 2 月 14 日 (14.02.2019)



(10) 国际公布号
WO 2019/028972 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 29/06** (2006.01)

(21) 国际申请号: PCT/CN2017/102585

(22) 国际申请日: 2017 年 9 月 21 日 (21.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710670222.8 2017 年 8 月 7 日 (07.08.2017) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。

(72) 发明人: 李松杉 (LI, Songshan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: METHOD FOR PREPARING BOTTOM-GATE LOW TEMPERATURE POLY-SILICON TRANSISTOR

(54) 发明名称: 底栅型低温多晶硅晶体管的制备方法

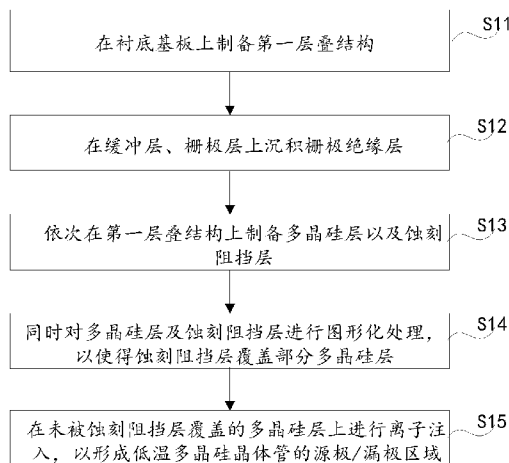


图 1

S11 Prepare a first stacked structure on a base substrate

S12 Deposit a gate insulation layer on a buffer layer and a gate layer

S13 Successively prepare a poly-silicon layer and an etching barrier layer on the first stacked structure

S14 Simultaneously pattern the poly-silicon layer and the etching barrier layer, so that the etching barrier layer covers part of the poly-silicon layer

S15 Perform ion implantation on the part of the poly-silicon layer that is not covered by the etching barrier layer to form a source/drain region of the low temperature poly-silicon transistor

(57) Abstract: A method for preparing a bottom-gate low temperature poly-silicon transistor, comprising: preparing a first stacked structure on a base substrate; successively preparing a poly-silicon layer and an etching barrier layer on the first stacked structure; simultaneously patterning the poly-silicon layer and the etching barrier layer, so that the etching barrier layer covers part of the poly-silicon layer; and performing ion implantation on the part of the poly-silicon layer that is not covered by the etching barrier layer to form a source/drain region of the low temperature poly-silicon transistor. The method can simplify a process flow and reduce manufacturing costs.

(57) 摘要: 一种底栅型低温多晶硅晶体管的制备方法, 包括: 在衬底基板上制备第一层叠结构; 依次在第一层叠结构上制备多晶硅层以及蚀刻阻挡层; 同时对多晶硅层及蚀刻阻挡层进行图形化处理, 以使得蚀刻阻挡层覆盖部分多晶硅层; 在未被蚀刻阻挡层覆盖的多晶硅层上进行离子注入, 以形成低温多晶硅晶体管的源极/漏极区域。能够简化工艺流程, 节省制造成本。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告 (条约第21条(3))。

底栅型低温多晶硅晶体管的制备方法

[1] **【技术领域】**

[2] 本发明涉及显示技术领域，特别是涉及一种底栅型低温多晶硅晶体管的制备方法。

[3] **【背景技术】**

[4] 低温多晶硅（Low Temperature Poly-Silicon, LTPS）因其电子迁移率高，亚阈值摆幅好，开关态电流比大，耗电低，同时可以制作高像素密度PPI，且可以应用在柔性OLED基板上等特点而引起广泛关注。

[5] 传统的制备方法，需要采用两次光罩（mask）分别对多晶硅层及蚀刻阻挡层进行图形化定义，工艺流程复杂且制作成本高。

[6] **【发明内容】**

[7] 本发明提供一种底栅型低温多晶硅晶体管的制备方法，能够简化工艺流程，节省制造成本。

[8] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种底栅型低温多晶硅晶体管的制备方法，所述方法包括：在衬底基板上制备第一层叠结构；依次在所述第一层叠结构上制备多晶硅层以及蚀刻阻挡层；同时对所述多晶硅层及所述蚀刻阻挡层进行图形化处理，以使得所述蚀刻阻挡层覆盖部分所述多晶硅层，包括：采用半透视掩模板对所述多晶硅层及所述蚀刻阻挡层进行图形化处理，所述半透视掩模板的对应所述多晶硅层的区域与对应所述蚀刻阻挡层的区域的透光率不同；在未被所述蚀刻阻挡层覆盖的多晶硅层上进行离子注入，以形成所述低温多晶硅晶体管的源极/漏极区域，其中，所述离子采用硼离子、铋离子、锗离子及钴离子中的一种。

[9] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种底栅型低温多晶硅晶体管的制备方法，所述方法包括：在衬底基板上制备第一层叠结构；依次在所述第一层叠结构上制备多晶硅层以及蚀刻阻挡层；同时对所述多晶硅层及所述蚀刻阻挡层进行图形化处理，以使得所述蚀刻阻挡层覆盖部分所述多

晶硅层；在未被所述蚀刻阻挡层覆盖的多晶硅层上进行离子注入，以形成所述低温多晶硅晶体管的源极/漏极区域。

[10] 为解决上述技术问题，本发明采用的又一个技术方案是：一种底栅型低温多晶硅晶体管，包括：衬底基板；第一层叠结构，制备于所述衬底基板上；图形化的多晶硅层，制备于所述第一层叠结构上；图形化的蚀刻阻挡层，制备于所述多晶硅层上，所述蚀刻阻挡层覆盖部分所述多晶硅层；第二层叠结构，形成于所述多晶硅层及所述蚀刻阻挡层上，所述第二层叠结构包括源/漏电极层、平坦化层、阳极层、像素定义层以及支撑层。

[11] 本发明的有益效果是：提供一种底栅型低温多晶硅晶体管的制备方法，通过同时对多晶硅层及蚀刻阻挡层进行图形化处理，能够简化工艺流程，节省制造成本。

[12] **【附图说明】**

[13] 图1是本发明底栅型低温多晶硅晶体管的制备方法第一实施方式的流程示意图；

[14] 图2是本发明图1中步骤S1的第一实施方式的流程示意图；

[15] 图3是本发明制备多晶硅层一实施方式的流程示意图；

[16] 图4是本发明底栅型低温多晶硅晶体管制备方法第一实施例中制备第一层叠结构、多晶硅层及蚀刻阻挡层的示意图；

[17] 图5是本发明底栅型低温多晶硅晶体管的制备方法第一实施方式中对多晶硅层及蚀刻阻挡层进行图形化处理的示意图；

[18] 图6是本发明底栅型低温多晶硅晶体管的制备方法第一实施方式中对多晶硅层及蚀刻阻挡层进行图形化处理后的示意图；

[19] 图7是本发明底栅型低温多晶硅晶体管的制备方法第二实施方式的流程示意图；

[20] 图8是图7中步骤S26一实施方式的流程示意图；

[21] 图9是本发明底栅型低温多晶硅晶体管一实施方式的结构示意图。

[22] **【具体实施方式】**

[23] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、

完整地描述，显然，所描述的实施例仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

- [24] 请一并参阅图1，图1为本发明底栅型低温多晶硅晶体管的制备方法一实施方式的流程示意图。
- [25] S11，在衬底基板上制备第一层叠结构。
- [26] 该步骤中，先提供一衬底基板。该衬底基板可以为透明材质，具体可以是玻璃、陶瓷基板或者透明塑料等任意形式的基板，此处本发明不做具体限定，且在本实施例中，所采用的衬底基板为玻璃基板。
- [27] 进一步，在该阵列基板上制备第一层叠结构，如图2，且该步骤S11具体可以包括如下子步骤：
- [28] S111，在衬底基板上依次沉积缓冲层及栅极层。
- [29] 在上述的衬底基板上沉积两层缓冲层Buffer，且该缓冲层的材料可以为包括但不限于氧化硅（SiOx）和氮化硅（SiNx）中的一种，本实施例不做具体限定。且沉积缓冲层的作用是防止衬底基板（本实施例中采用玻璃基板）中的金属离子（铝、钡、钠等）在热工艺中扩散到低温多晶硅的有源区，通过缓冲层厚度或沉积条件可以改善多晶硅背面的质量。进一步，该缓冲层有利于降低热传导，减缓被激光加热的硅冷却速率，利于硅的结晶。
- [30] 进一步，在缓冲层上沉积栅极层GE，该栅极层的材料可以采用包括但不限于金属钼Mo。
- [31] S112，对栅极层进行图形化处理。
- [32] 进一步对该栅极层采用光刻工艺使之图形化，且光刻工艺可以进一步包括涂胶、对准、曝光以及显影等具体步骤，此处可以参见现有技术中光刻工艺的具体操作流程，此处不做进一步限定。
- [33] S12，在缓冲层、栅极层上沉积栅极绝缘层。
- [34] 接着在缓冲层及图形化后的栅极层上沉积栅极绝缘层GI，且栅极绝缘层的材料可以为包括但不限于氧化硅（SiOx）和氮化硅（SiNx）中的一种，本实施例中采用氧化硅。

- [35] S13, 依次在第一层叠结构上制备多晶硅层以及蚀刻阻挡层。
- [36] 步骤S13中, 先在上述层叠结构上制备多晶硅层, 参见图3, 且制备多晶硅层可以进一步如下步骤:
- [37] S131, 在第一层叠结构上沉积非晶硅层。
- [38] 该步骤中, 具体来说是在栅极绝缘层GI上沉积非晶硅层 (amorphous silicon)。
- [39] S132, 对非晶硅层进行结晶处理, 以使得其转变为多晶硅层。
- [40] 进一步对该非晶硅层进行结晶处理, 具体可以采用准分子镭射结晶退火 (Excimer Laser Annealing, EAL) 的方式, 即通过准分子激光对非晶硅进行照射, 实现a-Si薄膜向多晶硅薄膜的转变。
- [41] 进一步, 在上述多晶硅层上沉积蚀刻阻挡层 (Etch Stop Layer), 且该蚀刻阻挡层的材料也可以为包括但不限于为氮化硅及氧化硅的一种。
- [42] 且上述关于第一层叠结构、多晶硅层及蚀刻阻挡层的结构示意图可以具体参见图4, 图4为本发明底栅型低温多晶硅晶体管制备方法第一实施例中制备第一层叠结构、多晶硅层及蚀刻阻挡层的示意图。
- [43] S14, 同时对多晶硅层及蚀刻阻挡层进行图形化处理, 以使得蚀刻阻挡层覆盖部分多晶硅层。
- [44] 参阅图5, 本实施例中, 对多晶硅层及蚀刻阻挡层进行图形化处理所采用的掩膜板为半透视掩膜板, 所述半透视掩膜板的对应所述多晶硅层的区域与对应所述蚀刻阻挡层的区域的透光率不同。具体如图5所示, 该半透视掩膜板中间部分为非透光区A, 以其为中心其两侧分别分布着部分透光区B以及全透光区C。采用该半透视掩膜板同时对多晶硅层及蚀刻阻挡层进行图形化处理, 且该图形化处理可以采用一般的光刻工艺, 即包括涂胶、对准、曝光以及显影等具体步骤, 以使得多晶硅层及蚀刻阻挡层图形化。进一步图形化后的多晶硅层以及蚀刻阻挡层的形状可以参见图6。图6中, 对应半透视掩膜板的非透光区A的多晶硅层以及蚀刻阻挡层保留下来, 对应半透视掩膜板的部分透光区B多晶硅层保留, 对应半透视掩膜板的全透光区C, 二者均被蚀刻。经过该图形化处理后, 使得蚀刻

阻挡层部分覆盖多晶硅层。

[45] 且本步骤中，采用半透视掩膜板同时对多晶硅层及蚀刻阻挡层进行图形化处理，可以简化工艺流程，节省制造成本。

[46] S15，在未被蚀刻阻挡层覆盖的多晶硅层上进行离子注入，以形成低温多晶硅晶体管的源极/漏极区域。

[47] 进一步，在图形化后的多晶硅层上进行离子注入。其中，离子注入是通过使得待注入的原子（分子）电离，离子经过加速射到固体材料以后，与材料中的原子核与电子将发生一系列的碰撞，经过一段曲折路径的运动，入射离子能量逐渐损失，最后停留在材料中，并引起材料表面成分、结构和性能发生变化。且采用的离子可以为包括但不限于硼离子、铋离子、锗离子及钴离子中的一种。本实例中在图形化后的多晶硅层上采用硼离子（Boron）注入，以形成低温多晶硅晶体管的源极/漏极区域P+。

[48] 进一步，在进行退火的活化和氢化处理。其中，多晶硅晶粒之间存在粒界态，多晶硅与氧化层（栅极绝缘层）间存在界面态，影响晶体管电性。氢化处理以氢原子填补多晶硅原子的未结合键或者未饱和键，粒界态、氢化缺陷层以及界面态来减少不稳定数目，提升电特性、迁移率以及阈值电压均匀性等。

[49] 上述实施方式，在底栅型低温多晶硅晶体管的制备工艺中，通过同时对多晶硅层及蚀刻阻挡层进行图形化处理，能够简化工艺流程，节省制造成本。

[50] 请参见图7，图7为本发明底栅型低温多晶硅晶体管的制备方法第二实施方式的流程示意图。且本实施例是在底栅型低温多晶硅晶体管的制备方法第一实施方式的基础上的进一步扩展，且与第一实施方式相同之处不再赘述，且该第二实施方式进一步包括如下子步骤：

[51] S21，在衬底基板上制备第一层叠结构。

[52] S22，依次在第一层叠结构上制备多晶硅层以及蚀刻阻挡层。

[53] S23，同时对多晶硅层及蚀刻阻挡层进行图形化处理，以使得蚀刻阻挡层覆盖部分多晶硅层。

[54] S24，在未被蚀刻阻挡层覆盖的多晶硅层上进行离子注入，以形成低温多晶硅晶体管的源极/漏极区域。

- [55] S25, 在未被蚀刻阻挡层覆盖的多晶硅层上进行离子注入, 以形成低温多晶硅晶体管的源极/漏极区域。
- [56] S26, 在图形化后的多晶硅层及蚀刻阻挡层上制备第二层叠结构, 以完成低温多晶硅晶体管的制备。
- [57] 参见图9, 其中, 第二层叠结构包括源/漏电极层 (SD)、平坦化层 (PLN)、阳极层 (Anode)、像素定义层 (PDL) 以及支撑层 (PS)。
- [58] 参见图8, 步骤S25进一步包括如下子步骤:
- [59] S261, 在图形化后的多晶硅层及蚀刻阻挡层上制备源/漏电极层。
- [60] 在图形化后的多晶硅层及蚀刻阻挡层沉积源/漏电极层, 并通过光刻工艺使其图形化形成SD源漏极, 其中光刻工艺具体包括涂胶、对准、曝光以及显影等步骤。
- [61] S262, 在源/漏电极层上制备图形化的平坦化层。
- [62] 在源/漏电极层上沉积平坦化层 (PLN), 该平坦化层可以为有机光阻材料, 并通过光刻工艺以使得其图形化。
- [63] S263, 在图形化的平坦化层上依次沉积像素定义层及支撑层。
- [64] 在图形化后的平坦化层上沉积阳极层 (Anode), 并通过光刻工艺以使得其图形化。进一步在在图形化后的阳极层依次沉积像素定义层及支撑层, 且像素定义层及支撑层也可以为有机光阻材料。通过上述的制备工艺, 该底栅型低温多晶硅晶体管的制备完成。
- [65] 上述实施方式, 在底栅型低温多晶硅晶体管的制备工艺中, 通过同时对多晶硅层及蚀刻阻挡层进行图形化处理, 能够简化工艺流程, 节省制造成本。
- [66] 综上所述, 本领域技术人员容易理解, 本发明提供底栅型低温多晶硅晶体管的制备方法, 通过同时对多晶硅层及蚀刻阻挡层进行图形化处理, 能够简化工艺流程, 节省制造成本。
- [67] 以上所述仅为本发明的实施方式, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 或直接或间接运用在其他相关的技术领域, 均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种底栅型低温多晶硅晶体管的制备方法，其中，所述制备方法包括：
- 在衬底基板上制备第一层叠结构；
- 依次在所述第一层叠结构上制备多晶硅层以及蚀刻阻挡层；
- 同时对所述多晶硅层及所述蚀刻阻挡层进行图形化处理，以使得所述蚀刻阻挡层覆盖部分所述多晶硅层，包括：
- 采用半透视掩膜板对所述多晶硅层及所述蚀刻阻挡层进行图形化处理，所述半透视掩膜板的对应所述多晶硅层的区域与对应所述蚀刻阻挡层的区域的透光率不同；
- 在未被所述蚀刻阻挡层覆盖的多晶硅层上进行离子注入，以形成所述低温多晶硅晶体管的源极/漏极区域，其中，所述离子采用硼离子、铋离子、锗离子及钴离子中的一种。
- [权利要求 2] 根据权利要求1所述的制备方法，其中，所述在所述层叠结构上制备多晶硅层包括：
- 在所述第一层叠结构上沉积非晶硅层；
- 对所述非晶硅层进行结晶处理，以使得其转变为多晶硅层。
- [权利要求 3] 根据权利要求2所述的制备方法，其中，所述对所述非晶硅层进行结晶处理采用准分子镭射结晶退火的方式。
- [权利要求 4] 根据权利要求1所述的制备方法，其中，所述形成所述低温多晶硅晶体管的源极/漏极区域之后进一步包括：
- 在图形化后的所述多晶硅层及所述蚀刻阻挡层上制备第二层叠结构，以完成所述低温多晶硅晶体管的制备，其中，所述第二层叠结构包括源/漏极层、平坦化层、阳极层、像素定义层以及支撑层。
- [权利要求 5] 根据权利要求4所述的制备方法，其中，所述在图形化后的所述多晶硅层及所述蚀刻阻挡层上制备第二层叠结构包括：
- 在图形化后的所述多晶硅层及所述蚀刻阻挡层上制备源/漏电极层

;

在所述源/漏电极层上制备图形化的平坦化层;

在所述图形化的平坦化层上依次制备阳极层、像素定义层及支撑层。

[权利要求 6] 根据权利要求5所述的制备方法, 其中, 所述平坦化层、像素定义层及所述支撑层为有机光阻材料。

[权利要求 7] 根据权利要求1所述的制备方法, 其中, 所述在衬底基板上制备第一层叠结构包括:

在所述衬底基板上依次沉积缓冲层及栅极层;

对所述栅极层进行图形化处理;

在所述缓冲层、所述栅极层上沉积栅极绝缘层。

[权利要求 8] 根据权利要求7所述的制备方法, 其中, 所述缓冲层、所述蚀刻阻挡层的材料为氧化硅和氮化硅中的一种。

[权利要求 9] 一种底栅型低温多晶硅晶体管的制备方法, 其中, 所述制备方法包括:

在衬底基板上制备第一层叠结构;

依次在所述第一层叠结构上制备多晶硅层以及蚀刻阻挡层;

同时对所述多晶硅层及所述蚀刻阻挡层进行图形化处理, 以使得所述蚀刻阻挡层覆盖部分所述多晶硅层;

在未被所述蚀刻阻挡层覆盖的多晶硅层上进行离子注入, 以形成所述低温多晶硅晶体管的源极/漏极区域。

[权利要求 10] 根据权利要求9所述的制备方法, 其中, 所述同时对所述多晶硅层及所述蚀刻阻挡层进行图形化处理包括:

采用半透视掩膜板对所述多晶硅层及所述蚀刻阻挡层进行图形化处理, 所述半透视掩膜板的对应所述多晶硅层的区域与对应所述蚀刻阻挡层的区域的透光率不同。

[权利要求 11] 根据权利要求9所述的制备方法, 其中, 所述在所述层叠结构上制备多晶硅层包括:

在所述第一层叠结构上沉积非晶硅层；

对所述非晶硅层进行结晶处理，以使得其转变为多晶硅层。

[权利要求 12] 根据权利要求11所述的制备方法，其中，所述对所述非晶硅层进行结晶处理采用准分子镭射结晶退火的方式。

[权利要求 13] 根据权利要求9所述的制备方法，其中，所述形成所述低温多晶硅晶体管的源极/漏极区域之后进一步包括：

在图形化后的所述多晶硅层及所述蚀刻阻挡层上制备第二层叠结构，以完成所述低温多晶硅晶体管的制备，其中，所述第二层叠结构包括源/漏极层、平坦化层、阳极层、像素定义层以及支撑层。

[权利要求 14] 根据权利要求13所述的制备方法，其中，所述在图形化后的所述多晶硅层及所述蚀刻阻挡层上制备第二层叠结构包括：

在图形化后的所述多晶硅层及所述蚀刻阻挡层上制备源/漏电极层；

在所述源/漏电极层上制备图形化的平坦化层；

在所述图形化的平坦化层上依次制备阳极层、像素定义层及支撑层。

[权利要求 15] 根据权利要求14所述的制备方法，其中，所述平坦化层、像素定义层及所述支撑层为有机光阻材料。

[权利要求 16] 根据权利要求9所述的制备方法，其中，所述在衬底基板上制备第一层叠结构包括：

在所述衬底基板上依次沉积缓冲层及栅极层；

对所述栅极层进行图形化处理；

在所述缓冲层、所述栅极层上沉积栅极绝缘层。

[权利要求 17] 根据权利要求16所述的制备方法，其中，所述缓冲层、所述蚀刻阻挡层的材料为氧化硅和氮化硅中的一种。

[权利要求 18] 根据权利要求9所述的制备方法，其中，所述离子采用硼离子、铋离子、锆离子及钴离子中的一种。

[权利要求 19]

一种底栅型低温多晶硅晶体管，其中，包括：

衬底基板；

第一层叠结构，制备于所述衬底基板上；

图形化的多晶硅层，制备于所述第一层叠结构上；

图形化的蚀刻阻挡层，制备于所述多晶硅层上，所述蚀刻阻挡层覆盖部分所述多晶硅层；第二层叠结构，形成于所述多晶硅层及所述蚀刻阻挡层上，所述第二层叠结构包括源/漏电极层、平坦化层、阳极层、像素定义层以及支撑层。

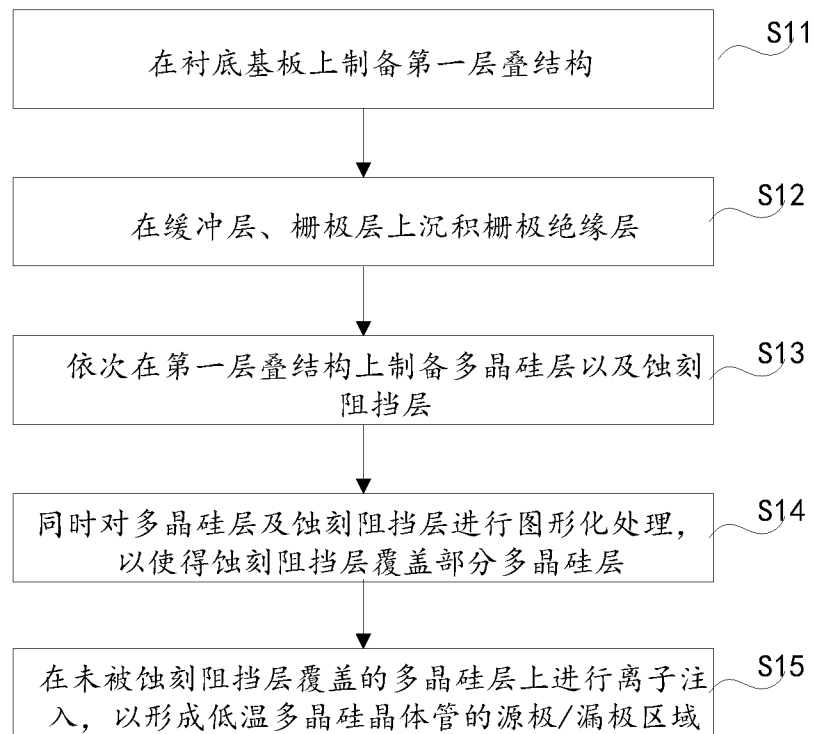


图 1

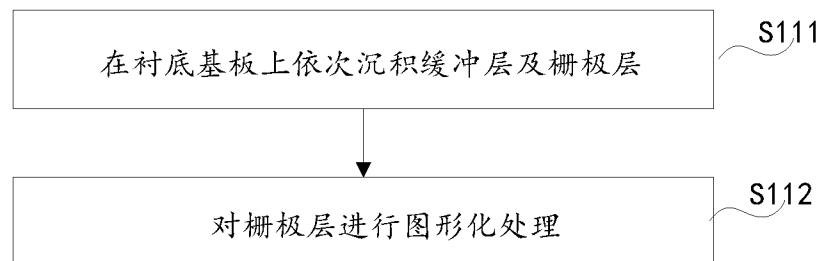


图 2

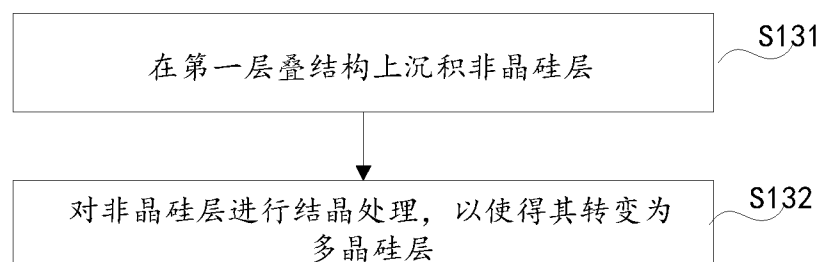


图 3

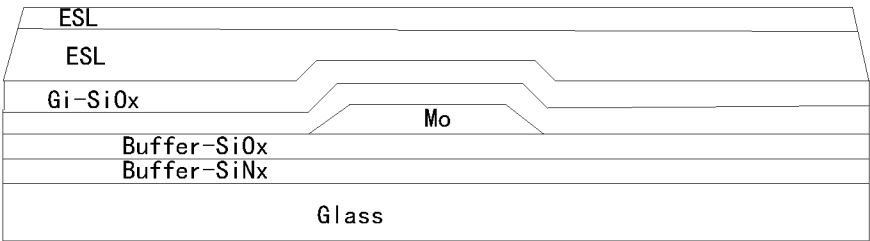


图 4

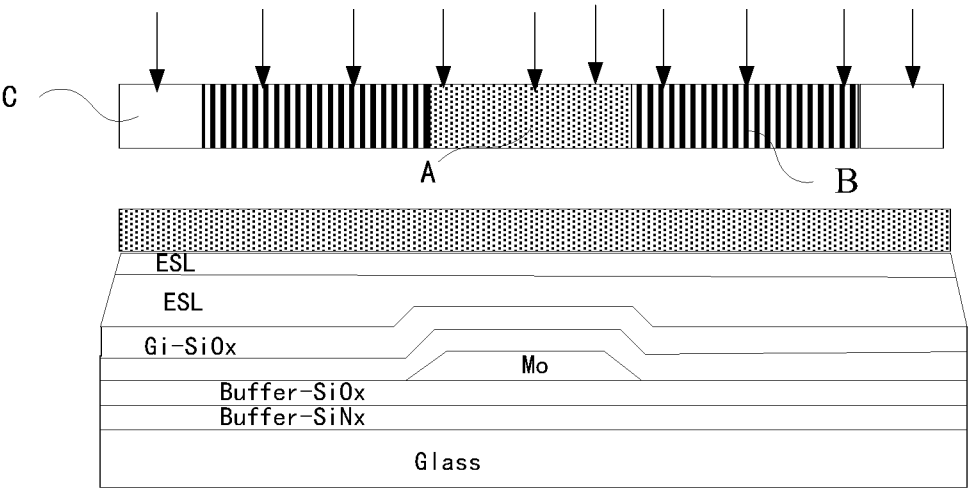


图 5

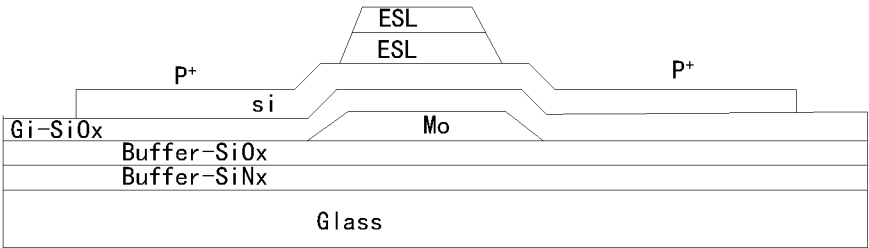


图 6

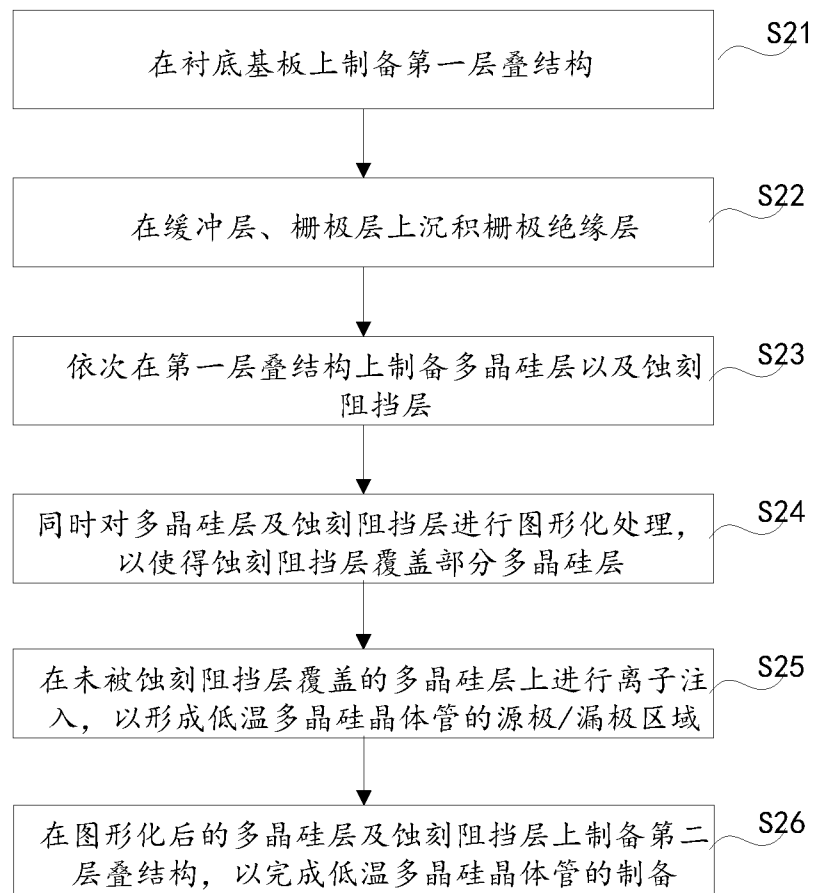


图 7

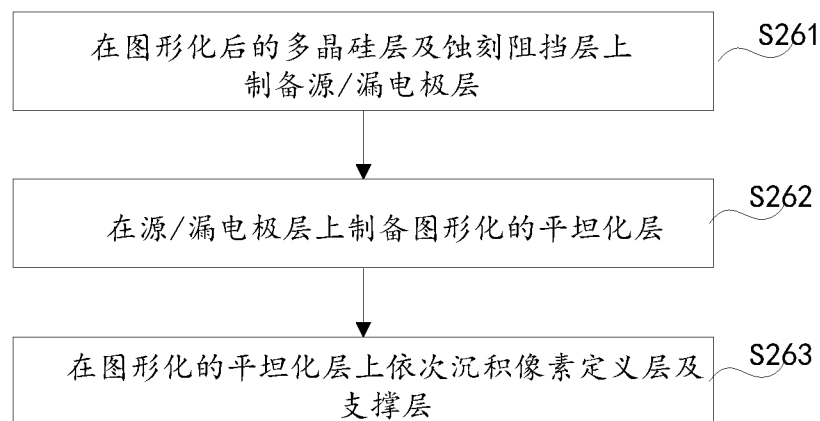


图 8

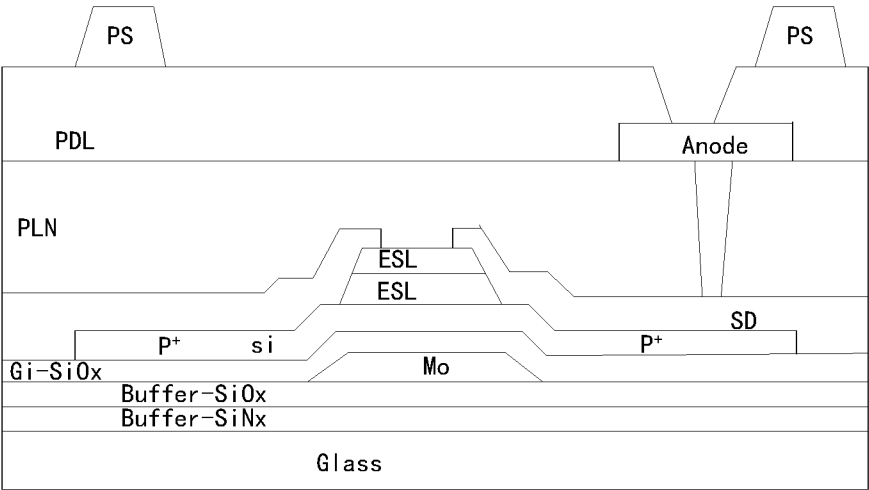


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/102585

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i; H01L 29/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNTXT, CNABS, SIPOABS, CNKI: 薄膜晶体管, 多晶硅, 低温, 非晶, 激光, 退火, 刻蚀, 蚀刻, 阻挡, TFT, poly silicon, low temperature, amorphous, laser, anneal+, etch+, stop+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105609422 A (BOE TECHNOLOGY GROUP CO., LTD.), 25 May 2016 (25.05.2016), description, paragraphs 51-105, and figures 1-11	1-19
A	KR 20080047779 A (LG DISPLAY CO., LTD.), 30 May 2008 (30.05.2008), entire document	1-19
A	US 2006258064 A1 (CHEN et al.), 16 November 2006 (16.11.2006), entire document	1-19
A	CN 101256961 A (AU OPTRONICS CORP.), 03 September 2008 (03.09.2008), entire document	1-19
A	CN 105225953 A (EVERDISPLAY OPTRONICS (SHANGHAI) LIMITED), 06 January 2016 (06.01.2016), entire document	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 April 2018	Date of mailing of the international search report 04 May 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHAO, Duan Telephone No. 62411328

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/102585

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105609422 A	25 May 2016	US 2017256631 A1	07 September 2017
KR 20080047779 A	30 May 2008	KR 101323539 B1	29 October 2013
US 2006258064 A1	16 November 2006	US 7361566 B2	22 April 2008
		TW 200514261 A	16 April 2005
		US 7094656 B2	22 August 2006
		US 2005074930 A1	07 April 2005
		TW I224868 B	01 December 2004
		JP 2005117001 A	28 April 2005
CN 101256961 A	03 September 2008	CN 100589232 C	10 February 2010
CN 105225953 A	06 January 2016	None	

国际检索报告

国际申请号

PCT/CN2017/102585

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, CNTXT, CNABS, SIPOABS, CNKI: 薄膜晶体管, 多晶硅, 低温, 非晶, 激光, 退火, 刻蚀, 蚀刻, 阻挡, TFT, poly silicon, low temperature, amorphous, laser, anneal+, etch+, stop+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105609422 A (京东方科技集团股份有限公司) 2016年 5月 25日 (2016 - 05 - 25) 说明书第51-105段, 附图1-11	1-19
A	KR 20080047779 A (LG DISPLAY CO LTD) 2008年 5月 30日 (2008 - 05 - 30) 全文	1-19
A	US 2006258064 A1 (CHEN 等) 2006年 11月 16日 (2006 - 11 - 16) 全文	1-19
A	CN 101256961 A (友达光电股份有限公司) 2008年 9月 3日 (2008 - 09 - 03) 全文	1-19
A	CN 105225953 A (上海和辉光电有限公司) 2016年 1月 6日 (2016 - 01 - 06) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 4月 19日

国际检索报告邮寄日期

2018年 5月 4日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

赵端

传真号 (86-10) 62019451

电话号码 62411328

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/102585

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105609422	A	2016年 5月 25日	US	2017256631	A1	2017年 9月 7日
KR	20080047779	A	2008年 5月 30日	KR	101323539	B1	2013年 10月 29日
US	2006258064	A1	2006年 11月 16日	US	7361566	B2	2008年 4月 22日
				TW	200514261	A	2005年 4月 16日
				US	7094656	B2	2006年 8月 22日
				US	2005074930	A1	2005年 4月 7日
				TW	I224868	B	2004年 12月 1日
				JP	2005117001	A	2005年 4月 28日
CN	101256961	A	2008年 9月 3日	CN	100589232	C	2010年 2月 10日
CN	105225953	A	2016年 1月 6日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)