

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4635587号  
(P4635587)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int. Cl.		F I			
HO2M	1/08	(2006.01)	HO2M	1/08	A
HO2M	5/27	(2006.01)	HO2M	5/27	Z

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2004-353708 (P2004-353708)	(73) 特許権者	000005234
(22) 出願日	平成16年12月7日(2004.12.7)		富士電機ホールディングス株式会社
(65) 公開番号	特開2006-166582 (P2006-166582A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成18年6月22日(2006.6.22)	(74) 代理人	100075166
審査請求日	平成19年11月15日(2007.11.15)		弁理士 山口 巖
		(74) 代理人	100085833
			弁理士 松崎 清
		(72) 発明者	田畑 壮章
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
		審査官	槻木澤 昌司

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

コレクタ - エミッタ間に印加される順方向の電圧は、ゲート駆動回路からゲート端子に対して順電圧または逆電圧を与えることで制御し、コレクタ - エミッタ間に印加される逆方向の電圧は阻止する機能を有する逆阻止型半導体素子を、互いに逆並列に接続した双方向スイッチからなる電力変換装置において、

互いに逆並列に接続される前記逆阻止型半導体素子のゲート端子に流れる電流を個別に検出する電流検出手段と、検出された電流値を比較する比較手段とを設けたことを特徴とする電力変換装置。

【請求項2】

前記比較手段による比較結果に応じて前記逆阻止型半導体素子のオン・オフを決定することを特徴とする請求項1に記載の電力変換装置。

【請求項3】

前記電流検出手段の出力を、前記双方向スイッチを構成し逆阻止型半導体素子対応に設けられるゲート駆動回路にそれぞれ入力するとともに、前記比較手段をゲート駆動回路に設け、この比較手段にて前記検出された電流値を比較することを特徴とする請求項1または2に記載の電力変換装置。

【請求項4】

前記電流検出手段の出力を全て制御装置に取り込み、制御装置による演算結果に応じて前記逆阻止型半導体素子のオン・オフを決定することを特徴とする請求項1に記載の電力

変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、双方向スイッチを用いた電力変換装置、例えば、交流から任意の交流電力に直接変換するマトリックスコンバータ（またはサイクロコンバータ）などの電力変換装置、特にスイッチング素子として用いられる逆阻止型半導体素子の駆動方式を改良した電力変換装置に関する。

【背景技術】

【0002】

現在最も多く使用されている変換装置は例えば図9(a)のように、交流電源 $V_s$ をスイッチ $S_{rp}$ ,  $S_{rn}$ ,  $S_{sp}$ ,  $S_{sn}$ ,  $S_{tp}$ ,  $S_{tn}$ により任意にオン・オフさせることで一旦直流に変換し、直流に変換された電力をスイッチ $S_{up}$ ,  $S_{un}$ ,  $S_{vp}$ ,  $S_{vn}$ ,  $S_{wp}$ ,  $S_{wn}$ を任意にオン・オフさせて負荷 $M$ に供給するタイプである。

一般的な交流交流直接変換装置としては、例えば図9(b)のようなマトリックスコンバータ（またはサイクロコンバータ）がある。これは、電源 $V_s$ と負荷 $M$ の間に、双方向スイッチ $S_{ru}$ ,  $S_{rv}$ ,  $S_{rw}$ ,  $S_{su}$ ,  $S_{sv}$ ,  $S_{sw}$ ,  $S_{tu}$ ,  $S_{tv}$ ,  $S_{tw}$ を図示のように接続することで、交流電源 $V_s$ から供給される交流電力を任意の交流に直接変換して、負荷 $M$ へ供給するものである。

【0003】

図9(b)では、図9(a)に比べてスイッチが多くなる反面、図9(a)のような大きな容量を持つコンデンサ $C_{dc}$ が不要になることで、電力変換装置の小型化と長寿命化が期待できる。

図9(b)で用いるスイッチとしては、双方向にオン・オフ制御できるデバイスが必要になる。ところで、電力変換装置に使用されるスイッチングデバイスは、サイリスタを始めGTOサイリスタ、トランジスタ、MOSFET（金属酸化膜電界効果トランジスタ）などから、IGBT（絶縁ゲートバイポーラトランジスタ）が最も主流となってきた。MOSFETを用いたスイッチ回路は、例えば特許文献1に開示されている。

【0004】

しかしながら、一般のIGBTは逆方向の耐圧がないため、ダイオードを逆並列に接続する。図10(a)に示すような任意のスイッチ $S_{ij}$  ( $i = r, s, t, j = u, v, w$ )をIGBTで実現するためには、例えば図10(b)のようにIGBTを互いに逆直列にして用いられる。なお、図10(b)ではスイッチ $S_{ij}$ に流れる電流は、IGBT $Q_f$  ダイオード $D_r$ またはIGBT $Q_r$  ダイオード $D_f$ のように、2つのデバイスを通流することになる。このため、電流が流れることによってデバイスに発生する損失が2倍になるため、効率の低下を招く。

【0005】

その解消を図るため、近年逆方向の耐圧を持つ逆阻止型IGBTが開発され、この逆阻止型IGBTを用いることで電流の流通経路が1つになり、効率を向上させることができる。逆阻止型IGBTを用いたスイッチを、図10(c)に示す。

一方、図9(b)のようなマトリックスコンバータを制御する場合の、双方向スイッチ $S_{ij}$ に対するオン・オフ制御指令については、特に次の2点に注意する必要がある。(1) 電源 $V_s$ の短絡を防止するために、デッドタイムを設ける。(2) 負荷 $M$ の開放を防止するために、負荷電流を転流させる重なり期間を設ける。

【0006】

転流パターンについては、例えば特許文献2, 3に開示されている。図12, 13を参照して転流モードについて説明する。説明を簡単にするため、スイッチ回路として、図12に示すような回路 $M_u$ を用いるものとし、これを逆阻止IGBTで構成した例を同図(a)に示す。

10

20

30

40

50

いま、電源  $V_s$  の R, S, T 相電圧を、図 12 (b) に示す  $V_r, V_s, V_t$  で示す 3 相波形とすると、期間 III の時刻  $t_0$  においてそれぞれ  $E_r, E_s, E_t$  で示される電圧の関係は、 $E_r > E_s > E_t$  である。

【0007】

図 13 (a) は  $Q_{ru}, Q_{ur}$  にオン指令が与えられ、 $Q_{ur}$  に電流が流れている状態を示す。ここで  $Q_{ru}$  にもオン指令が与えられているが、電流方向が逆方向なので電流は流れない。この状態から、 $E_s - V_u$  に負荷電流が転流する状態を説明する。

まず、図 13 (b) のように  $Q_{us}$  にオン指令を与える。  $E_r > E_s$  であるから、 $Q_{us}$  には逆方向に電圧が印加されており、負荷電流の状態は変化しない。

【0008】

次に、図 13 (c) のように、 $Q_{ur}$  にオフ指令を与える。負荷電流は、電流を継続しようとするため、 $Q_{us}$  を介して  $E_s - V_u$  に転流する。 $Q_{ur}$  がオフし  $Q_{us}$  が通流したため、 $Q_{ur}$  には  $E_r - E_s$  の電圧が順方向に印加される。したがって、逆並列に接続されている  $Q_{ru}$  には逆方向に電圧が印加される。

ついで、図 13 (d) のように、 $Q_{su}$  にオン指令を与える。先に  $Q_{us}$  がオンしているため、また、 $Q_{su}$  は負荷電流の方向と逆向きであるから、負荷電流の状態は変化しない。

さらに、図 13 (e) のように、 $Q_{ru}$  にオフ指令を与える。 $Q_{ru}$  には電圧が逆方向に印加されているため、負荷電流の状態は変化しない。

【0009】

図 13 で転流状態の例について説明したが、転流状態を変化させるためには、4 つの素子へのオン・オフ指令を変化させるタイミングがあり、さらには電源短絡防止のためのデッドタイム (図 13 の例では、 $Q_{ur}$  と  $Q_{su}$  の同時オン指令防止)、負荷電流開放防止のための重なり期間 (図 13 の例では、 $Q_{ur}$  と  $Q_{us}$  の同時オン期間) を設ける必要がある。一方、4 つの素子へのオン・オフ信号変化のタイミングで負荷電流の状態が変化するのは、或る 1 素子のオン・オフ指令が変化したときのみ (図 13 の例では、(c) のみ) である。

【0010】

【特許文献 1】特開 2000 - 269353 号公報

【特許文献 2】特開 2003 - 333851 号公報

【特許文献 3】特開 2004 - 229492 号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、逆阻止 IGBT には次のような問題がある。すなわち、図 11 のように逆阻止 IGBT に逆方向の電圧が印加 ( $V_{CE} < 0$ ) されている場合は、ゲート端子のオン・オフ信号にかかわらず電流を阻止するが、逆方向に電圧が印加されているときの漏れ電流  $I_{\text{leak}}$  は、ゲート端子にオン信号が与えられているときに比べ、オフ信号が与えられているときの方が大きい (この点について、必要ならば「OHM 2003 年 4 月号」p. 54 ~ 56 “新しいパワーデバイス マトリックスコンバータに適用される逆阻止 IGBT” の項参照されたい)。

【0012】

したがって、逆電圧が印加されている期間にオフ信号が与えられると、漏れ電流が大きいため逆阻止 IGBT の発生損失が増え、装置の効率低下につながるという問題がある。

また、各逆阻止 IGBT の電圧印加方向を検出する簡単な手段として、逆阻止 IGBT の両端に抵抗による分圧回路を接続するものが考えられるが、外部回路が大きくなるだけでなく、例えば制御信号の伝達などに絶縁回路が必要になること、双方向に電圧を検出する必要があるなど、装置の大型化、コストアップにつながるという問題がある。

したがって、この発明の課題は、電力変換装置を構成する逆阻止 IGBT の発生損失を低減し、電力変換装置の効率を向上させることにある。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0013】

このような課題を解決するため、請求項1の発明では、コレクタ - エミッタ間に印加される順方向の電圧は、ゲート駆動回路からゲート端子に対して順電圧または逆電圧を与えることで制御し、コレクタ - エミッタ間に印加される逆方向の電圧は阻止する機能を有する逆阻止型半導体素子を、互いに逆並列に接続した双方向スイッチからなる電力変換装置において、

互いに逆並列に接続される前記逆阻止型半導体素子のゲート端子に流れる電流を個別に検出する電流検出手段と、検出された電流値を比較する比較手段とを設けたことを特徴とする。

10

## 【0014】

上記請求項1の発明においては、前記比較手段による比較結果に応じて前記逆阻止型半導体素子のオン・オフを決定することができ（請求項2の発明）、請求項1または2の発明においては、前記電流検出手段の出力を、前記双方向スイッチを構成し逆阻止型半導体素子対応に設けられるゲート駆動回路にそれぞれ入力するとともに、前記比較手段をゲート駆動回路に設け、この比較手段にて前記検出された電流値を比較することができる（請求項3の発明）。また、請求項1の発明においては、前記電流検出手段の出力を全て制御装置に取り込み、制御装置による演算結果に応じて前記逆阻止型半導体素子のオン・オフを決定することができる（請求項4の発明）。

## 【0015】

この発明は、上記課題を解決するため、IGBTのゲート電流特性を利用するものと言える。図7にIGBTとその駆動回路例を示し、図8にIGBTのゲート電荷の特性を示す。

20

一般に、IGBTはゲート端子とエミッタ端子間に、任意に電圧を印加することでIGBTに流れる電流を制御することができる。通常は、制御装置からのオン・オフ信号に基づき、ゲート駆動回路（GDU）と呼ばれる増幅器などによりIGBTのゲート電圧を制御する。

## 【0016】

IGBTの各端子間には図7（a）のように、浮遊容量 $C_{ge}$ 、 $C_{cg}$ 、 $C_{ce}$ が存在する。ゲート電圧 $V_{GE}$ をステップ関数で与えると、オン時には $C_{ge}$ に電荷を充電すると同時にコレクタ・エミッタ間に印加されるコレクタ電圧 $V_{CE}$ が減少することで $C_{cg}$ に充電する動作をするため、図8（a）のようにゲート電圧 $V_{GE}$ が一定になる期間が存在する。また、オフ時においても同様に、 $C_{ge}$ の電荷を放電すると同時にコレクタ電圧 $V_{CE}$ が増加することで、 $C_{cg}$ の電荷を放電する方向にゲート電流 $I_G$ が流れ、ゲート電圧 $V_{GE}$ が一定になる期間が存在する。

30

## 【0017】

上記のような現象は、図8（a）のようにコレクタ電圧 $V_{CE}$ が大きいほど $C_{cg}$ は大きくなり、その結果、ゲート電流 $I_G$ の電荷量 $Q_g$ が大きくなる。例えば、図8（a）において $V_{CE}$ が $x < z$ の場合、図8（b）のように $Q_g$ が大きくなる。その結果、ゲート電流 $I_G$ は図8（b）のように、 $x$ （ $Q_{g1}$ ）から $z$ （ $Q_{g3}$ ）のように波形が変化することになる。

40

## 【0018】

一方、逆阻止IGBTも、順方向の電圧に対しては、通常のIGBTと同様の動作となる。例えば、IGBTはゲート端子とエミッタ端子間に順電圧を与えれば電流は通流し、 $I_G$ も $Q_g$ も一般のIGBTと同じになる。

このような特徴と、逆阻止IGBTに対し逆方向に電圧が印加されているときに、ゲート端子にオン信号を与えれば漏れ電流が減少する特性を利用して、電力変換装置の高効率化を図る、と言うのがこの発明の課題と言える。

## 【発明の効果】

## 【0019】

50

この発明によれば、逆阻止 IGBT の漏れ電流特性、および IGBT スwitching 時のゲート電流変化の特性に着目することで、逆電圧となっている IGBT を小型かつ安価な構成で検出することが可能となり、マトリクスコンバータ等の電力変換装置の効率向上を図ることができる。

【発明を実施するための最良の形態】

【0020】

図1はこの発明の原理を示す回路構成図である。

ここでは、逆阻止 IGBT  $Q_{ru}$ 、 $Q_{ur}$  を互いに逆並列に接続して双方向スイッチ  $SW_r$  を構成する。各逆阻止 IGBT のゲート - エミッタ間には、図示されない制御装置から入力されるオン・オフ信号にもとづき、ゲート電圧を出力するゲート駆動回路  $GDU_f$ 、 $GDU_r$  が接続されている。また、 $Q_{ru}$ 、 $Q_{ur}$  に流れるゲート電流を検出するために電流検出器  $CT_f$ 、 $CT_r$  を挿入し、その出力信号を判定回路  $IGC$  に入力する。 $CT_f$ 、 $CT_r$  の出力信号は積分回路  $I$ 、サンプルホールド回路  $S/H$  を介して比較器  $Cmp$  に入力される。

10

【0021】

図2Aは図1の応用例を示す回路図、図2Bはその動作波形図である。

図2Aは図1の双方向スイッチ  $SW_r$  と同じ構成の双方向スイッチ  $SW_s$  を、 $SW_r$  と直列に接続し、その直列接続回路を可変電源  $E_{r-s}$  に接続するとともに、 $SW_r$  と  $SW_s$  との接続点と  $E_{r-s}$  の負極端子間に負荷  $L$  を接続したものである。なお、 $SW_s$  についてもゲート駆動回路  $GDU_f$ 、 $GDU_r$  と判定回路  $IGC$  が設けられるが、ここでは図

20

【0022】

いま、図2Bのように  $r$  群スイッチにオン指令を与え、 $E_{r-s}$  から  $Q_{ru}$  を介して負荷  $L$  に電流  $I_{o1}$  が流れている状態から、 $r$  群スイッチをオフし  $s$  群スイッチをオンに切り換える場合について説明する。

$r$  群スイッチがオンのときは  $SW_r$  をオン、すなわち  $Q_{ru}$  と  $Q_{ur}$  をオンさせる。次に、 $r$  群スイッチから  $s$  群スイッチに切り換えるときに、電源短絡および負荷開放を防止するために、以下のようにスイッチを切り換える。

(1) 時刻  $t_0$  で  $Q_{su}$  にオン信号を入力する。 $Q_{su}$  には逆電圧が印加されるため、 $Q_{su}$  の  $V_{CE}$  は減少しない。したがって、帰還容量による  $Q_g$  の増加はない。

30

【0023】

(2) 時刻  $t_1$  で  $Q_{ru}$  にオフ信号を入力する。 $Q_{ru}$  はオフしようとし、コレクタ電圧が上昇する。このため、帰還容量を充電する動作が発生するため、図2Bのように  $Q_g$  が増加する。また、 $Q_{ru}$  のコレクタ電圧が上昇すると、 $Q_{ur}$  に逆電圧が印加される。

さらに、負荷  $L$  は電流  $I_{o1}$  によって蓄えられたエネルギーを放出するために、上記(1)でオン信号によりオンしている  $Q_{su}$  を介して電流  $I_{o2}$  が流れる(図2A参照)。

(3) 時刻  $t_2$  で  $Q_{us}$  にオン信号を入力する。(2)で  $Q_{su}$  がオンしていることから、 $Q_{us}$  の飽和電圧  $V_{CE(sat)}$  分のみ逆電圧が印加されている。したがって、 $Q_g$  の増加はない。

(4) 時刻  $t_3$  で  $Q_{ur}$  にオフ信号を入力する。 $Q_{ur}$  には逆電圧が印加されているため、オンしない。したがって、 $Q_g$  の増加はない。

40

【0024】

以上のように、 $Q_g$  の増加は  $Q_{ru}$  のみである。判定回路  $IGC$  は、 $Q_{ru}$ 、 $Q_{ur}$  のゲート電流を検出する電流検出器  $CT_f$ 、 $CT_r$  を、積分回路  $I$  で積分することで  $Q_g$  を測定する。そして、時刻  $t_3$  以降に各サンプルホールド回路  $S/H$  で検出した信号を、比較器  $Cmp$  で比較することで、どちらの素子がターンオフしたかが判断できる。例えば図2Bの場合、 $Q_g$  は  $Q_{ru} > Q_{ur}$  であるから、 $Q_{ru}$  がターンオフしたことが分かる。すなわち、 $Q_{ru}$  と並列に接続されている  $Q_{ur}$  には、逆電圧が印加されていることになる。

【0025】

50

図 2 A , 2 B では、双方向スイッチ S W r のスイッチング動作により転流する動作について説明したが、図 3 A のように S W r と S W s との接続点と E r - s の正極端子間に負荷 L が接続され、S W s がスイッチングする場合についても、上記と同様に検出することができる。

また、図 3 B のように、可変電源 E r - s の代わりに交流電源 E r - s を接続した場合も、Q r u と Q u r の動作が反転するだけなので、同様に検出可能である。さらに、図 3 C のように、S W s がスイッチングする場合についても同様である。この考え方は 3 相交流電源の場合も同様に成立し、したがって図 9 ( b ) に示すマトリックスコンバータにも適用できることは明らかである。

#### 【 0 0 2 6 】

図 4 A に、この発明の実施の形態を示す。以下では、図 1 との相違点について主として説明する。

図 4 A のように、判定回路 I G C の出力電圧 V s は G D U f へ、また V s の反転信号は G D U r に入力される。各 G D U f , G D U r に入力された V s は、フォトカプラ P C を介して、制御装置からのオン・オフ信号とともにオア回路 O R に入力され、増幅器 A s に入力される。

#### 【 0 0 2 7 】

図 4 B は図 4 A の動作を説明するための波形図である。なお、これは先の図 2 A のように構成した場合のものである。

図 4 B において、Q r u のゲート電流に、帰還電流の放電によりゲート電荷 Q g が重畳する。よって、各ゲート電流の積分値は  $Q = \int i dt$  であるから、

$$Q g ( Q r u ) < Q g ( Q u r )$$

となる時刻 t 3 以降に、サンプルホールド回路 S / H を介して比較器 C m p の出力 V s は負となる。したがって、判定回路 I G C の出力電圧 V s は G D U f , G D U r に互いに反転した信号が入力され、フォトカプラ P C で絶縁された後、オア回路 O R でオン・オフ信号とのオアがとられる。

#### 【 0 0 2 8 】

Q r u , Q u r は、時刻 t 3 以降ではオフ信号が入力されているから、判定回路 I G C の出力が負になった方、ここでは Q u r のゲート電圧がオンとなる。Q u r には逆電圧が印加されているから電流を流すことはなく、また、逆電圧時にゲート電圧をオンさせていることから、図 1 3 の説明より漏れ電流 I r e a k が減少し、I G B T の発生損失が低減される。この図 4 A に示す回路は図 2 A と同様に、図 3 A ~ 3 C の場合にも適用できることは明らかであり、したがって図 9 ( b ) のマトリックスコンバータにも適用できるのは勿論である。

#### 【 0 0 2 9 】

図 5 にこの発明の別の実施の形態を示す。図示のように、ゲート駆動回路 G D U f , G D U r に判定回路 I G C の機能を持たせるようにしたものと言える。

図 5 ( a ) では Q r u , Q u r のゲート電流を検出する電流検出器 C T f , C T r の出力信号を、互いに逆並列に接続されている逆阻止 I G B T のゲート駆動回路 G D U f , G D U r に入力する。ここで、電流検出器 C T f , C T r は電氣的に絶縁されているので、逆並列に接続されているゲート駆動回路 G D U f , G D U r に入力することができる。

#### 【 0 0 3 0 】

図 5 ( a ) にはゲート駆動回路 G D U f のみを詳細に示しているが、これに Q r u , Q u r のゲート電流検出信号を入力し、積分器 I , サンプルホールド回路 S / H を介して比較器 C m p に与える。図 4 A , B と同様に比較器 C m p の出力 V s より、Q r u がターンオフしたことを検出したとき、Q u r には逆電圧が印加されているから、オア回路 O R によりオン・オフ信号との論理和がとられ、Q u r のゲート電圧はオンになる。Q u r には逆電圧が印加されているため負荷電流は流れず、また、図 5 ( b ) の漏れ電流特性より漏れ電流 I r e a k は減少することになる。以上の動作は、G D U r についても同様である。

。

10

20

30

40

50

## 【0031】

また、図5(c)のように、期間IIIの時刻 $t_0$ 以降は $V_r$ と $V_s$ の電位差 $E_{r-s}$ は小さくなる。したがって、 $V_{CE}$ が小さくなるから、例えば $Q_{ru}$ のターンオフ時のゲート電流から検出される電荷量 $Q_g$ も、図8(a)の特性にしたがって小さくなるので、比較器 $Cmp$ の出力電圧 $V_s$ は小さくなる。その結果、オア回路 $OR$ の入力は $H$ (ハイ)レベルのしきい値まで達しないので、 $L$ (ロー)レベルとなる。よって、期間IIIからIVに遷移する直前では、逆電圧のゲートをオンしなくなる。ただし、図5(b)の特性より、印加される逆電圧が小さいので、漏れ電流 $I_{leak}$ も小さく効率低下には寄与しない。なお、図5(a)では判定回路をゲート駆動回路に設けるようにしたが、電流検出器の出力は主回路とは絶縁されていることから、図6(a)のように制御装置に取り込み、その演算器の結果に応じてオン・オフを決定するようによっても良い。

10

## 【図面の簡単な説明】

## 【0032】

【図1】この発明の原理を示す構成図

【図2A】図1の応用例を示す回路図

【図2B】図2Aの動作を説明する波形図

【図3A】図2Aの第1変形例を示す回路図

【図3B】図2Aの第2変形例を示す回路図

【図3C】図2Aの第3変形例を示す回路図

【図4A】この発明の実施の形態を示す回路図

20

【図4B】図4Aの動作を説明する波形図

【図5】この発明の別の実施の形態を説明する説明図

【図6】この発明の他の実施の形態を説明する説明図

【図7】IGBTとその駆動回路例を示す説明図

【図8】IGBTのゲート電荷を説明する説明図

【図9】一般的なコンバータ例を示す回路図

【図10】双方向スイッチの説明図

【図11】逆阻止IGBTの漏れ電流特性説明図

【図12】電力変換装置の一般的な例を示す回路図

【図13】図12の動作を説明する遷移図

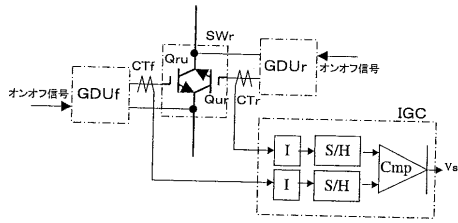
30

## 【符号の説明】

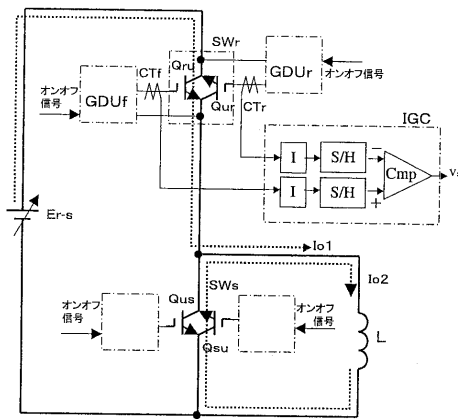
## 【0033】

$Q_{ru}$ ,  $Q_{ur}$ ,  $Q_{us}$ ,  $Q_{su}$ ... IGBT (絶縁ゲートバイポーラトランジスタ)、 $C_{Tf}$ ,  $C_{Tr}$ ... 電流検出器、 $G_{Duf}$ ,  $G_{DUr}$ ... ゲート駆動回路、 $I_{GC}$ ... 判定回路、 $I$ ... 積分回路、 $S/H$ ... サンプルホールド回路、 $L$ ... 負荷、 $E_{r-s}$ ... 可変電源、 $Cmp$ ... 比較器、 $PC$ ... フォトカプラ、 $As$ ... 増幅器、 $OR$ ... オア回路。

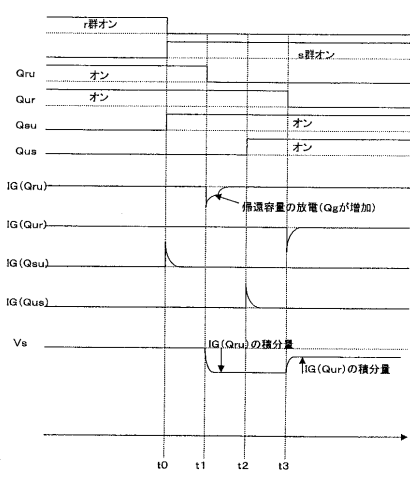
【図1】



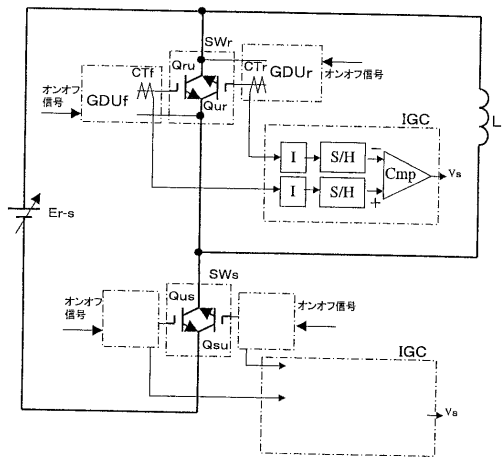
【図2A】



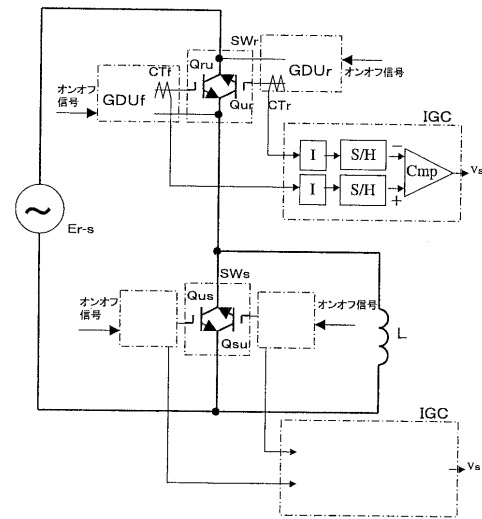
【図2B】



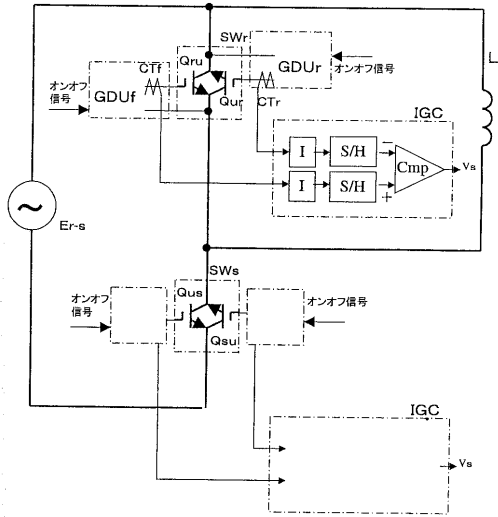
【図3A】



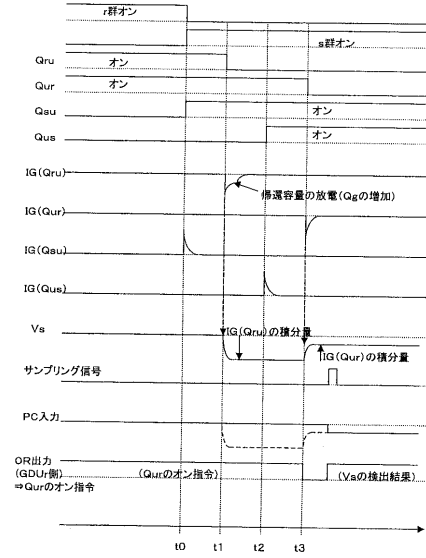
【図3B】



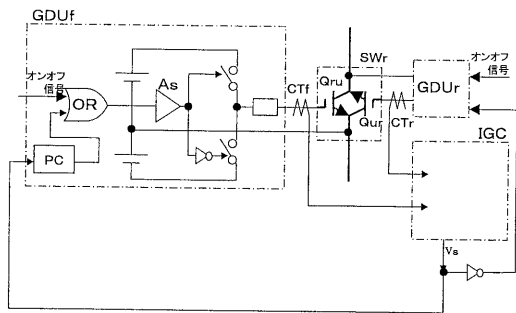
【図3C】



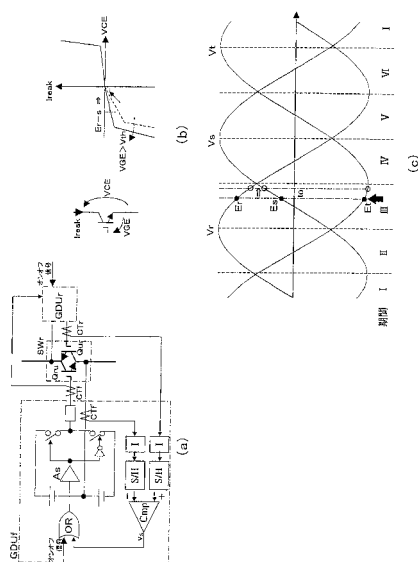
【図4B】



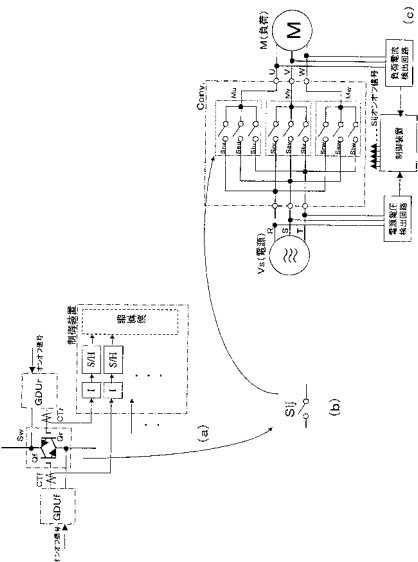
【図4A】



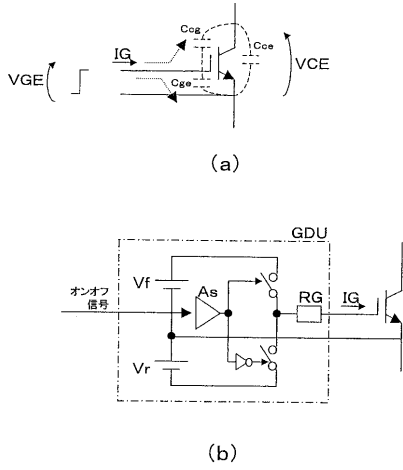
【図5】



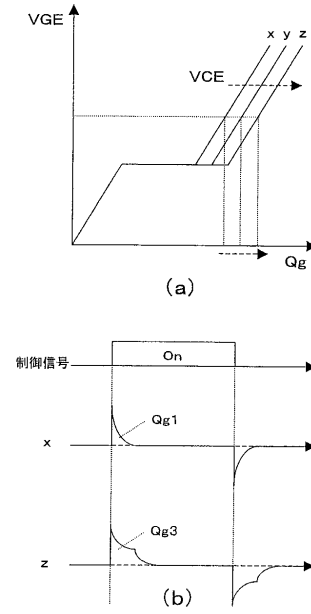
【図6】



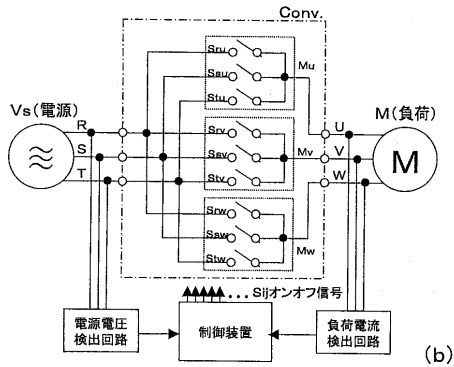
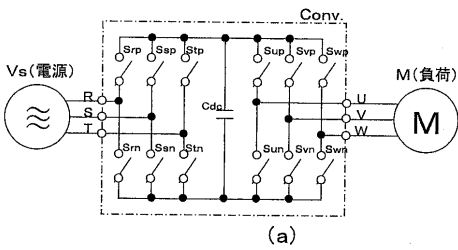
【図7】



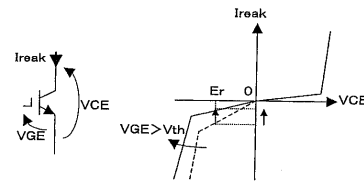
【図8】



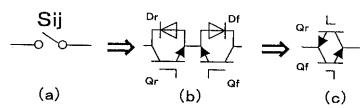
【図9】



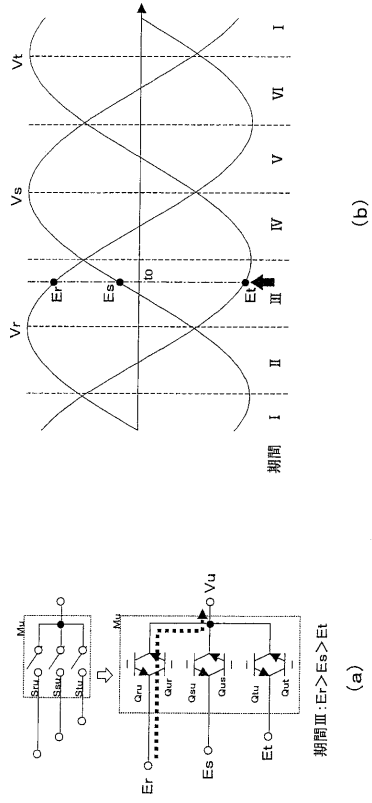
【図11】



【図10】

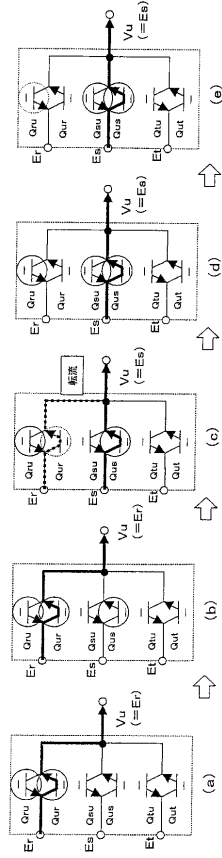


【 1 2 】



(b)

【 1 3 】



---

フロントページの続き

- (56)参考文献 特開平07-307469(JP,A)  
特開平02-285971(JP,A)  
特開2000-139076(JP,A)  
特開2001-165966(JP,A)  
特開2000-269353(JP,A)  
特開2003-333851(JP,A)  
特開2004-229492(JP,A)  
武井学、小高章弘、藤本久、逆阻止IGBTの適用技術、富士時報、日本、富士電機株式会社、  
2002年 8月10日、第75巻 第8号、445(7)-448(10)

(58)調査した分野(Int.Cl., DB名)

H02M 1/08

H02M 5/27