

圖式

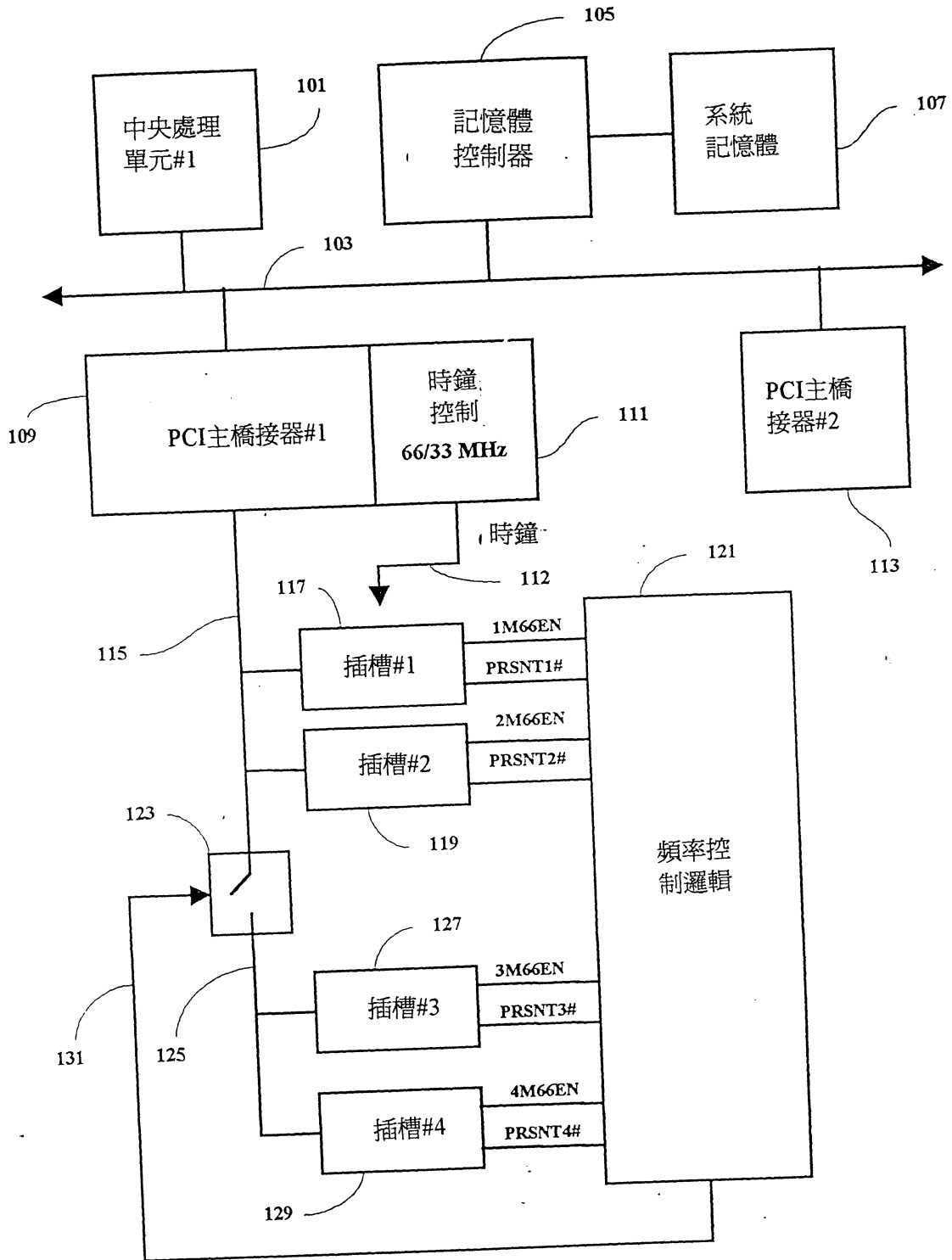


圖1

圖式

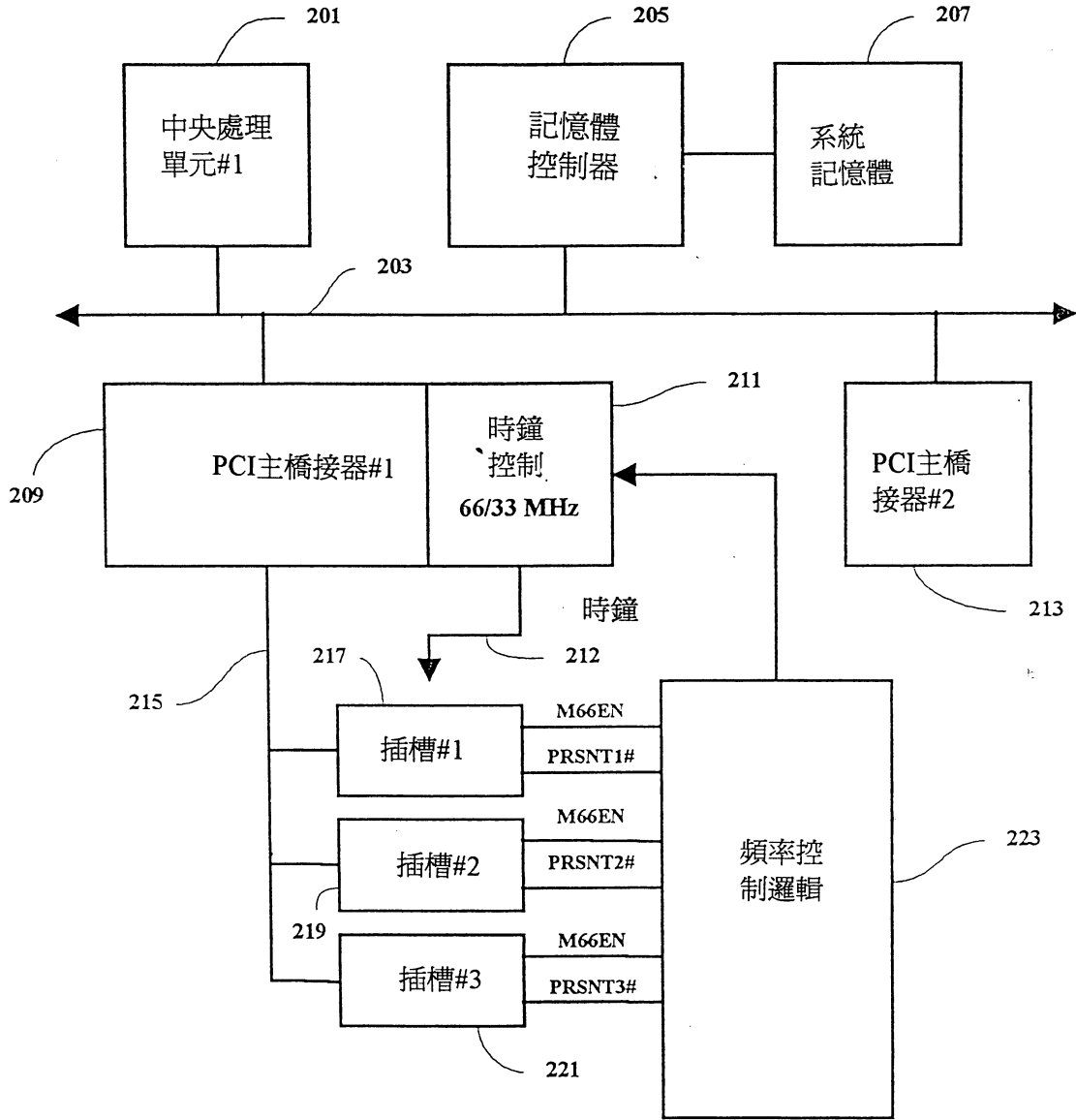


圖2

圖式

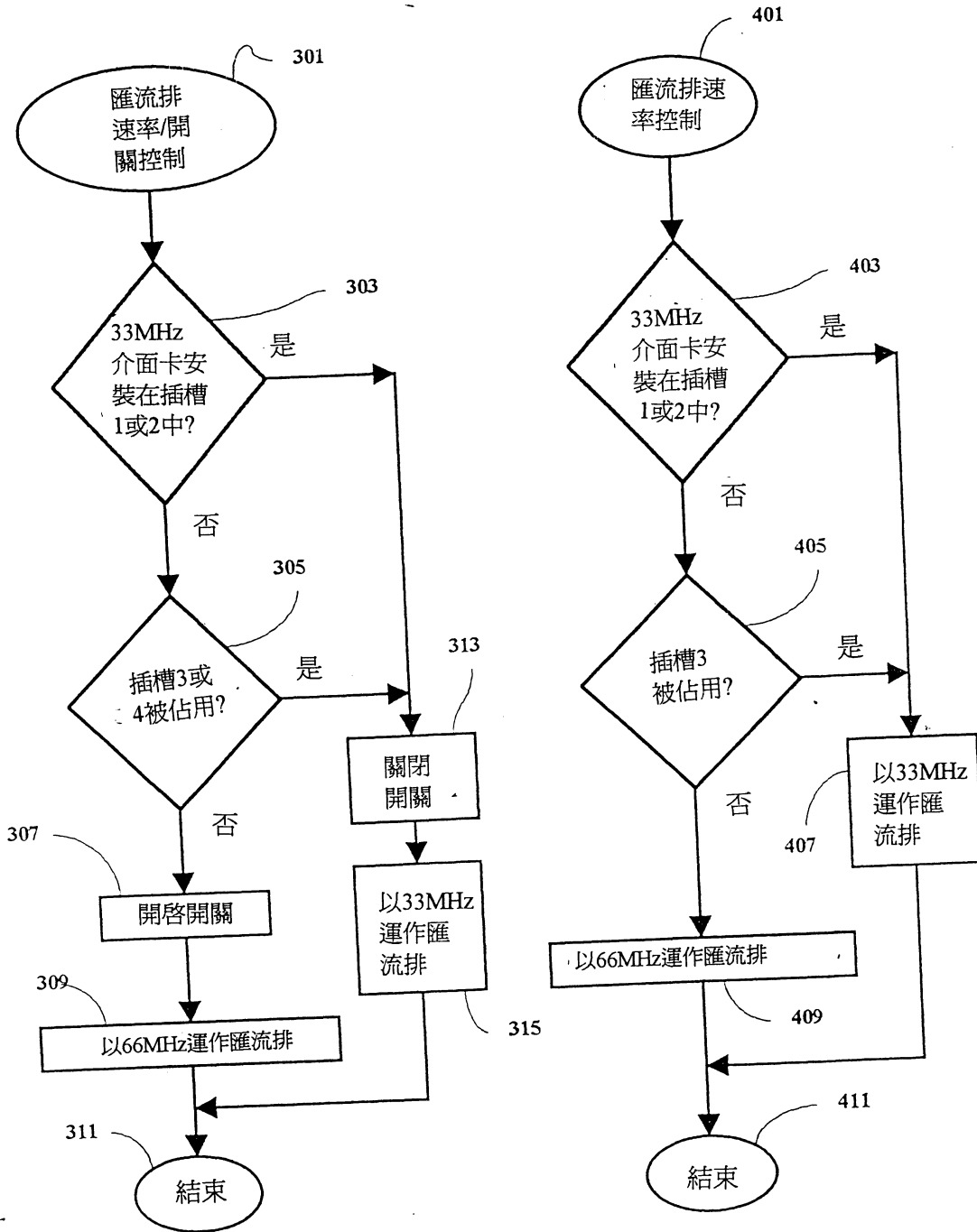


圖3

圖4

圖式

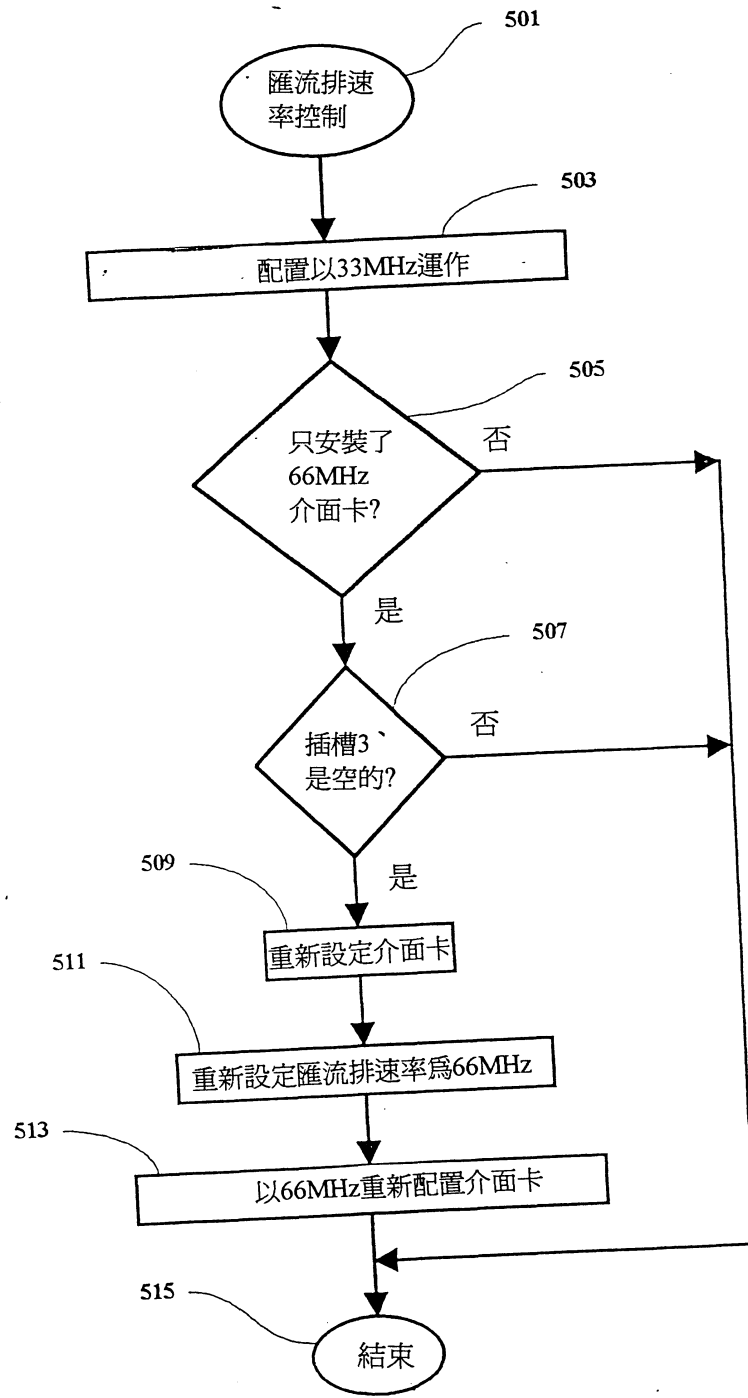


圖5

89年10月26日

修正

申請日期：88.5.28

案號：88108862

類別：G66F 13/46

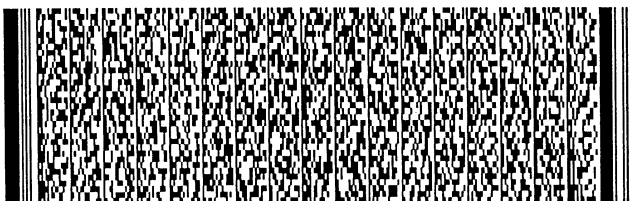
公告本

(以上各欄由本局填註)

發明專利說明書

518472

一、 發明名稱	中文	多速率匯流排之可變槽結構
	英文	VARIABLE SLOT CONFIGURATION FOR MULTI-SPEED BUS
二、 發明人	姓名 (中文)	1. 理查 艾倫 凱利 2. 丹尼 馬文 尼爾 3. 詹姆士 歐特 尼可森 4. 史蒂文 馬克 塞柏
	姓名 (英文)	1. RICHARD ALLEN KELLEY 2. DANNY MARVIN NEAL 3. JAMES OTTO NICHOLSON 4. STEVEN MARK THURBER
	國籍	1. 美國 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國北加州艾佩克斯市布魯克 利克大道200號 2. 美國德州圓石市高塔大道4604號 3. 美國德州奧斯頓市賽文海灣5003號 4. 美國德州奧斯頓市艾芬瑞路8308號
三、 申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路
	代表人 姓名 (中文)	1. 費羅普
代表人 姓名 (英文)	1. MARSHALL C. PHELPS, JR.	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/06/05 09/092, 153

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明(1)

發明領域

本發明大體上與資訊處理系統有關，特別是與根據PCI系統的插槽配置來變動匯流排速率有關。

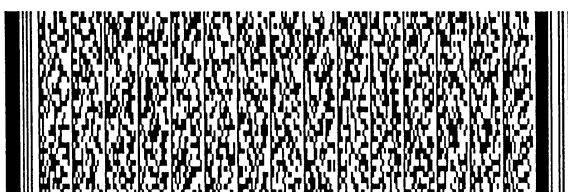
發明背景

目前66MHz PCI(週邊元件互接)架構定義對應於裝置的插槽數目和匯流排的實體長度多少在"扇出"的數量上有所限制。所公開的66MHz PCI匯流排規格能允許最多達2個"插槽"，將PCI橋接器視為一負載它相當於五個"負載"。"負載"是結合到匯流排的PCI裝置，而"插槽"是PCI裝置藉以選擇性地接合並連接到匯流排的機構。根據PCI規格，PCI匯流排能夠支援五個"負載"或最多達二個"插槽"。

66MHz PCI匯流排設計成以66MHz運作，但一旦當33MHz裝置或轉接卡安裝在匯流排上時將只以33MHz運作。不過，PCI匯流排頻寬以33MHz運作時能支援更多33MHz裝置。因此需要一種裝置，以在匯流排只以33MHz操作時，允許超過二個供66MHz的插槽作PCI匯流排部分。

發明概要

提供一種方法與裝置，以在一PCI系統中如果任何一插槽安裝有33MHz裝置時，使PCI匯流排能運作多於二個PCI插槽。如果任何一插槽安裝有33MHz裝置，PCI匯流排-和所有連接到其上的裝置-將以33MHz運作，但匯流排將會運作超過二個插槽，藉以利用否則未使用但可用的頻寬。當沒有33MHz介面卡或裝置安裝在PCI插槽中、且PCI裝置只安裝在頭二個插槽中，則系統只能以66MHz的速率運作頭二個插槽。在一個具體實施例中，實施一切換裝置以在只有



五、發明說明 (2)

頭二個插槽運作時，達成PCI匯流排部分。切換裝置在PCI匯流排以33MHz運作時，能進一步選擇性地將額外的插槽連接到PCI匯流排。在另外一個具體實施例中，一內定值配置常式設定PCI匯流排速率為操作頻率中的一個，並於系統配置週期當中，若判定另一速率更適當時修改該內定值。

圖式概述

以下較佳具體實施例的詳細描述結合下列圖式，將可更了解本發明，其中：

圖1是顯示本發明一個示範的具體實施例之概要方塊圖；

圖2是本發明一第二示範的具體實施例之概要方塊圖；

圖3是說明圖1具體實施例的操作流程順序之流程圖；

圖4是說明圖2具體實施例的操作流程順序之流程圖；

圖5是說明所揭露方法之另一示範具體實施例的另一操作流程順序之流程圖。

發明詳述

參照圖1，在此處討論的各種方法可如圖施行在典型電腦系統或工作站中。可用來結合本發明的示範硬體配置包括一連接到主匯流排103的CPU(中央處理單元)101。匯流排103也連接到一記憶體控制器單元105，它接著連接到系統記憶體107。主匯流排103可擴充以包括與其他系統裝置、網路或相關電路的連接。

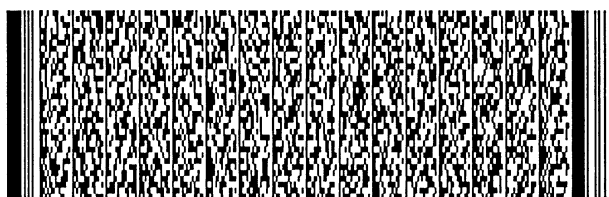
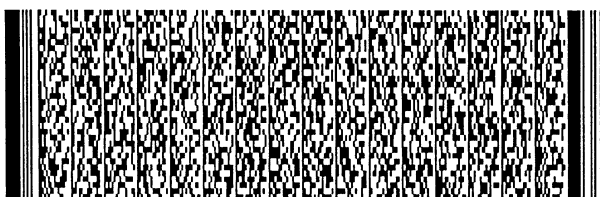
PCI主橋接器或PHB 109顯示出連接到主匯流排103。主匯流排103顯示成包括其他的PHB裝置如PHB 113。PHB 109



五、發明說明 (3)

連接到一時鐘控制電路111，它能選擇性地遞送66MHz或是33MHz時鐘訊號112-給可插入到一連串PCI插槽117、119、127和129之多個PCI裝置的每一個。在圖1中的時鐘線路112代表到每個PCI裝置的一個獨立的時鐘線路。在此處使用的"PCI裝置"和"PCI配接器"或"介面卡"等詞可以互相替換。PHB 109連接到一PCI匯流排115的第一分割或部分。匯流排115也直接地連接到第一和第二PCI插槽117和119，並透過一組絕緣開關或序列切換裝置123連接到額外的插槽127和129-它們連接到一PCI匯流排的第二分割或部分125。在此參考的同軸開關123在圖1中雖然顯示成單一個，實際上代表實際切換匯流排的相關訊號線路之一組開關，如以下說明。插槽117、119、127和129的每一個安排來提供一"M66EN"輸出和一"PRSNT#"輸出到一頻率控制邏輯單元121。絕緣開關123可以用，例如"橫門"開關-它通常可從半導體裝置製造業者和其他公開市場上買到-實施。

M66EN訊號是PCI敘述的訊號，且代表所插入PCI裝置能夠運作的頻率。舉例來說，如果對應於插入到插槽#1 117內的裝置之"1M66EN"是在零或低邏輯位準，那麼該裝置能夠以33MHz運作。然而，如果1M66EN是在一高邏輯位準，那麼所插入裝置沒有將PCI導腳接地，表示該裝置能以66MHz運作。來自各個不同相關插槽的M66EN訊號，指示插入到各別插槽117、119、127和129內的裝置之速率性能。雖然"插槽"一詞在範例中用來指連接的"插入"型態，應該要知道"插槽"一詞指一介於配接器或電路裝置與PCI裝置



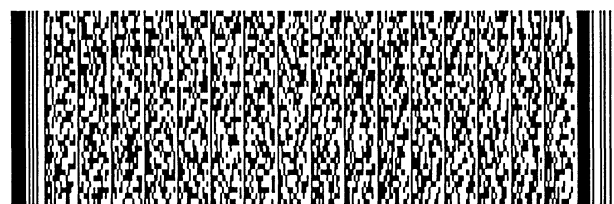
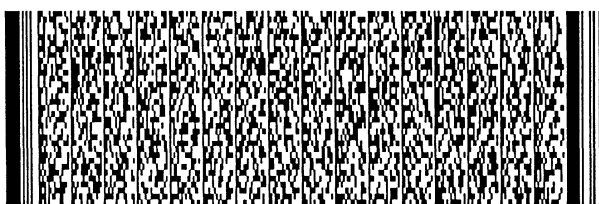
五、發明說明(4)

匯流排間的介面，且此種連接也可以焊接連接實施在一硬佈線系統中，而仍在本發明的範疇當中。

來自PCI插槽117、119、127和129的"PRCNT#"輸出是指示是否有配接器或裝置插入到、或"存在"於各別的PCI插槽中。PRCNT#標記實際上在硬體的角度上代表每一插槽的二個PRCNT#導腳。在範例中，當一裝置插入到一PCI插槽內時，二個裝置PRCNT#導腳將PRCNT#線路接地，且該訊號代表插槽中有一介面卡。

裝置速率容許訊號xM66EN和裝置存在訊號PRCNT#x用來在頻率控制邏輯中判定PCI匯流排115以何種速率運作、以及匯流排開關123是否開啟或關閉。所揭露的具體實施例提供匯流排速率/負載最佳化問題的一種解決方法，藉由定義一種裝置以允許在容許66MHz的PCI匯流排上的三到四個插槽，在安裝了33MHz的配接器或裝置時分割為33MHz運作，但也限制匯流排在以66MHz操作時，裝載到有效的二個插槽。匯流排開關123(也稱為一"匯流排絕緣開關"或"絕緣開關")實施成與PCI匯流排115同軸，以隔離一組插槽及它們從匯流排的其餘部分之負載效應。如果在第一插槽117或第二插槽119中沒有M66EN導腳(也就是，沒有33MHz配接器安裝在那些插槽中)接地，且第三和第四插槽127和129未被佔用(也就是如對應的PRCNT#訊號所指示沒有安裝介面卡)，那麼到時鐘控制電路111的訊號將會指示匯流排應以66MHz運作。否則，匯流排將會以33MHz運作。

以上結合圖1所說明切換與速率判定功能的邏輯和流程，由圖3中以流程圖形式說明。在設定初值301時，對於



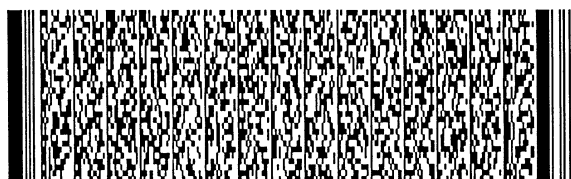
五、發明說明 (5)

是否有任何33MHz介面卡或配接器安裝在插槽#1 117或插槽#2 119進行一判斷303。如果有任何的33MHz介面卡安裝在最先二個插槽117和119中，那麼PCI匯流排115必須以33MHz運作。但是，以33MHz，匯流排能在插槽#3 127和插槽#4 129中操作二個額外的介面卡。

因此，開關123關閉313，且頻率控制邏輯影響PCI匯流排以33MHz運作315，而程序結束311。

然而，如果判定沒有33MHz介面卡安裝在最先二個插槽117和119(也就是安裝了66MHz介面卡)，且插槽#3 127和插槽#4 129都沒有被佔用或有配接器或介面卡存在，那麼絕緣開關123開啟307，藉此隔離插槽127和129，且PCI匯流排以66MHz操作309。如果沒有33MHz介面卡安裝在最先二個插槽117和119，但是插槽#3 127或插槽#4 129被佔用305，那麼匯流排115必須以33MHz操作。因此開關123關閉313，且PCI匯流排部分115和125以33MHz操作315。

因此，可提供四個插槽，且PCI匯流排115、125在任何介面卡安裝在插槽#3 127或插槽#4 129中、或在33MHz介面卡安裝在插槽#1 117或插槽#2 119中時將以33MHz運作。如果插槽#3 127和插槽#4 129是空的，且插槽#1 117和插槽#2 129只安裝有66MHz介面卡，那麼匯流排115將會以66MHz運作，且絕緣開關將開啟藉以將匯流排部分125和第三及第四插槽127及129與PCI匯流排115隔離。使開關123開啟，插槽#3 127和插槽#4 129的負載效應，及它們的"淨長度"被隔離在匯流排115其餘部分之外。這允許匯流排115，在以66MHz操作時符合66MHz PCI匯流排負載需



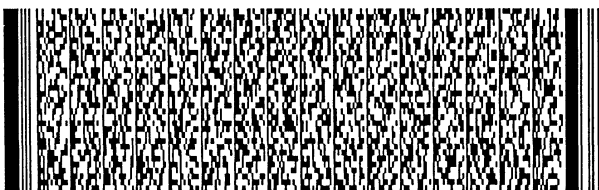
五、發明說明(6)

求，而在匯流排115、包括匯流排部分125，以33MHz操作時允許最多達四個插槽的"扇出"。當要以66MHz運作時，66MHz介面卡應安裝在插槽#1和插槽#2。33MHz介面卡能安裝在任何插槽，且匯流排將以33MHz運作。

第二種方法以圖2的具體實施例說明，且類似於第一種方式，除了不需要如圖1所顯示的同軸或絕緣開關123之外。如圖2所示，CPU(中央處理單元)201連接到一主匯流排203。匯流排203也連接到一記憶體控制器單元205，它接著連接到系統記憶體207。主匯流排203可能擴大為包括與其他系統裝置、網路或相關電路的連接。

PCI主橋接器電路或PHB 209顯示為連接到主匯流排203。主匯流排203顯示為包括其他的PHB裝置如PHB213。PHB 209連接到一時鐘控制電路211，它能選擇性地遞送66MHz或者33MHz時鐘訊號212到可插入到一連串PCI插槽217、219和221之內的多個PCI裝置。PHB 209連接到一PCI匯流排215。匯流排215也直接地連接到PCI插槽217、219和221。插槽217、219和221的每一個安排來提供一"M66EN"輸出和一"PRSNT#"輸出到一頻率控制邏輯單元223，以結合先前圖1中解釋過的方式判定匯流排速率。然而，在圖2中只有三個插槽而非如圖1的四個。

在圖2中，匯流排頻率控制邏輯223單元用來指出何時匯流排215能以66MHz操作。如果在最先二個插槽217或219中沒有M66EN導腳被接地(也就是只安裝了66MHz介面卡或配接器)，且第三個插槽221是空的(也就是沒有安裝介面卡)，那麼匯流排215能以66MHz操作。如果任何33MHz介面卡安



五、發明說明 (7)

裝在匯流排上，或如果介面卡安裝在第三個插槽221中，匯流排215將以33MHz操作。這將允許當匯流排215以33MHz操作時安裝最多達三片介面卡，並在只有66MHz介面卡安裝在最先二個插槽217和219中、且第三個插槽221未被佔用時，允許以66MHz運作。

在圖2中顯示的實施之運作在圖4中以流程圖形式說明。當匯流排速率控制功能啟始時401，對於是否有任何33MHz介面卡安裝在最先二個插槽217或219中的任何一個進行判定403。如果沒有，那麼對於第三插槽221是否被佔用進行一判定405。如果沒有33MHz介面卡安裝在第一或第二插槽217或219，且第三插槽221未被佔用，那麼頻率控制邏輯施用一訊號到時鐘控制電路211，它實際引起PCI匯流排215以66MHz運作409，且程序結束411。然而，如果有一33MHz介面卡安裝在插槽#1 217或插槽#2，或安裝在該二者，或插槽#3 221被佔用(不管插槽#3 221中的介面卡速率性能)，那麼匯流排將會以33MHz運作407，但三個插槽將會是可使用的。

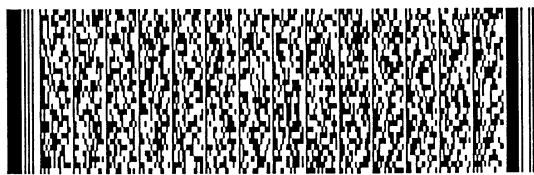
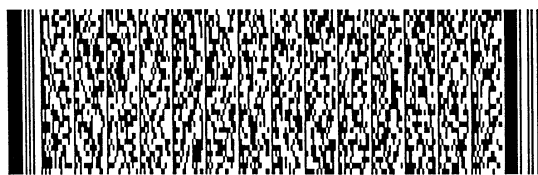
如圖2的範例所實施的第二種方法，也能使用微程式碼實施。程式碼實施將可允許頻率控制邏輯223是一種較簡單的設計。舉例來說，如圖5的流程圖所說明，匯流排速率控制邏輯501最初將會配置成33MHz運作503。在配置期間，如果判定只安裝了66MHz介面卡505，且插槽#3 221是空的507，那麼介面卡可被重新設定509，時鐘重新啟始511為66MHz，然後配接器或介面卡重新配置513並以66MHz運作，而程序將結束515。如果有66MHz以外的介面卡安裝



五、發明說明 (8)

505 在最先二個插槽217或219中的任何一個，或如果插槽#3 221被佔用507，那麼運作將繼續以最初配置的33MHz進行，且匯流排速率控制功能將結束。

本發明的方法和裝置已結合此處揭露的較佳具體實施例說明。雖然在此處顯示了本發明的一個具體實施例並詳細說明，以及其中的一些變化，結合本發明的教導之許多其他具體實施例，可輕易地為習知該項技藝人士所建構，且甚至包括在或整合到處理器或中央處理單元或其他更大的系統積體電路或晶片之內。此方法也可單獨地或部分地施行在儲存於光碟、硬碟或軟碟片(可攜帶的或固定的)、或其他記憶體或儲存裝置上-由其上可執行如此處所描述的功能-的程式碼。因此，本發明並非以此處所陳述的特定型式限制，而相反地，它涵蓋此等替換、修改、和等效，如可合理地包含在本發明的精神和範疇中者。



四、中文發明摘要 (發明之名稱：多速率匯流排之可變槽結構)

提供一種方法和裝置，其中實施一控制方案，以使一周邊元件互接(PCI)匯流排能夠操作多於兩個可安裝PCI裝置的PCI插槽。檢查PCI插槽以判定是否有一PCI裝置安裝在那些插槽，及所安裝的PCI裝置能以何種速率執行。如果有一33百萬赫茲(MHz)裝置安裝在任何一个插槽中，系統能運作多於二個插槽，所有的PCI裝置將會以33MHz運作。當沒有33MHz介面卡或裝置安裝在PCI插槽中時，且PCI裝置只安裝在最先二個插槽，則系統只能以66MHz的速率運作最先二個插槽。在另一個具體實施例中，一內定值配置常式設定PCI匯流排速率為操作頻率中的一個，並於系統配置週期當中，若判定另一速率更適當時修改該內定值。

英文發明摘要 (發明之名稱：VARIABLE SLOT CONFIGURATION FOR MULTI-SPEED BUS)

A method and apparatus are provided in which a control scheme is implemented to enable a PCI bus to operate more than two PCI slots into which PCI devices may be installed. The PCI slots are checked to determine if a PCI device is installed in the slots and the speed at which the installed PCI devices are capable of running. If any of the slots has a 33 MHz device installed in any of the slots, the system is enabled to run more than two slots, and all of the PCI devices will run at 33



四、中文發明摘要 (發明之名稱：多速率匯流排之可變槽結構)

英文發明摘要 (發明之名稱：VARIABLE SLOT CONFIGURATION FOR MULTI-SPEED BUS)

MHz. When no 33 MHz cards or devices are installed in the PCI slots, and PCI devices are only installed in the first two slots, then the system is enabled to run only the first two slots at the speed of 66 MHz. In one alternative embodiment, a default configuration routine sets the PCI bus speed at one of the operating frequencies and modifies that default if it is determined during a system configuration cycle that another speed is more appropriate.



六、申請專利範圍

1. 一種用以操作一裝置匯流排之方法，該裝置匯流排被安排成有電路裝置連接到其上，該裝置匯流排被安排成連接到一時鐘訊號來源，該時鐘訊號來源可選擇性地操作，以分別地，至少用第一和第二頻率提供第一和第二時鐘訊號，給連接到該裝置匯流排的該電路裝置，該方法包含：

判定一裝置數目，該裝置數目代表被連接到該裝置匯流排的該等電路裝置的數目；和

如果該裝置數目超過一第一預先決定的數目，將該第一時鐘訊號應用在連接到該裝置匯流排的所有裝置。

2. 如申請專利範圍第1項之方法，進一步包括：

如果該裝置數目少於一第二預先決定的數目，將該第二時鐘訊號應用到所有連接至該裝置匯流排的所有電路裝置。

3. 如申請專利範圍第2項之方法，其中該第一頻率小於該第二的頻率。

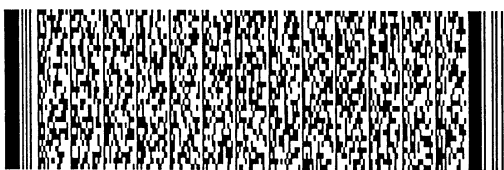
4. 如申請專利範圍第3項之方法，其中該裝置匯流排是一PCI匯流排。

5. 如申請專利範圍第3項之方法，其中該電路裝置是安排成選擇性地連接到該裝置匯流排的可移除的電路介面卡。

6. 如申請專利範圍第5項之方法，其中該電路裝置進一步包括永久地連接到該裝置匯流排的具體實施電路。

7. 如申請專利範圍第1項之方法，進一步包括：

對每一該等電路裝置，判定一該等電路裝置可以運作的裝置頻率；和



六、申請專利範圍

如果該等電路裝置中之任何一個只能在該第一頻率運作，將該第一時鐘訊號應用於連接到該裝置匯流排的所有電路裝置。

8. 如申請專利範圍第7項之方法，其中該裝置匯流排包括第一和第二匯流排部分，該等第一和第二匯流排部分的每一個能夠有電路裝置連接於其上，該方法進一步包括：

在該裝置匯流排以該第一頻率運作時，選擇性地連接該第一匯流排部分至該第二匯流排部分，藉以使較大數目的電路裝置係選擇性地運作於該第一頻率，其數目大於當該裝置匯流排運作於該第二頻率的電路裝置所能運作的數目。

9. 如申請專利範圍第8項之方法，進一步包括：

當該裝置匯流排以該第二頻率運作時，選擇性地由該第一匯流排部分中斷該第二匯流排部分，藉以在該裝置匯流排以該第二頻率運作時，操作相對較少的電路裝置。

10. 如申請專利範圍第9項之方法，其中該第一頻率小於該第二頻率。

11. 如申請專利範圍第10項之方法，其中該裝置匯流排是一PCI匯流排。

12. 如申請專利範圍第11項之方法，其中該第一頻率是33MHz而該第二頻率是66MHz。

13. 如申請專利範圍第7項之方法，進一步包括：

如果所有該等電路裝置能以該第二頻率運作且電路裝置的該數目小於該第二預先決定的數目，應用該第二時鐘訊號於連接到該裝置匯流排的所有電路裝置。



六、申請專利範圍

14. 如申請專利範圍第1項之方法，其中該判定的步驟是在該裝置匯流排的一配置週期中完成。

15. 一種用以運作裝置匯流排之方法，該裝置匯流排被安排成有電路裝置連接到其上，該裝置匯流排被安排成連接到一時鐘訊號來源，該時鐘訊號來源可選擇性地操作，以分別地，至少用第一和第二頻率提供第一和第二時鐘訊號，給連接到該裝置匯流排的該電路裝置，該方法包含：

配置該裝置匯流排，以在該第一頻率運作；

判定連接到該裝置匯流排的所有該等電路裝置能夠以該第二頻率運作；

判定連接到該裝置匯流排的所有該等電路裝置小於一預先決定的數目；

重新設定該電路裝置，以該第二頻率運作；和

重新設定該裝置匯流排，以該第二頻率運作。

16. 一種資訊處理系統，包含：

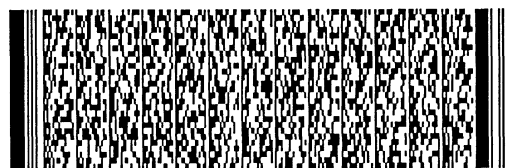
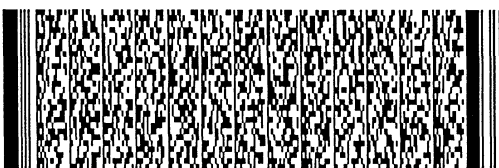
一中央處理單元裝置；

一系統匯流排，該中央處理單元裝置被連接到該系統匯流排；

一裝置匯流排；

一橋接電路，連接於該系統匯流和該裝置匯流排之間，該裝置匯流排被連接到多個連接插槽，該等連接插槽安排成可選擇性地提供該等電路裝置對該裝置匯流排的連接；

第一偵測裝置，連接到該等連接插槽，該第一偵測裝置被安排來偵測該等連接插槽的哪一個含有電路裝置；



六、申請專利範圍

第二偵測裝置，連接到該等連接插槽，該第二偵測裝置被安排來偵測該等電路裝置能以何種頻率運作；和

時鐘控制裝置，連接到該第一和第二偵測裝置與該等連接插槽，該時鐘控制裝置因應來自該第一和第二偵測裝置的輸出選擇性地運作，以選擇性地將第一或第二時鐘訊號中的一者應用到該電路裝置。

17. 如申請專利範圍第16項之系統，其中該裝置匯流排由第一和第二匯流排部分，該系統進一步包括：

一切換裝置，連接於該第一和第二匯流排部分之間，該切換裝置可選擇性地運作，連接該第一和二匯流排部分的預先決定之線路，以因應來自該第一和第二偵測裝置的輸出。

